

3D packaging challenges – March 29, 2023

3D封装的挑战

[深圳市赛姆烯金科技有限公司](#) · 来源：深圳市赛姆烯金科技有限 · 2023-03-30 09:48

虽然3D 封装与2.5D 封装的术语经常互换使用，但它们是截然不同的技术，面临着不同的挑战。

事实证明，创建真正的3D设计比2.5D复杂和困难得多，需要在技术和工具上进行重大创新。

[深圳市赛姆烯金科技有限公司](#) · 来源：深圳市赛姆烯金科技有限 · 2023-03-30 09:48 · 200次阅读



0

虽然3D 封装与2.5D 封装的术语经常互换使用，但它们是截然不同的技术，面临着不同的挑战。

事实证明，创建真正的3D设计比2.5D复杂和困难得多，需要在技术和工具上进行重大创新。

虽然关于3D设计的讨论很多，但关于3D的含义有多种解释。然而，这不仅仅是语义，因为每个封装选项都需要不同的设计方法和技术。随着芯片进入真正的3D-IC领域，将逻辑或存储器堆叠在逻辑之上，它们在设计、制造以及最终的良率和测试方面变得更具挑战性。

“一开始，代工厂开始提供多芯片封装，他们开始使用3D-IC这个术语，”[Cadence](#)定制IC和PCB集团产品管理集团总监John Park说。但它指的不仅仅是硅堆叠和中介层。它还包括高密度RDL扇出。这是一个术语，用于将许多多芯片（主要是基于晶圆代工的封装技术）分组。

“我们正在与imec保持一致，imec将3D分为四个部分，”EV集团业务发展总监Thomas Uhrmann说。真正的3D是以高度集成的方式堆叠在一起的晶圆。第二组是3D片上系统（SoC）集成，其中可能具有背面配电层或晶圆到晶圆的内存堆栈。第三组包括2.5D和硅中介层。最后一个是3D系统级封装（SiP），其接触间距约为700微米，包括扇出晶圆级封装。这种差异化很有趣，因为它们定义了接触间距或密度的区分。

这提供了物理差异，但差异也可以用其他术语来看待。“有趣的3D类型要么是逻辑对逻辑，要么是重要的逻辑+存储，”Synopsys研究员Rob Aitken说。你可以开始堆叠其他随机的东西。我会说 HBM 是 3D 堆栈，但它们是一个非常具体的 3D 堆栈。

每种封装方法的流程都不同。“2.5D和3D已经使用了好几年，能够支持[传感器](#)等应用，”[西门子 EDA](#)高级封装解决方案总监Tony Mastroianni说。但他们不使用自动化的布局和路线流程，这就是为什么我喜欢使用‘真正的3D’一词。今天的堆叠[芯片技术](#)依赖于人们手动进行规划。你正在设计每个芯片，使它们对接在一起。分区和详细的引脚规划是手动过程。

真正的3D需要重新思考整个流程。“为了有效地将SoC作为2.5D系统实现，例如避免良率问题或实现具有更多晶体管的更大系统，可以使用现有架构，”Fraunhofer IIS自适应系统工程部高效[电子部](#)门负责人Andy Heinig说。只有芯片到芯片接口必须实现。但是，只有使用新的概念和架构，才能利用真正的3D集成的优势。

为什么研究3D封装

3D封装的最大好处之一是缩短距离。“你可以提出一个论点，即存在二的平方根效应，”Synopsys的Aitken说。“在[信号](#)传输过程中会产生大量热量，”EV Group的Uhrmann说。对于CMOS，你充电和放电是为了存储，然后传递信息。缩小和堆叠芯片将使您能够使其更小，因此可以在第三维度传递信息。但你可能只有3D的缓冲区，而不是大型PHY和[通信](#)协议。

尺寸有两个优势——产量和占地面积。“假设在多个芯片上分布相似数量的逻辑芯片，较小对象的产量将高于一个较大对象的产量，”Aitken说。因此，你可以降低一定程度的成本。当然，你正在增加其他成本，但随着时间的推移，这些成本会下降。

从 2D 封装的角度来看，堆叠芯片可以显著减少面积。“通过堆叠，我可以在同一区域内获得三倍的逻辑量，”西门子的Mastroianni说。你最终会得到更多的逻辑。因此，您可以在该区域安装更大的马力，如果您有区域限制，则可能会降低系统成本。

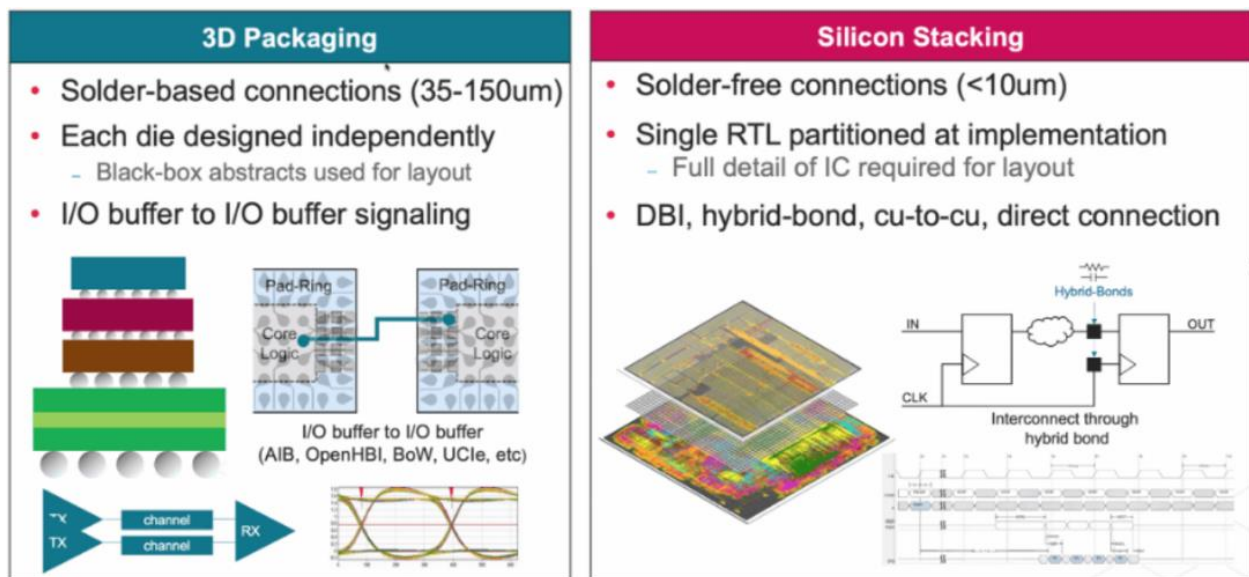
异质性可能是另一个好处。“异构技术架构已经成熟，可以进行3D集成，”Lightelligence工程副总裁Maurice Steinman说。考虑混合技术组件，例如光子IC及其配套电子IC。对于其中一些集成，根本没有其他方法可以提供所需的数千个芯片到芯片互连，而不会造成大量的功耗或性能牺牲。

混合技术仍然主要是未知的领域。“如果你的设计不适合标线尺寸，那么为了能够建造更多的逻辑门，你就需要用到3D封装”Mastroianni说。但肯定有一些情况下，你可能想要混合搭配。也许你有一个真正想要的尖端技术的计算引擎，但其余的东西有很多控制，你可以在一个不那么激进的流程节点中做。

这变成了一个集成挑战。“我们最近看到，纯逻辑存储器配置适用于某些类型的客户，他们试图解决片上存储墙问题，”Cadence数字与签核集团产品管理组总监Vinay Patwardhan说。但是很多客户都希望在这两层都有逻辑芯片。例如，即使您的顶部芯片上只有内存，那么内存 BiST 逻辑或与内存一起使用的测试逻辑也需要位于该芯片上。

物理层次结构

将芯片集成到 3D 堆栈中以及该堆栈的封装涉及许多技术，如图 1 所示。



物理尺寸很重要，Uhrmann说：如果你谈论的是小芯片，它们是功能性IP块，那么你的范围内是微米间距。晶体管堆叠和小芯片集成之间接近一个数量级。当您使用3D小芯片，使用具有微米间距的高度集成的芯片形成3D封装时，您无法将微米间距连接到外部世界。你仍然需要拥有封装技术才能使布线越来越粗，所以你最终需要在电路板上将它们达到400多微米。

“当我们封装多个芯片或多个小芯片时，封装存在一些很大的差异，”Cadence’s Park说：小芯片通常使用所谓的基于焊接的连接。它们与微凸块和 C4 连接，我们使用通常约为 45 微米或更大的间距来连接它们。这也创建了一个封装层次结构。

这通常需要为每个工具使用不同的工具。“这是一个多尺度问题，也意味着一个多物理场问题，”Ansys产品营销总监Marc Swinnen说。当你从芯片上的纳米到封装上的毫米，再到3D-IC中介层上的厘米，这就是你跨越的六个数量级。传统上，这些由三套不同的工具处理。现在对于3D-IC，所有这些都整合到一个单一的封装中。

“大多数公司都有ASIC设计小组，以及单独的内部封装设计小组，”Park补充道。硅堆叠和3D模糊了封装工程师与芯片设计团队之间的界限。我们比以往任何时候都更多地看到两个团队在一个房间里从早期阶段开始规划项目。因为封装和芯片领域之间的协同设计有很多要求。

在一些公司中，中介层也被视为封装内的PCB，并由另一个团队处理。“3D芯片将执行一些非常先进的类型功能，但您不一定能够通过堆叠芯片来构建整个系统和封装，”Mastroianni说。您将其与中介层上的其他部分结合起来，也许会形成一个标准的处理器，或者可能是多个3D-IC集成在一个中介层上。我不认为3D会取代2.5D封装。它们将是相辅相成的。有些应用程序将是真正的3D，但最终会有一个由一些小芯片组成的生态系统，你将能够混合和匹配，并在2.5D封装中做到这一点。

“我们必须以层次结构的形式表示事物，因为你不再设计单个单片芯片，”Park说。你正在设计一个系统，所以有一些新的东西开始发挥作用，比如系统LVS（布局与原理图）。连接是否按您的预期进行，从顶部模具到底部模具？从本质上讲，设计是分层的，因为它是一种系统级设计，其中嵌入了芯片级设计。

逻辑层次结构

在任何复杂的设计中，层次结构都是必需的，但3D结构为其增加了一个有趣的转折。“当你为大型设计做传统的布局和路线时，你使用的是分层设计方法，”Mastroianni说。你把设计分解成块，这些块经过布局和路线，然后你进行顶层集成。对于3D封装，我们基本上可以使用相同的过程。考虑一个具有9亿个逻辑门的设计，我们将其分成三个芯片，每个芯片有3亿个门。从本质上讲，您只需要指定哪些模块将进入芯片1，哪些块将进入芯片2，以及那些将成为芯片3中的块。至少在短期内，工具将无法自动找出将哪个逻辑放在何处，并在该级别执行真正的3D全局布局和路线。有一些长期的DARPA提案正在寻求这样做，但即使是这些提案也不在第一阶段。

需要一些新工具来验证芯片到芯片的连接。Park说：因此，我们需要STA工具，时序驱动的路由，时序驱动的放置，而不是分离设备的缓冲区，它只是一个混合键。这只是一个很小的寄生值发挥作用。为此，我们不能像传统封装那样在抽象级别工作。我们必须在完整的细节级别表示每个芯片或小芯片。如果是模拟设计，则为全晶体管级别，如果是数字设计，则为标准单元宏观级别，因为我们必须能够对所有内容进行建模。它不是从2D角度对所有内容进行建模，而是必须通过这种新的垂直方向集成来完成。

“你可以对逻辑堆叠对象进行真正的3D签核，或者你可以说，我只运行芯片之间两个逆变器之间的路径，”Aitken说。

人们普遍认为，平淡无奇不是一种选择。“对于任何EDA工具来说，这都是一个重大挑战，仅仅是因为数据量，”Cadence的Patwardhan说。这需要一些有效的抽象技术，层次结构定义是第一件事，它是流行和有效的。我们已经弄清楚了，使用设计层次结构以及分区设计，如何使分析在分区设计上运行。可以做出哪些假设，并且仍然具有与签核一样好的准确性。较小的设计将首先建立完整的平面运行和所需的精度水平（测量与建模）。随着我们的发展，更大的芯片以硅堆栈格式完成，EDA，OSAT和代工厂将不得不在分层方法和普通方法之间证明一些相关性。当全3D布局和布线成为可能时，这变得更加困难。今天安全的答案是说，‘我们不要划分块。让我们把每个块放在一个区域内。这样做，你仍然有一个必须解决的3D放置分区问题，但你的签核问题更简单，因为至少你的块签核仅限于2D空间，Aitken说。学术研究表明，移动块并将它们穿插在边界上可以为你带来额外的好处。但在大多数情况下，这些操作忽略了时钟同步、芯片匹配和其他问题，当你尝试做这样的事情时，这些问题会出现。如果你将单个块放在一个区域内，你仍然有很多问题需要解决，但问题的数量要相对较少。

审核编辑：李倩

<https://www.elecfans.com/d/2046522.html>