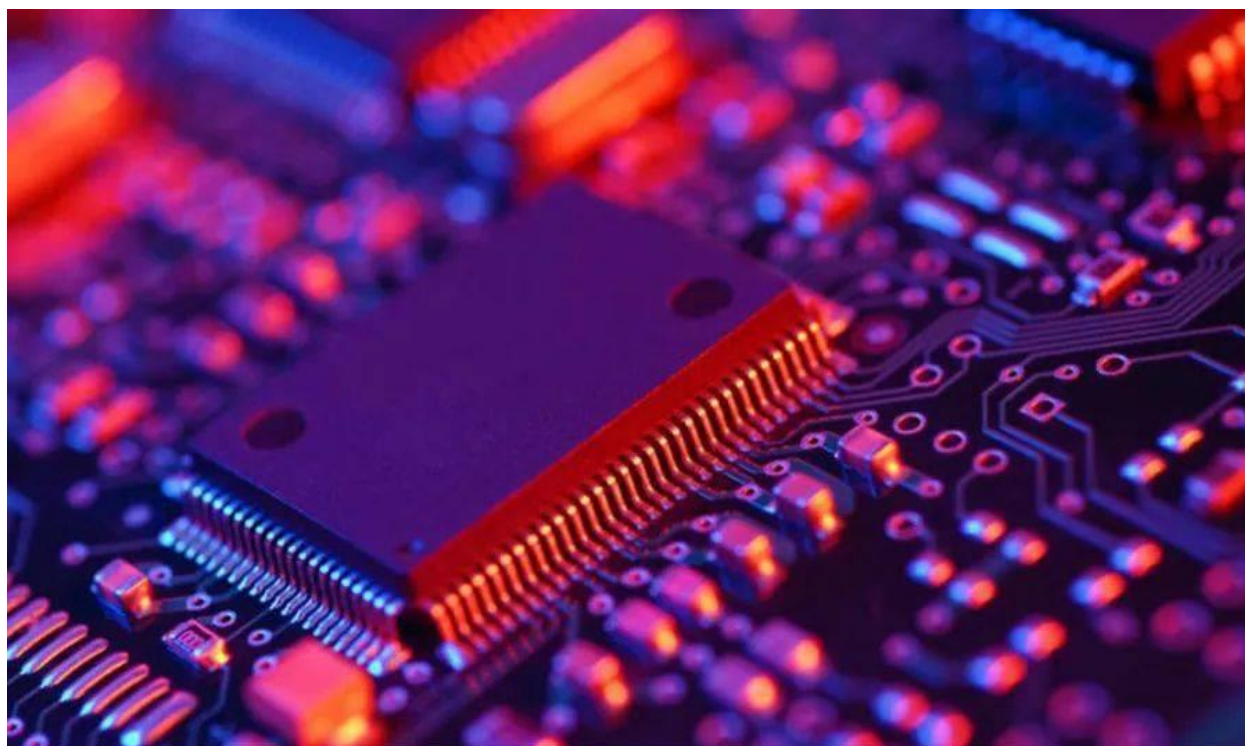


## How manufacturing and packaging will change in the coming decades – March 26, 2023

未来几十年，制造业和封装业将发生怎样的变化

2023-03-27 08:02



本文由半导体产业纵横 (ID:ICVIEWS) 编译自semiengineering  
**互连和封装方面的革命。**

当涉及到设备互连时，铜是首屈一指的选择。其低电阻率和高可靠性为业界提供了极佳的片上互连和芯片间布线。但在逻辑芯片中，随着互连堆栈上升到 14 级范围并且阻容 (RC) 延迟在总延迟中所占的比例越来越大，晶圆厂正在寻找替代金属来保持性能。

减少 RC 延迟并帮助缩小标准尺寸电池的一种选择是背面供电。这个有点激进的提议通过芯片的背面而不是正面为设备供电，从而缓解互连拥塞并改善功率传输。第二种选择是混合绑定，它具有多种优势，包括能够以最小的延迟组合不同的设备。

在 IBM 开发用于将铜互连沉积到线路和通孔中的双镶嵌方法之前，该行业在减法沉积和蚀刻方案中使用铝。现在，由于衬里金属（通常是钴）和阻挡层对电阻率的影响，铜互连已达到其缩放极限。替代金属不需要衬里或阻挡层，但它们的集成可能需要过渡回沉积和蚀刻工艺。这种集成方案的变化代表了互连工艺的巨大变化——宽互连上的双镶嵌和窄互连上的减法蚀刻方案将在同一条生产线上运行。

钌和钼似乎是替代铜的最佳候选材料，预计首先会在 DRAM 的掩埋字线或逻辑设备的最精细金属层中实现。

“在蚀刻期间和之后控制金属的氧化将是一个巨大的挑战，特别是在使用高纵横比金属线以获得较低电阻的情况下，线之间集成气隙是可取的，” Robert Clark 说，TEL 高级技术人员和技术总监。空气是最终的低 k 材料 ( $k = 1.0$ )，但它会牺牲结构支撑，这与低 k 电介质 (3.3) 和二氧化硅 (3.9) 不同。

尽管如此，领先的芯片制造商和工具供应商正在寻求以气隙作为电介质的减法 Ru 和 Mo 蚀刻。就这两种金属而言，钌不易氧化，因此更适合蚀刻和清洁工艺。容易氧化的钼与镶嵌流更相容。

IBM 和三星开发了一种钌和气隙集成方案，解决了一个迫在眉睫的高互连线间距问题。

“我们遇到的挑战之一是，当我们试图通过 CVD 填充这些狭窄的间距线时，会出现线摆动，”IBM Research 的高级工程师 Chris Penny 说。“我们开始研究将线拉在一起的内聚力，你会得到显著的 CD 变化或线塌陷，我们在 IITC 上展示了这一点。”

Penny 描述了一种使用间隔拉动方法的顶部通孔工艺流程，这类似于双镶嵌中的双图案化。自对准光刻-蚀刻-光刻-蚀刻 (SALELE) 步骤形成顶部通孔和底层金属线。“我们将图案直接转移到钌上，因此它在设计空间中具有很大的灵活性，”Penny 指出。“你不仅限于窄线，也不限于宽线。”

为了尽可能扩展铜工艺，芯片制造商正在消除通孔底部的势垒金属沉积 (TaN)，这对通孔电阻率有显著影响。IBM/三星团队展示了纵横比高达 4:1 的 18 纳米间距钌线和周围气隙。

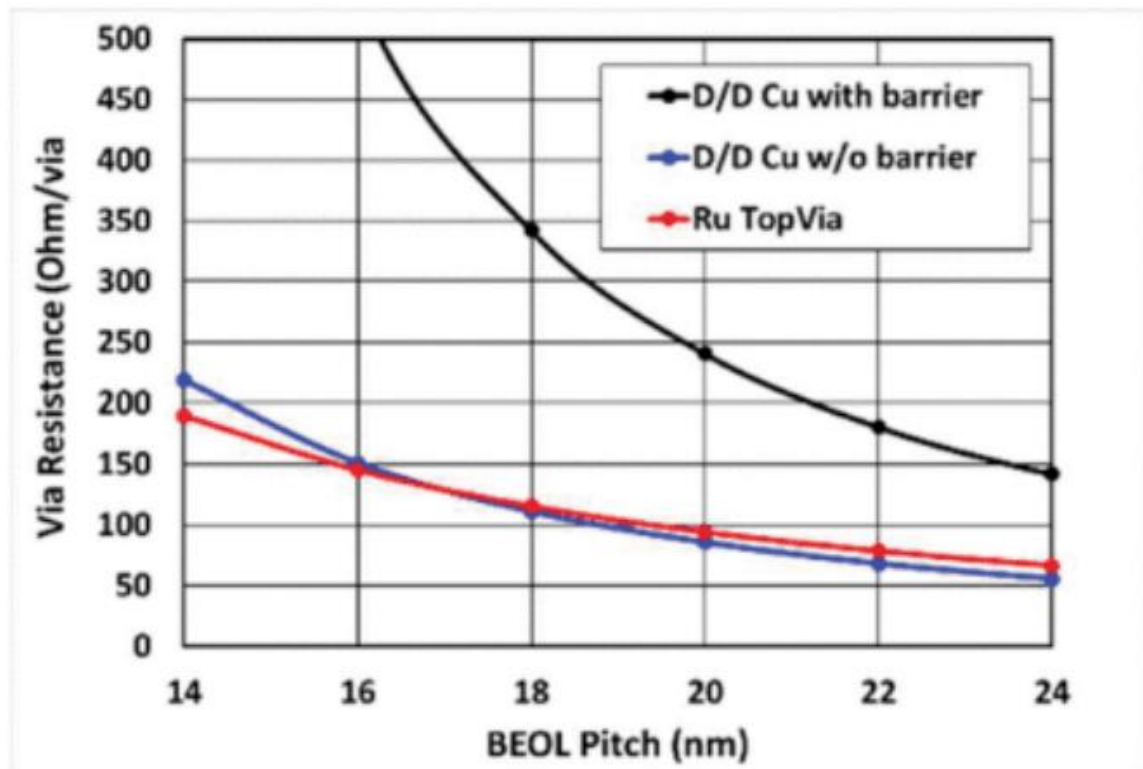
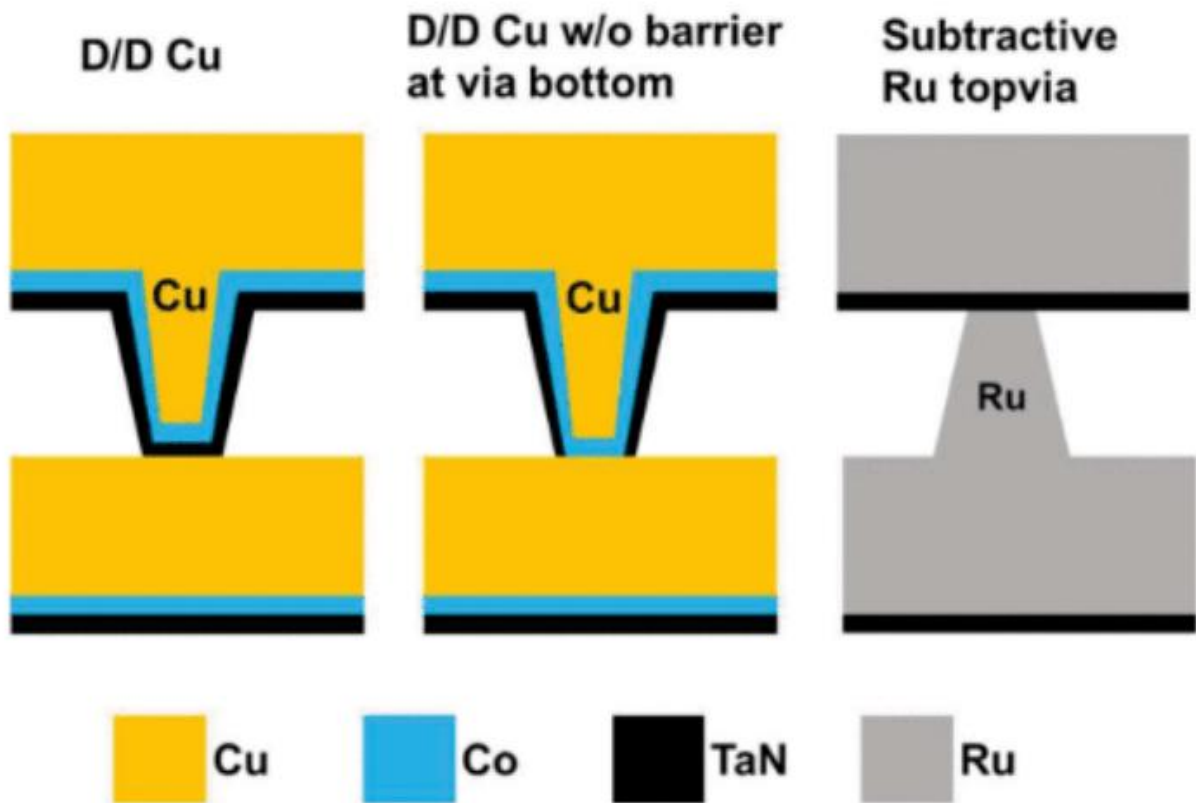


图 1：在铜双镶嵌中去除通孔底部的 TaN 与减去钉和气隙方法大致等效地降低了通孔电阻。来源：IBM 研究院

## 背面供电

互连制造方式的另一个颠覆性变化涉及背面供电 (BPD)——将供电移至晶圆背面，以便晶体管上方的互连层仅传输信号。拆分的原因是因为电力输送和信号传输有不同的需求。电源最终遵循低电阻路径（较粗的电线），但大电流使其易受电迁移影响。对于信号，工程师需要低电容和小横截面，但一些电阻是可以的。高级逻辑中有 12 到 14 个金属层级，功率密度上升，电源电压（IR 压降）显著。

Imec 的 BPD 方法使用细间距 nanoTSV（200 纳米间距，320 纳米深）从金属 0 向下延伸并落在具有严格覆盖控制的掩埋电源轨上。他们使用 finFET 测试设备实现了这一点，方法是将正面粘合到载体晶圆上，减薄晶圆，然后蚀刻和填充 TSV。通过结合背面去耦电容器（金属-绝缘体-金属电容器），IR 压降进一步降低。该设计可扩展到 2nm 节点之外，因为 TSV 不占用标准单元区域。

BPD 可以减少标准单元中的轨道数。除了 imec 的方法外，还有另外两种背面功率传输方案，工艺复杂度不断提高。这三者都面临将晶圆减薄至  $10\mu\text{m}$  的挑战。他们需要背面与正面连接对齐，并且担心串联电阻——尤其是在堆叠芯片的情况下。但是，一旦背面配电网络建立起来，芯片制造商现在就有了另一个自由度，可以在背面整合无源或有源器件。

也许互连密度最引人注目的变化与混合键合有关。事实上，混合键合正被用于实现背面配电。混合键合涉及铜连接和周围电介质的键合，每单位面积的连接数比铜微凸块多 1,000 倍。

晶圆到晶圆 (W2W) 混合键合比芯片到晶圆 (D2W) 混合键合更成熟。EV Group 首席技术官 Thomas Uhrmann 表示：“芯片到晶圆的对齐要复杂得多，因为你要管理芯片四个角的位置，而不是两个晶圆的整体位置。”晶圆对晶圆键合最常用于将像素阵列键合到相机图像传感器中的底层芯片。“混合键合在 2010 年改变了图像传感器的游戏规则。事实上，今天大多数进行混合键合的 NAND 闪存公司首先在图像传感器中有过混合键合的经验，”他补充道。

图 2：不同集成度的互连间距和带宽。来源：电动汽车集团

混合键合的关键工艺步骤包括电镀 (ECD)、CMP、等离子活化、对准、键合、分割和退火。尽管这些工具已经成熟，例如，用于制造双镶嵌铜互连和倒装芯片键合，但需要完善这些工艺以满足混合键合的需求。其中包括  $<100$  纳米的对准精度、芯片到晶圆键合和分离工具清洁度达到新水平、具有 0.5 纳米 RMS 粗糙度的出色 CMP 平面度以及用于实现最佳键合的电镀。

虽然晶圆厂正在将几乎完成的器件相互键合，但芯片制造商已经期待在晶体管级别使用混合键合，例如，允许在硅上组合 GaN。

“当你开始达到使用混合键合来组合晶体管的地步时，这会变得非常有趣，因为现在你所处的间距比我们正在寻找的封装要紧密得多，”行业分析师 Dean Freeman 说，“英特尔和其他公司已经完成了将 GaN 与硅相结合的工作，这非常有趣。这是 RF 在通信设备中的一个很好的机会，因为现在已经将逻辑与 GaN 的速度相结合，或者最终是碳化硅，或者甚至可能是另一种材料，将它的通信方面进行到太赫兹波长范围内。”

## 先进封装

从 SoC 到多芯片封装和系统的重大转变确实将性能、功耗和成本指标从芯片转移到系统。“性能问题不再只是芯片问题，”Freeman 说。“关于我们如何堆叠这些小芯片以及我们如何设法散热的问题现在已经进入封装阶段了？电源管理似乎始终是我们的致命弱点。”

异质集成是指在不同器件技术上的集成，例如光学与逻辑、2.5D微处理器和HBM的共封装，以及可以绑定存储器、逻辑、高带隙器件、RF等的3D-IC。这些变化“也UMC技术开发副总裁 Steven Hsu 表示：“这对于通过增强性能、降低功耗要求和提高成本效益将新兴应用带入主流至关重要。”

Amkor高级封装和技术集成副总裁 Mike Kelly表示，2.5D和3D集成将扩展到所有半导体应用。“然而，低成本应用和高性能市场之间的挑战将有所不同。低成本应用将需要创新才能实现大批量生产。”

“向小芯片的过渡意味着这些小芯片之间的高带宽接口，这是先进封装的驱动力。高带宽和小芯片尺寸需要高信号传输速度，通常还需要宽接口总线，”Kelly说。“后者对凸点间距更小的更小的芯片凸点施加了相当大的压力。这反过来又需要更先进的设备来实现管芯和互连之间的良好对准。高精度贴装，同时保持高吞吐量非常重要。”他补充说，高速需要业界不断推动低k介电材料的发展。

APSTL的首席技术官兼国际半导体与器件路线图(IRDS)封装集成部分的主席 Dev Gupta警告说，封装趋势的任何技术预测都应该反映过去获得的知识。“当今先进封装中使用的所有技术中，约有三分之二是摩托罗拉和英特尔几十年前发明的。”Gupta指出了电镀焊料凸点倒装芯片和有芯和无芯有机基板，他拥有这些专利。“1995年，热压键合用于手机中GaAs RF模块的机器人组装，1998年，积层有机基板进入大批量生产。无芯有机基板于2002年投入生产，用于服务器。”

Gupta强调，用于高性能计算的先进封装的目标一直是尽量减少主要来自寄生电容以及电阻和电感的封装损失。“应该寻求新的方向，以尽量减少对热机械应力和可靠性的影响。”

在最近的IEDM会议上，ASE工程和技术营销高级总监 Lihong Cao研究了扇出堆叠封装(FOPoP)、FO基板上芯片和FOCoS桥的不同细分市场。对于高密度裸片间连接，桥接裸片使0.8 $\mu\text{m}$  L/S能够在裸片之间进行通信，特别是在移动封装、高性能计算和AI/ML中。另一方面，她强调了FOPoP作为紧凑型高密度集成的关键平台的持续有用性——适用于应用处理器、移动封装天线和共同封装的硅光子学应用。没有基板消除了寄生电感并使整体外形更薄。

扇外型封装中最大的制造挑战包括模具和翘曲后的模具移位。翘曲是由材料之间的热膨胀系数不匹配引起的。Amkor拥有多达6个重分布层的合格FO方法。Kelly没有预测需要超过6层，但他确实预计RDL线和空间将从今天的2 $\mu\text{m}$ 到0.5至0.8 $\mu\text{m}$ 范围。“虽然亚微米所需的光刻技术已经存在了几十年，但可能需要为能够处理高翘曲的封装应用而设计的更新版本的光刻设备，”他说。

在未来几年，硅中介层可能会被有机中介层取代。“尽管它们在先进封装中立足，但由于成本（即可用性）和高速性能特征相关的原因，带有Cu TSV的Si中介层将逐渐被有机中介层取代。随着时间的推移，有机中介层的最小可用特征尺寸将被驱动到低于1 $\mu\text{m}$ 的线和空间，”Kelly说。

随着行业越来越多地采用更大的晶圆，Kelly还看到了200毫米晶圆背面研磨和SiC晶圆切割设备的需求。“该行业的大部分晶圆凸块产能都在200毫米和300毫米晶圆上。在最近在200毫米晶圆上引入SiC之前，要获得带有倒装芯片凸点的150毫米晶圆非常困难，”他说。

最后，业界继续逐步改进芯片封装和散热器之间使用的热界面材料(TIM)的导热性，但这些材料的导热性是有限的。半导体封装中大约90%的热量从顶部逸出。TIM是基于聚合物的材料，具有固体过滤颗粒（氧化铝或银），根据颗粒负载增加电导率。然而，Amkor的Kelly指出，这些材料的热阻在FCBGA中通常限制在10W/mK。他补充说，业界正在评估基于石墨的TIM。“金属TIM和焊料虽然已在封装中使用多年，但正在渗透更广泛的细分市场，在这些细分市场中，热管理历来不太受关注。”

结论

随着业界越来越多地采用新的互连材料、背面供电、混合键合和先进封装，人们将对这些工艺的制造细节有更多的了解。在用尽所有途径之前，将对铜互连进行小幅改进，例如去除铜镶嵌中通孔底部的TaN 势垒，特别是在新的集成方案带来重大挑战的情况下。

\*声明：本文系原作者创作。文章内容系其个人观点，我方转载仅为分享与讨论，不代表我方赞成或认同，如有异议，请联系后台。[返回搜狐](#)，[查看更多](#)

声明：该文观点仅代表作者本人，搜狐号系信息发布平台，搜狐仅提供信息存储空间服务。

发布于：山西省

[https://www.sohu.com/a/659558391\\_121124371](https://www.sohu.com/a/659558391_121124371)