

What is the future of chips? – March 25, 2023

芯片未来, 何去何从?

## 半导体 行业观察

SEMINEWS.CN

半导体行业观察

2023年03月26日 11:06:06 来自北京

在之前的文章《2040年的晶圆厂工艺预测》中，我们介绍了不断发展的晶体管架构和光刻平台。在本文中，我们则继续介绍互连和封装方面的革命。

当涉及到设备互连时，我们其实很难击败铜线。因为其低电阻率和高可靠性为业界提供了极佳的片上互连和芯片间布线。但在逻辑芯片中，随着互连堆栈上升到 14 级范围并且阻容 (RC) 延迟在总延迟中所占的比例越来越大，晶圆厂正在寻找替代金属来保持性能。

**减少 RC 延迟并帮助缩小标准尺寸cell的一种选择是背面供电。**这个有点激进的提议通过芯片的背面而不是正面为设备供电，从而缓解互连拥塞并改善功率传输。第二种选择是hybrid bonding，它具有多种优势，包括能够以最小的延迟组合不同的设备。

在 IBM 开发用于将铜互连沉积到线路和通孔中的双镶嵌方法之前，该行业在减法沉积和蚀刻方案中使用铝。现在，由于衬里金属（通常是钴）和阻挡层对电阻率的影响，铜互连已达到了其缩放极限。替代金属不需要衬里或阻挡层，但它们的集成可能需要过渡回沉积和蚀刻工艺。这种集成方案的变化代表了互连工艺的巨大变化——宽互连上的双镶嵌和窄互连上的减法蚀刻方案将在同一条生产线上运行。

钌和钼似乎是替代铜的最佳候选材料，预计首先会在 DRAM 的掩埋字线或逻辑设备的最精细金属层中实现。

“在蚀刻期间和之后控制金属的氧化将是一个巨大的挑战，特别是在使用高纵横比金属线以获得较低电阻的情况下，线之间集成气隙（air gaps）是可取的，”TEL高级技术人员和技术总监Robert Clark说。air是最终的低 k 材料 ( $k = 1.0$ )，但它会牺牲结构支撑，这与低 k 电介质 (3.3) 和二氧化硅 (3.9) 不同。

尽管如此，领先的芯片制造商和工具供应商正在寻求以气隙作为电介质的减法 Ru（subtractive Ru）和 Mo 蚀刻（Mo etching）。就这两种金属而言，钌不易氧化，因此更适合蚀刻和清洁工艺。容易氧化的钼与镶嵌流更相容。

**IBM 和三星开发了一种钌和气隙集成方案，解决了一个迫在眉睫的高互连线间距问题。**

“我们遇到的挑战之一是，当我们试图通过 CVD 填充这些狭窄的间距线时，我们遇到了线摆动，”IBM Research 的高级工程师 Chris Penny 说。“我们开始研究将线拉在一起的内聚力，你会得到显著的 CD 变化或线（line）崩溃，我们在 IITC 上展示了这一点。”

Penny 描述了一种使用间隔拉动方法（spacer pull approach）的顶部通孔工艺流程，这类似于双镶嵌中的双图案化。自对准光刻-蚀刻-光刻-蚀刻（SALELE：self-aligned litho-etch-litho-etch）步骤形成顶部通孔和底层金属线。“我们将图案直接转移到钌上，因此它在设计空间中具有很大的灵活性，”Penny 指出。“你不仅限于窄线，也不限于宽线。”

为了尽可能扩展铜工艺，芯片制造商正在消除通孔底部的势垒金属沉积（TaN），这对通孔电阻率有着影响。IBM/三星团队展示了纵横比高达 4:1 的 18 纳米间距钌线和周围气隙。

**背面供电，互连制造**

方式的另一个颠覆性变化涉及背面供电 (BPD)——将供电移至晶圆背面，以便晶体管上方的互连层仅传输信号。拆分的原因是因为电力输送和信号传输有不同的需求。电源最终遵循低电阻路径（较粗的电线），但大电流使其易受电迁移影响。对于信号，工程师需要低电容和小横截面，但一些电阻是可以的。高级逻辑中有 12 到 14 个金属层级，功率密度上升，电源电压（IR 压降）显著。

imec 的 BPD 方法使用细间距 nanoTSV（200 纳米间距，320 纳米深）从 metal-0 向下延伸并落在具有严格覆盖控制的掩埋电源轨上。他们使用 finFET 测试设备实现了这一点，方法是将正面粘合到载体晶圆上，减薄晶圆，然后蚀刻和填充 TSV。通过结合背面去耦电容器（metal-insulator-metal capacitor），IR 压降进一步降低。该设计可扩展到 2nm 节点之外，因为 TSV 不占用标准单元区域。

BPD 可以减少标准单元（standard cells）中的轨道数。除了 imec 的方法外，还有另外两种背面功率传输方案，工艺复杂度不断提高。这三者都面临将晶圆减薄至  $10\mu\text{m}$  的挑战。他们需要将背面与正面连接对齐，并且担心串联电阻——尤其是在堆叠芯片的情况下。但是，一旦背面配电网络建立起来，芯片制造商现在就有了另一个自由度，可以在背面整合无源或有源器件。

也许互连密度最引人注目的变化与混合键合有关。事实上，混合键合正被用于实现背面配电。混合键合涉及铜连接和周围电介质的键合，每单位面积的连接数比铜微凸块多 1,000 倍。

晶圆到晶圆（W2W：Wafer-to-wafer）混合键合比芯片到晶圆（D2W：die-to-wafer）混合键合更成熟。EV Group 首席技术官 Thomas Uhrmann 表示：“芯片到晶圆的对齐要复杂得多，因为您要管理芯片四个角的位置，而不是两个晶圆的整体位置。”晶圆对晶圆键合最常用于将像素阵列键合到相机图像传感器中的底层芯片。“混合键合在 2010 年改变了图像传感器的游戏规则。长江存储是第一家做混合键合的 NAND 供应商。事实上，今天大多数进行混合键合的 NAND 闪存公司首先在图像传感器中有过混合键合的经验，”他补充道。

混合键合的关键工艺步骤包括电镀（ECD：electroplating）、CMP、等离子活化（plasma activation）、对准、键合、分割和退火。尽管这些工具已经成熟，例如，用于制造双镶嵌铜互连和倒装芯片键合，但

需要完善这些工艺以满足混合键合的需求。其中包括 <100 纳米的对准精度、芯片到晶圆键合和分离工具的清洁度达到新水平、具有 0.5 纳米 RMS 粗糙度的出色 CMP 平面度以及用于实现最佳键合的电镀。

虽然晶圆厂正在将几乎完成的器件相互键合，但芯片制造商已经期待在晶体管级别使用混合键合，例如，允许在硅上组合 GaN。

“当你开始达到使用混合键合来组合晶体管的地步时，这会变得非常有趣，因为现在你所处的间距比我们正在寻找的封装要紧密得多，”行业分析师Dean Freeman 说。“英特尔和其他公司已经完成了将 GaN 与硅相结合的工作，这非常有趣。这是 RF 在通信设备中的一个很好的机会，因为现在，您已经将逻辑与 GaN 的速度相结合——或者最终是碳化硅，甚至可能是另一种材料——将其通信方面的工作纳入太赫兹波长范围，然后开始将毫米波从我们目前的 5G 技术所获得的水中吹出来。”

## 先进封装

从 SoC 到多芯片封装和系统的重大转变确实将性能、功耗和成本指标从芯片转移到系统。“性能问题不再只是芯片问题，”Freeman说。“关于我们如何堆叠这些小芯片以及我们如何设法散热的问题现在已经进入封装阶段了？电源管理似乎始终是我们的致命弱点。”

异构集成是指在不同器件技术上的集成，例如光学与逻辑、2.5D微处理器和HBM的共封装，以及可以绑定存储器、逻辑、高带隙器件、RF等的3D-IC就是典型范例。UMC技术开发副总裁 Steven Hsu 表示：“这对于通过增强性能、降低功耗要求和提高成本效益将新兴应用带入主流至关重要。”

Amkor高级封装和技术集成副总裁 Mike Kelly表示，2.5D 和 3D 集成将扩展到所有半导体应用。“然而，低成本应用和高性能市场之间的挑战将有所不同。低成本应用将需要创新才能实现大批量生产。”

“向小芯片的过渡意味着这些小芯片之间的高带宽接口，这是先进封装的驱动力。高带宽和小芯片尺寸需要高信号传输速度，通常还需要宽接口总线，”Kelly 说。“后者对凸点间距更小的更小的芯片凸点施加了相当大的压力。这反过来又需要更先进的设备来实现die和互连之间的良好对准。高精度贴装，同时保持高吞吐量非常重要。”他补充说，高速需要业界不断推动低 k 介电材料的发展。

当公司通常不开放共享有关其芯片的数据时，如何组装包含来自不同制造商的小芯片的多芯片封装的小芯片问题可能会通过在整个行业中涌现的联盟来解决。Promex Industries工程副总裁 Chip Greely 说：“这将是一些大公司，然后他们将推动某种类型的平台或足迹，他们将共同完成这项工作。”“然后其他人都会在外面看着说，‘我怎么进去？’我设想了三四个这样的联盟。然后最强大的公司将在最后接管。但在此期间，你有了 chiplet 的想法，它仍然可以非常实用。借助倒装芯片，我们可以轻松地将许多芯片放入同一基板，并与金属 RDL 放置在一起以连接所有接口，因为组装的基本原理——芯片贴装、倒装芯片和引线键合——没有改变。”

前端和后端流程之间的界限不像以前那样清晰。“FEOL 和 BEOL 之间的传统界限正在变得模糊，因为 3D 封装、W2W/C2W 键合以及芯片间互连封装密度的持续缩小继续受到关注，”UMC 的 Hsu 说。“这意味着 FEOL 和 BEOL 将在这些竞争激烈的领域展开正面竞争，事实上我们已经看到代工厂逐渐扩展他们的服务以包括传统的 OSAT 功能，特别是在先进的产品领域。从长远来看，FEOL 和 BEOL 的高度集成将是实现高性能系统的必要条件，这将对未来的行业格局产生影响。”

APSTL 的首席技术官兼国际半导体与器件路线图 (IRDS) 封装集成部分的主席 Dev Gupta 警告说，封装趋势的任何技术预测都应该反映过去获得的知识。“当今先进封装中使用的所有技术中，约有三分之二是摩托罗拉和英特尔几十年前发明的。”Gupta 指出了电镀焊料凸点倒装芯片和有芯和无芯有机基板，他拥有这些专利。“1995 年，热压键合用于手机中 GaAs RF 模块的机器人组装，1998 年，积层有机基板进入大批量生产。无芯有机基板于 2002 年投入生产，用于服务器。”

Gupta 强调，用于高性能计算的先进封装的目标一直是尽量减少主要来自寄生电容以及电阻和电感的封装损失。“应该寻求新的方向，以尽量减少对热机械应力和可靠性的影响。”他说。

在最近的 IEDM 会议上，ASE 工程和技术营销高级总监 Lihong Cao 研究了扇出堆叠封装 (FOPoP)、FO 基板上芯片和 FOCoS 桥的不同细分市场。对于高密度裸片间连接，桥接裸片使 0.8 $\mu$ m L/S 能够在裸片之间进行通信，特别是在移动封装、高性能计算和 AI/ML 中。另一方面，她强调了 FOPoP 作为紧凑型高密度集成的关键平台的持续有用性——适用于应用处理器、移动封装天线和共同封装的硅光子学应用。没有基板消除了寄生电感并使整体外形更薄。

扇外型封装中最大的制造挑战包括模具（mold）和翘曲warpage）后的die shift。翘曲是由材料之间的热膨胀系数不匹配引起的。Amkor 拥有多达 6 个重分布层的合格 FO 方法。Kelly 没有预测需要超过 6 层，但他确实预计 RDL 线和空间将从今天的 2 $\mu$ m 到 0.5 至 0.8 $\mu$ m 范围。“虽然亚微米所需的光刻技术已经存在了几十年，但可能需要为能够处理高翘曲的封装应用而设计的更新版本的光刻设备，”他说。

在未来几年，硅中介层可能会被有机中介层取代。“尽管它们在先进封装中立足，但由于成本（即可用性）和高速性能特征相关的原因，带有 Cu TSV 的 Si 中介层将逐渐被有机中介层取代。随着时间的推移，有机中介层的最小可用特征尺寸将被驱动到低于 1 $\mu$ m 的线和空间，”Kelly 说。

随着行业越来越多地采用更大的晶圆，Kelly 还看到了 200 毫米晶圆背面研磨和 SiC 晶圆切割设备的需求。“该行业的大部分晶圆凸块产能都在 200 毫米和 300 毫米晶圆上。最近在 200 毫米晶圆上引入 SiC 之前，要获得带有倒装芯片凸点的 150 毫米晶圆非常困难，”他说。

最后，业界继续逐步改进芯片封装和散热器之间使用的热界面材料（TIM）的导热性，但这些材料的导热性是有限的。半导体封装中大约 90% 的热量从顶部逸出。TIM 是基于聚合物的材料，具有固体过滤颗粒（氧化铝或银），根据颗粒负载增加电导率。然而，Amkor 的 Kelly 指出，这些材料的热阻在 FCBGA 中通常限制在 10W/mK。他补充说，业界正在评估基于石墨的 TIM。“金属 TIM 和焊料虽然已在封装中使用多年，但正在渗透更广泛的细分市场，在这些细分市场中，热管理历来不太受关注。”

随着业界越来越多地采用新的互连材料、背面供电、混合键合和先进封装，人们将对这些工艺的制造细节有更多的了解。在用尽所有途径之前，将对铜互连进行小幅改进，例如去除铜镶嵌中通孔底部的 TaN 势垒，尤其是在新的集成方案带来重大挑战的情况下。

<https://tech.ifeng.com/c/8OSqVZ9Msmm>