데일리매거진 (Korea)

EV Group announces NanoCleave layer release new technology revolutionizing 3D Integration—January 31, 2024

EVG introduced NanoCleave™, a revolutionary layer release technology for silicon that enables ultra-thin layer stacking for front-end processing, including advanced logic, memory and power device formation, as well as semiconductor advanced packaging. NanoCleave enables silicon wafer carriers in advanced packaging processes such as FoWLP using mold and reconstituted wafers as well as interposers for 3D SIC. At the same time, its compatibility with high-temperature processes enables completely novel process flows for 3D IC and 3D sequential integration applications – enabling hybrid and fusion bonding even of ultra-thin layers on silicon carriers, thereby revolutionizing 3D and heterogeneous integration as well as material transfer in next-generation scaled transistor designs.



이는 실리콘 캐리어 상의 호박형 레이어까지도 하이브리드 및 두전 본딩이 가능해 3D 및 이중 집 적에 혁신을 가져다줄 뿐만 아니라, 차세대 트랜지스터 집적화 설계에서 필요한 레이어 이송을 가 능하게 한다.

EVG는 코엑스에서 1월 31일부터 2월 2일까지 개최되는 SEMICON 코리아 2024 전시회에 참 가해 나노물리보 신기술을 소개한다.

EVG 부스(부스 번호: D832, 3층)를 방문하면 EVG 임원들을 직접 만나서 이 험신적인 적외선 테이저 이승 기술에 관해 논의할 수 있다.

3D 집적에서는 인터커넥션 대역목이 점점 더 높아지면서 더 고성능의 시스템을 구현할 수 있도록 박형 웨이퍼 공정을 위한 캐리어 기술이 중요하다.

이를 위해 기존 주류 기법들은 유리 캐리어를 사용한다.

이 기법은 유기 접착제를 이용해 임시 본딩을 해서 디바이스 레이어를 형성한 다음, 자외선(UV) 파장 레이저를 사용해서 접착제를 용해시키고, 디바이스 레이어를 분리한 후 최종 완성품 웨이퍼 상에 영구적으로 본딩한다.

하지만 유리 기단은 실리콘 외주로 설계된 반도체 제조 장비를 사용해서 처리하기가 까다롭고, 유리 웨이퍼를 처리할 수 있도록 업그레이드하려면 비용이 많이 든다.

이뿐만 아니라 유기질 접착계는 통상적으로 300°C 이하 처리 온도로 사용이 제한되므로, 후공정 에 사용하기에 한제가 있다.

나노물리보 기술은 무기 박막을 활용하는 실리콘 캐리어를 사용할 수 있어 이런 온도 한계와 유리 캐리어의 호화성 이수를 피함 수 있다.

또 IR 레이저를 사용해서 나노미터 정밀도로 클리빙이 가능하므로 기준 공정을 변경하지 않고서 초박형 디바이스 웨이퍼를 처리할 수 있다.

토랜지스러 로드맵이 3nm 이하 노드로 진화함에 따라 매립형 전원 레일, 후면 전원 공급 네트워 크, 상보성 FET(CFET), 2D 원자 채널 같은 새로운 아키텍처와 설계 현신이 필요하였다.

이런 모든 기법에는 국회 얇은 소재의 레이어 이송이 요구되다.

실리콘 캐리어와 무기 박막은 전 공정 제조 돌로를 위한 프로세스 청결성, 소재 호환성, 높은 처리 온도 요건을 지원한다.

자금까진 실리콘 캐리어가 그라인당, 연마, 식각 공정을 거쳐서 완벽하게 제거돼야 했지만, 이는 작업 중인 디바이스 헤이어의 표면에 마이크론 대의 차이를 유발하므로 첨단 트랜지스터 노드의 박형 레이어 적층에 사용하기에는 적합하지 않았다.

EVG의 새로운 나노클리보 기술은 적외선 레이저와 무기 박막을 사용하므로 실리몬상에서 나노 미터 점입도로 레이저 디본딩이 가능하다.

이는 첨단 패키장 공정에서 유리 기단을 사용할 필요가 없게 해 온도 한제와 유리 캐리어 호환성 문제를 피할 수 있게 해주며, 기준 공정을 변경하지 않고도 전 공정에서 캐리어를 통해 초박형 테 이어를 이숙할 수 있다.

이런 나노미터대 정밀도를 지원하는 EVG의 새로운 프로세스는 더 얇은 디바이스 레이어와 패키 지가 필요한 참단 반도체 디바이스 로드앱의 요구를 승족하고, 향상된 이용 집작을 가능하게 하 며, 유리 기판 사용 필요성 제거 및 박막 레이어 이송 가능성을 통해 공정 비용을 결감할 수 있게 해준다.

EVG 그룹의 기술 이사 를 린드네(Paul Undner)는 "반도체 공정 노드를 축소하기가 감수록 더 복 잡하고 어려워지고 있다. 공정 노드를 축소하려면 프로세스 최용 공차 또한 점점 더 출어들기 때 문이다. 업계는 더 높은 집작도와 더 높은 디바이스 성능을 답성하기 위한 새로운 프로세스와 집 적 방법이 필요하다. 우리의 나노물리보 레이어 필리즈 기술은 박형 레이어와 다이 작승을 통한 반도체 크기 축소에서 게임 체인저가 될 것이며, 반도체업제에서 가장 압박이 심한 요구 사항물을 해결할 잠재력을 갖추고 있다. 나노물리보는 표준 실리론 웨이퍼 및 웨이퍼 공정들과 호환되는 유 연하고 범용성이 뛰어난 레이어 필리즈 기술을 통해 우리 고객이 첨단 디바이스 및 패키징 로드앱 을 실험할 수 있게 지원할 것이며, 고객들은 이 기술을 자신들의 기준 팬에 지체없이 통합하고 시 간과 비용을 점압할 수 있을 것"이라고 말했다.

https://dailymagazine.co.kr/news/newsview.php?ncode=1065540969168231