# All4Chip (Korea)

## EV Group announces layer release new technology revolutionizing 3D Integration– January 31, 2024

EVG introduced NanoCleave<sup>™</sup>, a revolutionary layer release technology for silicon that enables ultra-thin layer stacking for front-end processing, including advanced logic, memory and power device formation, as well as semiconductor advanced packaging. EVG's new NanoCleave technology utilizes an IR laser and inorganic release materials to enable laser debonding on silicon with nanometer precision. This eliminates the need for glass substrates for advanced packaging, avoiding temperature and glass carrier compatibility issues, and enables the ability to transfer ultra-thin (single micron and below) layers via carriers in front-end processing without changing the processes of record.



기술 발표

2024년 01월 31일





EV 그룹(이하 EVG)은 반도체 제조를 위한 형신적인 페이어 릴리즈 기술인 NanoCleave를 출시한다고 밝혔다. Nan oCleave 기술은 첩단 로젝, 에모리, 전력 반도체 프란트인드 공정은 물론 첩단 반도체 패키징에 초박형 페이어 적충 을 가능하게 한다. NanoCleave는 반도체 전 공정에 완벽하게 호환되는 페이어 릴리즈 기술로서, 실리콘을 루고하 는 적외선 페이저를 사용하는 것이 특징이다. 또한 특수 조성된 무기 박락과 함께 사용할 경우, 나노미러의 정밀도 로 초박형 필름이나 페이어를 실리콘 캐리어로부터 적외선 페이저로 분리할 수 있게 하준다.

NanoCleave는 EMC(epoxy mold compounds)와 채구성 위이퍼(reconstituted wafer)를 사용하는 편아웃 위이 며 레컬 패키징(FoWLP)에서 부터 3D SIC(3D Stacking IC)의 인터포저 같은 첨단 패키징 공정에서 실리콘 위이 며 채리어 사용을 가능하게 한다. 뿐만 아니라, 고운 공장에도 적용할 수 있어 3D IC 및 3D 순차 접적 아물리케이션 에서 완전히 새로운 공정 물로우를 구한할 수가 있다. 이는 실리콘 채리어 상의 초박형 레이어까지도 하이브리 도 및 유전 본당이 가능해, 3D 및 이용 접역에 혁신을 가져다운 뿐만 아니라 차세대 트렌지스터 접력화 설계에서 필 요한 레이어 이술을 가능하게 한다.

#### 실리콘 캐리어 사용의 이경

3D 집력에서는, 점점 더 높아지는 인터커빅션 대역폭으로 보다 고성능의 시스템을 구한할 수 있도록 박형 웨이퍼 공 정을 위한 채리에 가슴이 중요하다. 아들 위해 기존의 주류 기법들은 유리 채리어를 사용한다. 이 기법은 유기 접착제 를 이용해 입시 분당을 해서 디바이스 레이어를 힘성한 다음, 자외선(UV) 파장 베이저를 사용해서 접착제를 올해시키 고, 디바이스 레이어를 보려한 후 최종 완성을 웨이퍼 상에 영구적으로 분당한다. 하지만 유리 기판은 실리콘 위주 로 설위된 반도체 제조 장비를 사용해서 처리하기가 까다롭고, 유리 웨이퍼를 처리할 수 있도록 업그레이드를 하며 면 비용이 많이 든다. 뿐만 아니라 유기질 접착해는 통상적으로 300°C 이하의 처리 온도로 사용이 제한되므로, 후공 점에 사용하기에 한체가 있다.

NanoCleave 기술은 무기 박약을 사용해는 실리콘 캐리어를 사용할 수 있어 이러한 온도 한계와 유리 캐리어의 호환 성 이슈를 피할 수 있다. 뿐만 아니라 IR 페이저를 사용해서 나노미터 경립도로 클리팅이 가능하므로 기존 공정을 변 경하지 않고서 초박형 디바이스 웨이퍼를 처리할 수 있다. 이렇게 만들어진 초박형 디바이스 페이어를 격충하 면 더 높은 대역폭의 인터커넥트를 구현할 수 있으며, 차세대 고성능 시스템을 위한 다이를 설계 및 세분화하기 위 한 새로운 기회를 만들 수 있다.

### 차세대 트랜지스터 노드에 대응

트랜지스터 로드컵이 3nm 이하 노드로 신화함에 따라 대원형 전원 메일, 후면 전원 공급 네트워크, 상보성 FET(CFE T), 2D 원자 채널 같은 새로운 아키텍처와 설계 혁신이 필요해졌다. 이러한 모든 기법들에는 국회 않은 소재의 레이 어 이슈이 요구된다. 실리로 캐리어와 무기 박락은 전공경 제조 클로우를 위한 프로세스 청결성, 소재 호환성, 높은 처 리 온도 요건을 지원한다. 하지만 지금까지는 실리로 캐리어가 그라인딩, 연마, 식각 공정을 거쳐서 완벽하게 제거돼 야 했지만, 이는 작업 중인 디바이스 레이어의 표면에 마이크로 대외 차이를 유발하므로, 첨단 트랜지스터 노드의 박 형 레이어 적숙에 사용하기에는 적합하지 않았다.

EVG의 새로운 NanoCleave 기술은 적외선 레이저와 무기 박각을 사용하므로 실리콘 상에서 나노미터 정밀도로 레 이저 디본팅이 가능하다. 이는 첩단 패키징 공정에서 유리 기판을 사용할 필요가 없게 하여, 운도 한져와 유리 캐리 어 호환성 문제를 비할 수 있게 해주며, 또한 기준 공정을 변경하지 않고도 전공정에서 캐리아를 통해 소박한 한지원 수 마이크로 대 이하 레이어를 이승할 수 있다. 이러한 나노미터 대의 정밀도를 지원하는 EVG의 새로운 프로세스 는 더 얇은 디바이스 레이어와 패키지를 필요로 하는 첩단 반도체 디바이스 로드캡의 요구를 충족하고, 항상된 이 중 집작을 가능하게 하며, 유리 기판 사용 필요성 제거 및 박약 레이어 이승 가능성을 통해 공정 비용을 결감할 수 있 게 해준다.

EV Group의 기술 이사인 물 린트너(Paul Lindner)는 "반도체 공정 노트를 축소하기가 갈수록 더 복잡하고 어떠워지 고 있다. 공정 노트를 축소하며면 프로세스 허용공차 또한 점점 더 울어줄기 따문이다. 업체에서는 더 높은 집역도 와 더 높은 디바이스 생동을 탈성하기 위한 새로운 프로세스와 집적 방법을 필요로 한다. 우리의 NanoCleaie 레이 어 월리즈 기술은 복형 레이어와 다이 적승을 통한 반도체 크기 축소에 있어서 게임 최인저가 될 것이며, 반도체 업체 에서 가장 압박이 심한 요구 사합물을 해결할 참재력을 가지고 있다. NanoCleaie는 표준 실리콘 웨이퍼 및 웨이 퍼 공정물과 호환되는 유언하고 범용성이 뛰어난 레이어 필리즈 기술을 통해 우리 고객들이 첨단 디바이스 및 패키 킹 프트다운 실험할 수 있게 지원할 것이며, 고객들은 이 기술을 주신들의 기존 탭에 치체없이 통합하고 시간과 비용 을 절감할 수 있을 것"이라고 말했다.

#### 차별화된 IR 테이저 기술

EVG의 NanoCleave 기술은 실직꾼을 투과하는 고유의 파장을 사용하여 실직꾼 위이퍼의 뒷면을 적외선 레이저 에 노출시킨다. 표준 중착 공경으로 형성된 무기 박각이 IR 광을 흡수함으로써 사전에 정밀하게 지정된 레이어나 면적 으로 실직꾼을 분직시킨다. 무기 박각을 사용함으로써 준더 정밀하고 많은 레이어를 사용할 수 있다.유기 접착제 를 사용할 때 수 마이크론 대였던 것에 비해 수 나노미터 대로 얇아짐). 뿐만 아니라 무기 박각은 고운 공정(최대 100 0°CI과 호환 가능하므로, 에피텍시, 중착, 어닐링 같이 유기 접착제를 사용할 수 없는 많은 새로운 전공정 아들리케이 선에서 레이어 이승을 가능하게 한다.

https://all4chip.com/archive/all4chip\_view.php?no=17213