

图像传感器芯片堆叠架构与先进互连技术解析

[jf_BPGiaoE5](#) · 来源：半导体行业观察 · 2024-01-09 09:23 · 656次阅读

摘要

过去二十年来，[图像传感器](#)的发展取得了许多技术突破。图像传感器已发展成为支持许多应用的技术平台。它们在移动设备中的成功实施加速了市场需求，并建立了一个业务平台，以推动持续创新和性能改进，并将其扩展到监控、医疗和汽车行业。

在本文中，我们简要介绍了通用相机模块以及[芯片](#)堆叠架构和先进互连技术的关键技术要素。这项研究还将研究像素[电子](#)器件在确定芯片堆叠架构和互连技术选择方面的作用。它通过检查一些用于不同功能的 CMOS 图像传感器 (CIS) 示例来进行，例如可见光检测、用于低光检测的单光子雪崩[光电二极管](#) (SPAD)、卷帘快门 (rolling shutter) 和全局快门 (global shutter) 以及深度感测和光检测以及测距 (激光雷达)。

文章还介绍了不同芯片堆叠架构的性能属性。直接键合、后通孔硅通孔 (Via-last TSV) 和混合键合 (HB) 技术被认为是图像[传感器](#)芯片堆叠中较新且有利的芯片间互连技术。最先进的超高密度互连可制造性也得到了强调。

以下为文章正文：

自2000年初以来，CMOS 图像传感器已被许多行业广泛采用。其多功能应用扩展到[数码相机](#)、移动设备、监控系统、[机器人](#)、医疗器械和[自动驾驶](#)汽车等许多行业。通过使用像素阵列中的光电二极管捕获图像并将[信号](#)实时转换为数字文件的能力可以实现高级数据管理和分析，从而实现其[硬件](#)与计算系统的兼容性。最近的进步使分析功能更接近像素阵列。[机器学习](#) (ML)、[人工智能](#) (AI) [算法](#)和图像传感器内的图像重建技术的实施已被广泛报道。因此，图像传感器技术平台是许多应用的关键部分。

雷达和图像传感器的传感器融合、用于高级驾驶员辅助系统的光检测和测距 (LiDAR)、神经形态和高光谱成像、热成像和生物医学应用等先进应用正在不断发展。2018-2019年，图像传感器的市场规

模已达到约200亿美元。预计从 2019 年到 2025 年，仅三维 (3D) 成像和传感市场的扩张将达到50亿至150亿美元，这几年的CGAR 为 20%。主要行业是消费移动产品和汽车行业。

技术平台和业务平台之间的协同效应已经显现。为了满足移动设备的外形尺寸限制，我们为具有巨大消费者需求的移动设备应用开发了先进的技术平台。移动设备建立的规模经济进一步鼓励先进的像素电子设计和使用芯片堆叠方法的像素并行处理在其他行业的应用。图像传感器将继续成为与业务平台协同的产品开发的强大技术平台。

像素电子产品的创新实现了多种先进功能。2000 年初，已有许多复杂图像传感器的设计被报道。只有当芯片堆叠和先进互连技术变得可制造时，这些创新的商业化才有可能实现。3D集成图像传感器的示范性设计始于1999年的四层堆叠，以及2004年多芯片堆叠架构中的多功能传感器。新实施的支持技术和特征尺寸的减小改变了拟议的 3D 集成。一些重大突破，如2009年的背照式(BSI) CIS、2012年的芯片堆叠、2015年的“pixel-DRAM-logic”三芯片堆叠、2016年的铜-铜混合键合 (Cu-Cu hybrid bonding)，这些技术都带来了最先进的技术平台。

图像传感器和摄像头模块

图像传感器是一种光电器件，通过光电二极管收集光源发出的光子，并将光电二极管产生的电流转换成数字信号。四晶体管有源光电二极管传感器 (4T-APS) 像素的典型像素电子器件由光电二极管和像素级电子器件组成，如图1右侧所示。图像由像素阵列形成，其原理图如图1中的方框区域所示。然后通过读出电路逐行评估像素阵列中的信号以进行进一步处理。行和列访问电路可以是用于扫描模式访问的开关阵列或用于随机像素访问的解码器。

如今，图像传感器包含更多功能，用于读出功能后的信号处理和分析。通用操作电路可以包括用于高级应用的读出功能、模数转换、图像重马赛克处理或人工智能分析的电路。通过使用不同的感光材料，在不同的环境下，光检测的波长也可以从可见光到近红外或红外。对不同应用的巨大需求引发了这些领域的重大进展，不仅是研究和开发，而是将其商业化。

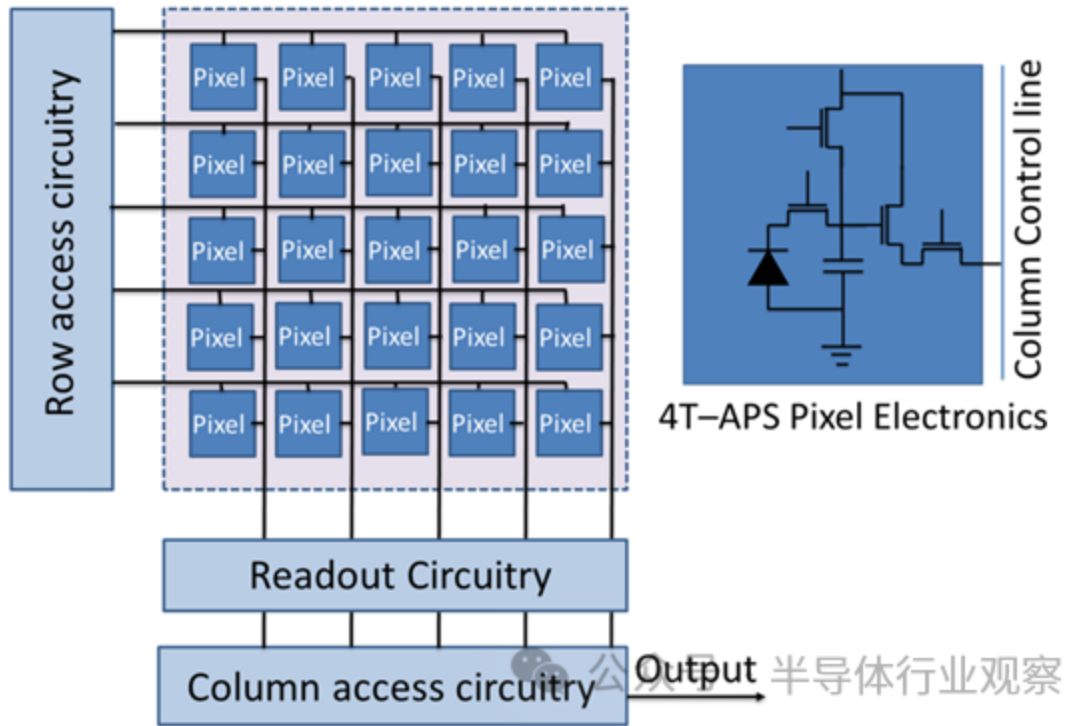


图1：成像像素阵列、电路块和典型 4 T-APS 像素电子器件的原理图

像素电子器件通常根据目标应用的光电二极管模式而变化。像素电子器件的范围可以从三晶体管 3 T-APS 到 84 晶体管。像素电子器件和操作电路是影响芯片堆叠和互连方法选择的主要因素。基于不同照明方法的传感器也会影响芯片堆叠和互连架构的选择。由于金属互连线的遮光，前侧照明（FSI）CIS在像素尺寸低于 $1.4\mu\text{m}\times 1.4\mu\text{m}$ 时大部分被BSI-CIS取代，如图2所示。

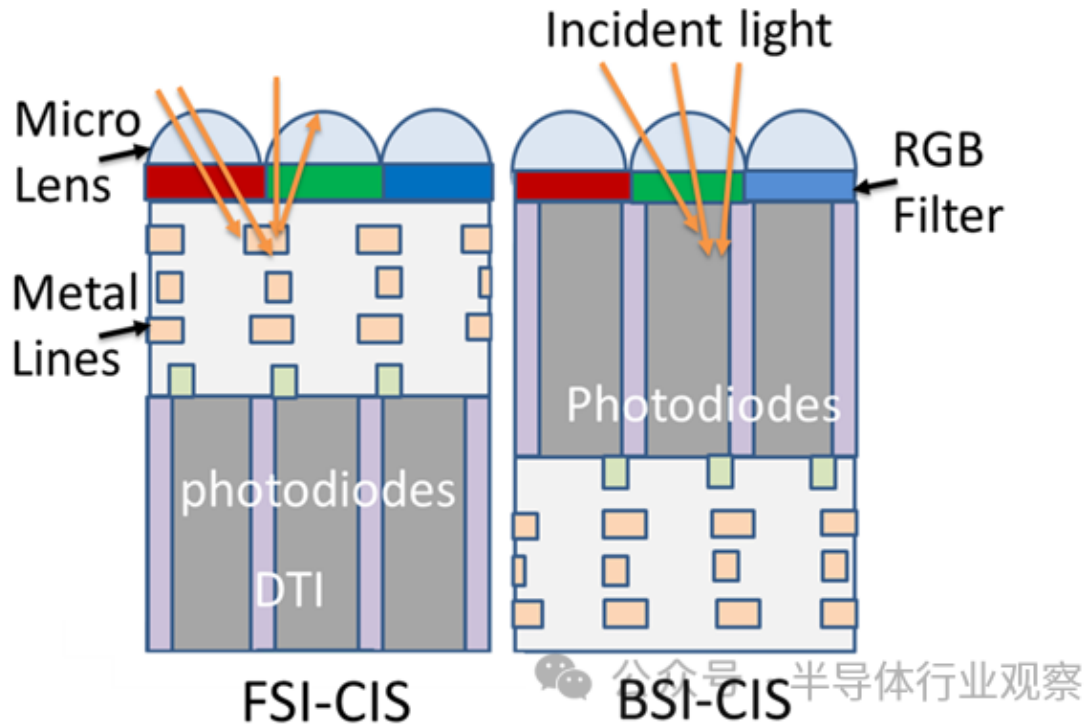


图2：正面照明传感器 (FSI-CIS) 和背面照明传感器 (BSI-CIS) 的示例原理图

像素设计可能会有所不同，图2仅用于解释金属线屏蔽入射光的效果。例如，深沟槽隔离 (DTI: Deep trench isolation) 不需要 FSI-CIS 具有大像素尺寸。用于可见光检测的图像传感器通常称为 RGB (红、绿、蓝) 图像传感器，具有简单的 3 T-APS 或 4 T-APS，当解码器就位时还带有附加晶体管。通常需要红外 (IR) 滤光片 (有时称为红外截止滤光片) 来屏蔽超出可见光范围的波长，以减少穿透硅光电二极管薄层的近红外 (NIR) 光的干扰。微透镜层位于 RGB 滤光片的顶部，可增强投射到光电二极管区域的光。

封装图像传感器的方法有很多种。两种常用的图像传感器封装是陶瓷无引线芯片载体和成像球栅阵列，原理图如图3所示。在新的多功能应用的推动下，新的图像传感器封装方法的开发仍在继续。探索了曲面图像传感器封装和超薄芯片级封装等先进应用。

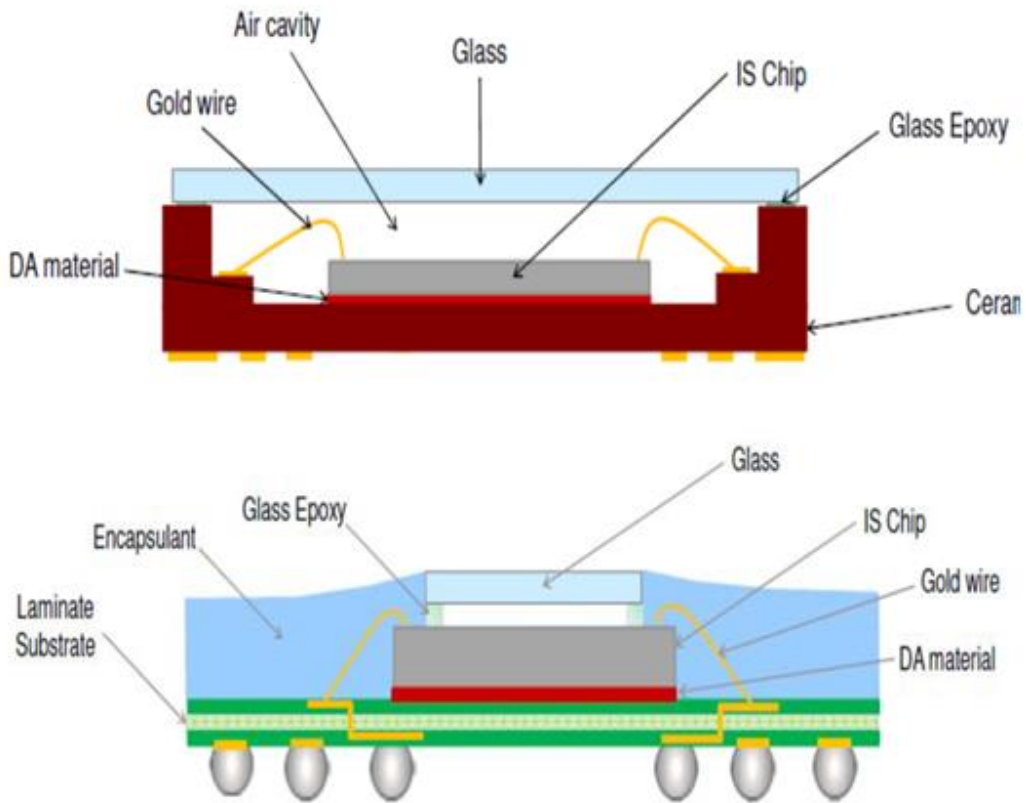
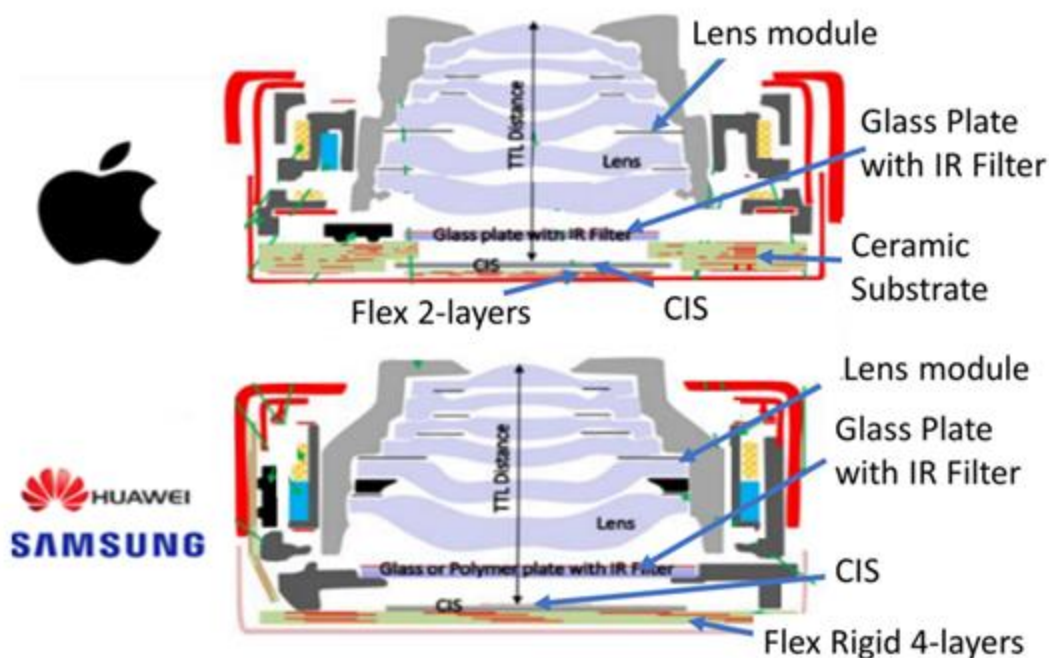


图3：顶部为陶瓷无引线芯片载体陶瓷图像传感器封装，底部为成像球栅阵列图像传感器封装的原理图

相机模块在顶部承载镜头模块，在底部承载图像传感器封装。System Plus Consulting分析的[智能手机](#)摄像头模块如图4所示。

General structure of Camera Modules for the flagship smartphones



(Source: Camera Module Comparison 2020 Vol. 1 (Flagship), System Plus Consulting)

图4：镜头模块下方底部带有图像传感器封装的两个相机模块的示意图

顶部相机模块显示具有陶瓷基板的 CIS 封装，而底部模块则显示具有柔性刚性（flex-rigid）基板的 CIS 封装。精确安装图像传感器封装和相机镜头模块对于确保光投射对准至关重要。镜头模块的高度和图像传感器封装的尺寸是相互关联的并且被限制在相机模块内。随着智能手机的厚度越来越薄，相机模组的总高度受到限制。因此，相机模块的宽度和图像传感器的尺寸都被限制在狭小的物理空间中。

用于移动应用的图像传感器

外形尺寸一直是将数码相机集成到智能手机和平板电脑中的关键因素。图像传感器的研究和开发旨在将相机模块安装在这些移动设备的狭小空间中，以实现多种应用。同时，分辨率的提高需要高像素密度、小像素尺寸以及高量子效率和高填充因子的光电二极管设计。本节中，我们总结了图像传感器的一些案例研究，并考虑了应用、所需的像素电子器件以及与 3D 集成相关的芯片堆叠和互连技术。当前工作的目的并不是关注图像传感器的性能。

一、堆叠式 RGB 背面照明 CMOS 图像传感器。

索尼公司于2012年8月20日发布了世界上第一个商业化的堆叠式图像传感器。图像传感器的性能在很多方面都得到了改进，例如更小的像素、更高的像素密度以及通过信号处理和图像重建来提高图像质量。Remosaic 算法通过分配具有长和短曝光时间的像素来提高质量，以帮助增加明亮和黑暗环境下成像的动态范围。复杂的操作电路导致芯片尺寸增加，这促使需要对芯片堆叠进行 3D 集成以保持较小的外形尺寸。像素阵列和逻辑处理电路被分成两个单独的芯片，如图5所示。堆叠式图像传感器不是基板上的单芯片图像传感器，而是将像素阵列芯片堆叠在逻辑电路芯片的顶部。

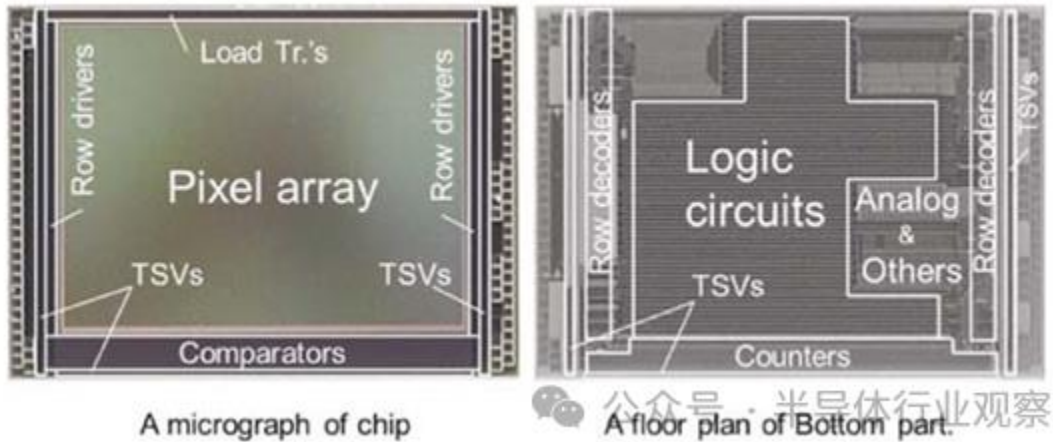


图5：SONY 的第一个堆叠式图像传感器的顶部和底部分区电路块的显微照片

操作电路与像素阵列的电连接由用于芯片到芯片互连的外围后通孔TSV阵列形成，如图1和2所示。这些 TSV 在行驱动器到解码器（driver-to-decoder）和列比较器（comparator）处连接到外围区域的计数器。TSV互连的数量与像素阵列的行和列访问的数量密切匹配，如图1所示。在这个 8 MP 图像传感器示例中，设计了数千个 TSV。芯片在电介质对电介质表面面对面粘合在一起，然后从 BSI 像素阵列芯片的背面形成最后通孔 TSV，落在两个芯片的金属焊盘上。重新分布层桥接最后通孔 TSV 以形成芯片到芯片互连。芯片堆叠和外围后通孔 TSV 的截面示意图如图6所示。像素尺寸为 $1.12\mu\text{m}\times 1.12\mu\text{m}$ 。TSV 的直径约为 $2.5\mu\text{m}$ ，间距为 $6.3\mu\text{m}$ 。像素芯片减薄至约 $8\text{至}9\mu\text{m}$ ，硅基板厚度约 $3\text{至}5\mu\text{m}$ 。像素阵列芯片和处理芯片分别采用 90纳米 和 65纳米技术 加工。这使得尺寸仅为传统单芯片图像传感器的 70%，该设计的热管理经过测试并发现是足够的。

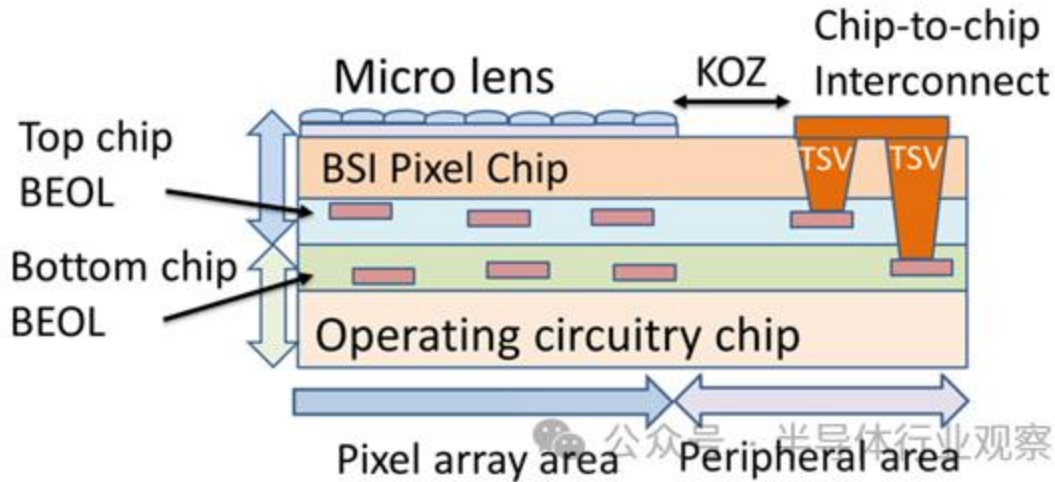


图6：堆叠式 BSI 像素芯片与电路芯片通过外围通孔后 TSV 在电介质表面粘合的示意图

索尼通过从后通孔 TSV 转向外围芯片间互连的混合键合，进一步减小了芯片尺寸并简化了工艺。2016年的一份研究报告指出，研究人员正在研究在像素阵列下方以 $4\mu\text{m}$ 间距放置混合键合，以进一步减小芯片尺寸。这一变化还消除了KOZ (Keep Out Zone) 和 TSV 蚀刻的附加处理设备而导致的器件设计规范。该图像传感器于 2016 年在 [iPhone 6S](#) 中推出。它是 $1.4\mu\text{m}$ 像素尺寸、12MP BSI-CIS 图像传感器。混合键和间距分别为 $6\mu\text{m}$ 和 $14\mu\text{m}$ 。估计的混合键密度约为 $5000\text{ bonds}/\text{mm}^2$ 。

二、双光电二极管堆叠 RGB 背面照明 CMOS 图像传感器。

芯片堆叠可以提高性能并在两个单独的芯片中使用不同的处理技术。可以在不牺牲芯片尺寸的情况下将单独的优化和附加功能特征添加到操作电路芯片中。

[三星](#)采用芯片堆叠技术用于超过 16 MP 的 BSI-CIS 。其 108 MP BSI-CIS 已于 2019 年在智能手机中实现，当中像素阵列芯片使用 65 nm 工艺，逻辑芯片使用 28 nm 的技术。三星最近已转向采用 65 nm 技术的 $0.7\mu\text{m}$ 像素，逻辑和信号[处理器](#)都采用 14 nm FinFET 工艺。采用 14 nm 工艺的 144 MP BSI-CIS 逻辑芯片比采用 28 nm 工艺的逻辑芯片功耗降低了 42%。在 $65\text{ nm}-14\text{ nm}$ 处理技术中探索了 12 MP 双光电二极管 (2PD) BSI-CIS，与 $65\text{ nm}-28\text{ nm}$ 技术处理的功耗相比，功耗降低了 29%。双光电二极管像素的每个光电二极管尺寸为 $0.7\mu\text{m}\times 1.4\mu\text{m}$ ，导致像素尺寸为 $1.4\mu\text{m}\times 1.4\mu\text{m}$ ，如图7所示。左右光电二极管信号之间的差异用于相移[检测](#)自动对焦数据，它们的总和用于输出图像数据。

通过使用 14 nm 技术，逻辑和图像处理的复杂性增加，从而允许相同的芯片尺寸具有更多功能。它还实现了 120 fps 的帧速率。这两种应用都使用堆叠芯片架构，直接键合，然后是外围通孔最后的 TSV 芯片间互连。底层逻辑芯片的缩放可以吸收更复杂的ML/AI算法和[无线通信](#)功能。

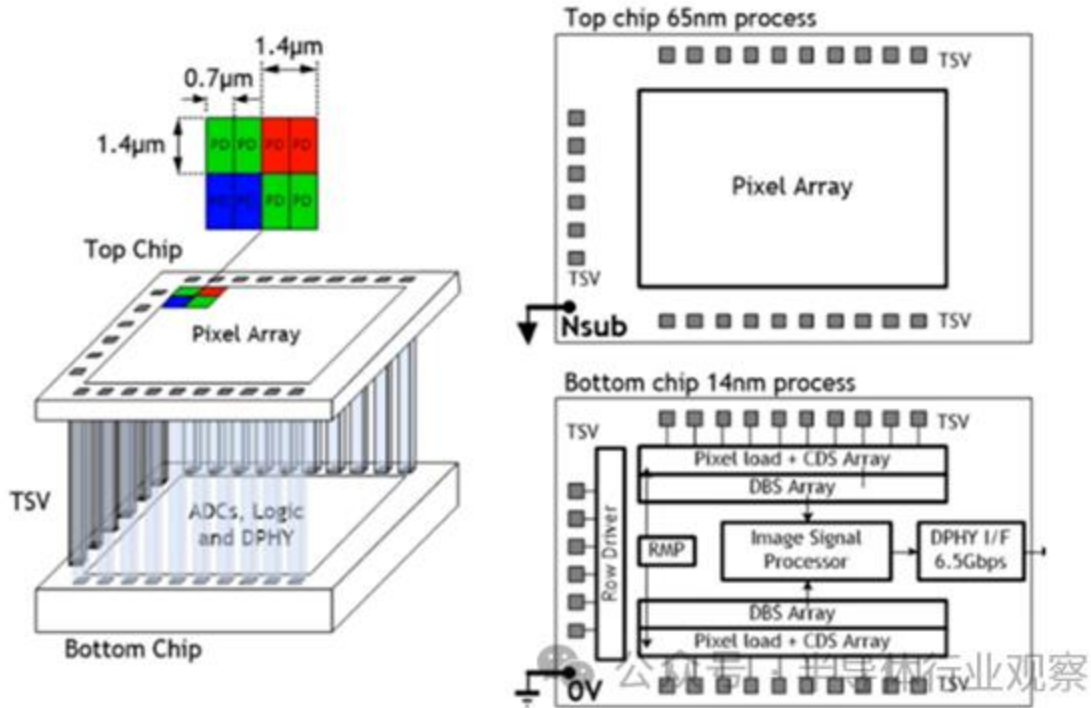


图7：采用 65 nm/14 nm 技术处理的双光电二极管堆叠芯片 BSI-CIS

三、RGB：近红外背照式 CMOS 图像传感器。

移动设备的近红外 (NIR) 成像通常在 850 nm 至 940 nm 的波长范围内进行。区分可见光环境中的信号使 NIR 图像适合虹膜认证和面部识别。基于近红外夜视的图像传感器对于监控应用也很有吸引力。硅在近红外波长下的量子效率 (QE) 较低。传统图像传感器在 520 nm 可见光、850 nm 和 940 nm 红外光下的 QE 分别为 70%、15% 和 10%。硅所需的 50% 吸收厚度在 850 nm 和 940 nm 波长下分别为 10µm 和 40µm。一些设计增加 BSI-CIS 的硅厚度以增加 NIR 吸收，并添加 DTI 以改善 NIR 范围内的 QE，如 OmniVision Technologies 的 Gen-2 图像传感器技术中所述。NIR QE 改进方法基于先进技术，无需对像素电子器件进行重大改变。然而，在 NIR 范围内实现更好的 QE 所需的更厚的硅给后通孔 TSV 工艺带来了挑战。

众所周知，更深的 TSV 蚀刻工艺会增加高深宽比蚀刻工艺的难度、增加工艺时间并降低产量。另外，第二代图像传感器技术评估了不同的互连方法。如图 8 所示，外围后通孔 TSV 的间距可以如图 8(a) 所示收紧。在没有用于 TSV 的 KOZ 的情况下，可以通过使用外围混合接合来减小芯片尺寸，如图 8(b) 所示。如图 8(c) 所示，可以通过将混合键放置在像素阵列下方来实现进一步的减少。

通过将像素阵列下方的 Gen-1 后通孔 TSV 改为 Gen-2 混合键合，16 MP 图像传感器的面积减少了 10%。这些混合键有时被称为列混合键合，因为它们具有将像素阵列与列和行存取处的操作电路连接的功能。它不受位置限制，因此可以将它们放置在像素阵列下方。由于能够分别优化像素阵列芯片和逻辑芯片的工艺流程，进一步凸显了性能的改进，例如全井电容 (full well capacitance) 增加了 20%，灵敏度提高了 12.5%，噪声更低。例如，它减少了组合工艺与额外热步骤的干扰，使用钨填充像素之间的深沟槽，并允许栅极氧化物优化。更高的灵敏度间接降低了系统功耗。2020 年最新发布的报告表明，新的表面处理方法与更厚的硅和深沟槽隔离相结合，使 850 nm 和 940 nm 的 QE 分别达到 70% 和 50% (使用 2.9 微米像素的数据测量)，使用 Nyxel 2 技术。

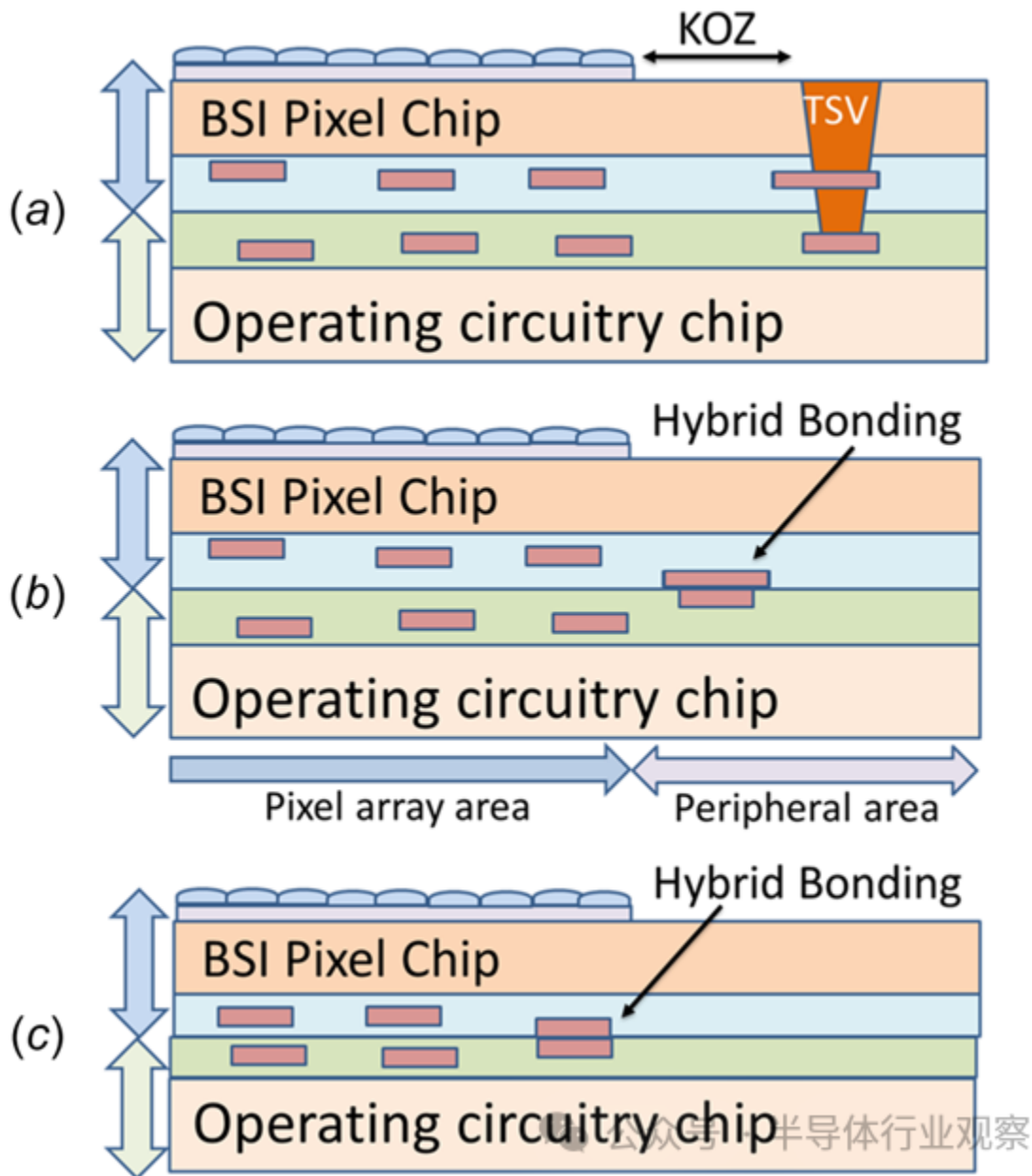


图8: 芯片间键合和互连方法, 其中 (a) 直接电介质键合, 然后采用用于芯片间互连的后通孔 TSV, (b) 外围区域的混合键合, 以及 (c) 像素阵列下的混合键合

索尼提出了一种不同的方法, 通过处理衍射结构 (PSD: Pyramidal Surface for Diffraction structures) 的波长尺度金字塔表面来增加像素内深沟槽隔离限制的近红外光传播长度, 而不增加硅厚度。

为了在同一图像传感器中结合 RGB 和 NIR 功能, 红外截止滤光片通常嵌入相机模块中。在明亮的日光下, 红外截止滤光片可阻挡近红外和红外, 以减少对底层电子设备的光学干扰。在夜光环境下, 红外截止滤光片会缩回, 以允许近红外光通过。

四、三芯片堆叠卷帘快门 (rolling shutter)

图像失真是卷帘快门 (RS: rolling shutter) 运动图像应用的常见问题, 是由串行读取方法在第一个像素和最后一个像素读取之间的时间滞后引起的。为了提高 RS 的性能, 我们探索了在像素器件中添加电容器的选择, 以牺牲像素尺寸的增加为代价。在不增加像素尺寸或芯片尺寸的情况下, 将单独的 DRAM 芯片插入到像素阵列芯片和操作电路芯片堆叠中。

索尼在2015年发布了像素/DRAM/逻辑三芯片堆叠RS。DRAM芯片堆叠在像素阵列芯片和逻辑芯片之间, 用于临时存储信号。像素阵列、DRAM和逻辑芯片分别采用90 nm、30 nm和40 nm工艺技术加工。DRAM的硅被抛光至3-5 μm 厚, 使芯片堆叠的总厚度保持在130 μm 。像素阵列和DRAM芯片都向下面向逻辑芯片。后通孔 TSV 和重新分布层由面对面直接键合 DRAM 和逻辑芯片堆栈的背面形成, 用于外围芯片到芯片互连。然后, BSI 像素阵列芯片被面对面粘合在 DRAM 逻辑芯片堆栈的顶部。后通孔 TSV 从 BSI 像素阵列芯片的背面形成, 作为外围区域的芯片间互连。接合焊盘处的后通孔 TSV 直径为2 μm 至1.5 μm , 间距为6.3 μm 。当临时存储器可用时, 具有最小化图像失真的并行读出方法成为可能。此 7.73 mm (对角线) 三芯片堆叠 BSI-CIS 演示了1.22 μm ×1.22 μm 像素下 30 fps 的帧速率和总计 19.3 MP。层叠芯片的剖面如图9所示。

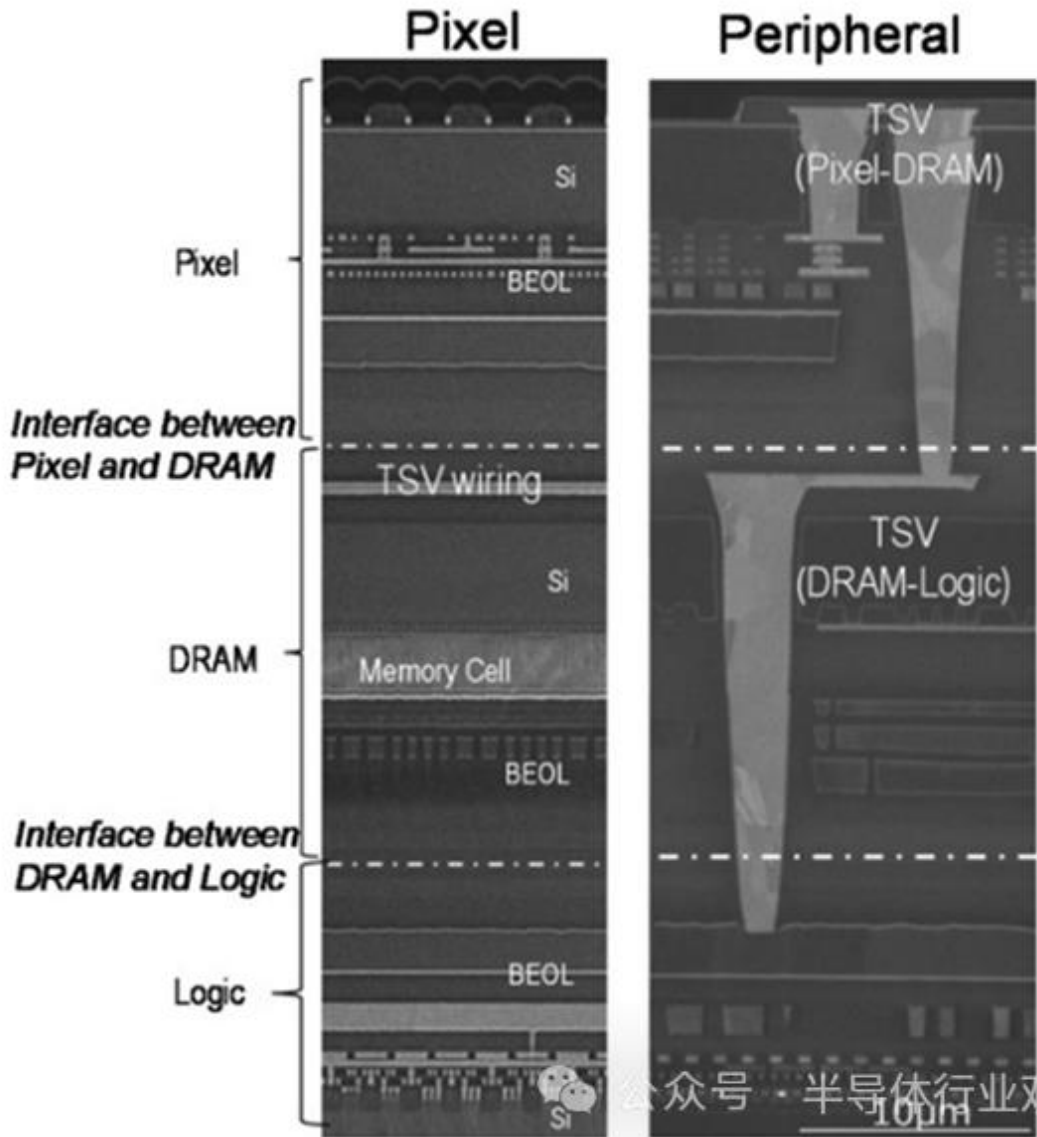


图9：索尼公司的像素阵列、DRAM 和逻辑三芯片堆叠图像传感器，使用电介质对电介质键合，然后在外围区域采用最后通孔 TSV 互连

三星于 2017 年设计了三芯片堆叠 RS，随后于 2018 年发布了产品。为了提高速度，在像素阵列和模拟逻辑芯片堆栈下方添加了两个千兆位 (Gb) LPDDR4 DRAM 芯片。1.4µm 像素 12MP 图像传感器可以在 1/120 秒内以 960fps 的速度捕获图片并传输全帧数据。DRAM 芯片与图像传感器芯片堆栈的连接是通过使用微凸块热压缩工艺将逻辑芯片与 DRAM 芯片键合中的 TSV 进行典型 3D 集成来实现的。虚拟芯片放置在 DRAM 芯片旁边，以补偿芯片尺寸差异。

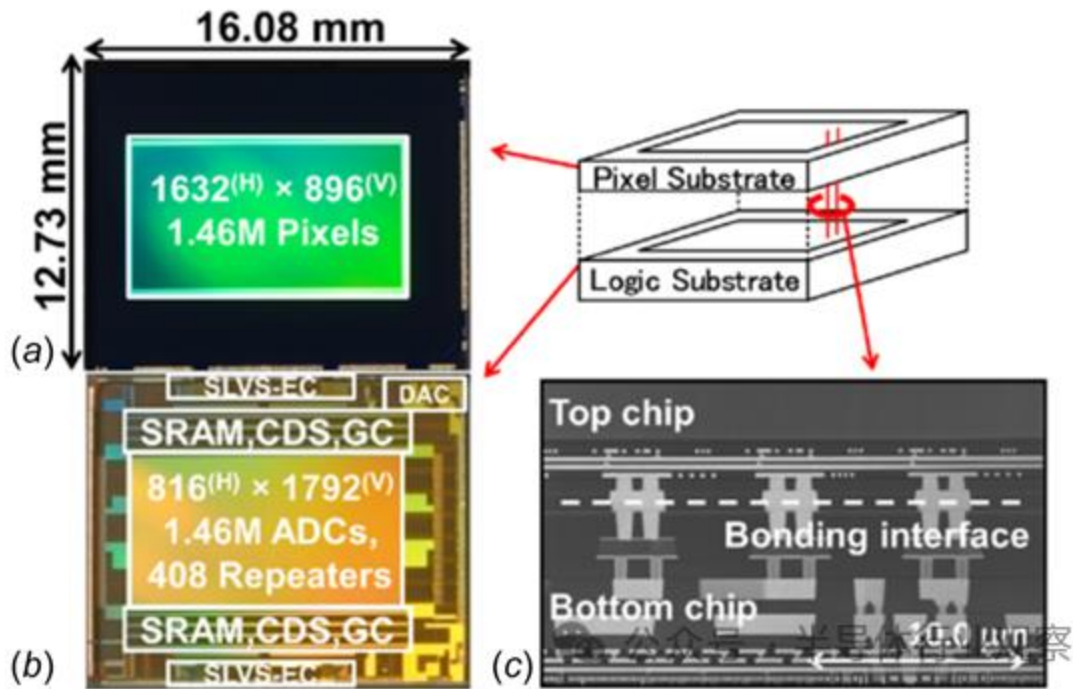


图10: 采用像素级集成的索尼堆叠芯片 GS, 其中包含 (a) 像素阵列芯片、(b) 处理器芯片和 (c) 使用混合键合互连的堆叠芯片的横截面

五、全局快门

尽管RS图像传感器通过添加DRAM芯片来存储像素信号并缩短信号读出延迟已经得到了很大的改进, 但进一步推进仍在继续。全局快门 (GS: Global Shutter) 技术已被探索用于最大限度地减少图像失真并进一步提高电影的帧速率。全局快门的最新趋势是将电容器放入像素中以存储图像信号并消除串行读取方法引起的延迟。

有两种主要的全局快门设计将电容器添加到像素设备中。电荷域全局快门将光电二极管产生的信号存储在电容器中以供以后转换。电压域全局快门将来自光电二极管的信号转换为电压域, 然后将其存储到电容器。存在一些与添加电容器相关的问题。当信号存储在电荷域电容器中时, 需要遮光层来降低电容器的光敏感性。电压域中的电容器更稳定, 但将信号转换到电压域所需的额外电路进一步降低了填充因子 (FF: fill factor)。光电二极管面积与像素总面积之比较低或 FF 较低, 导致像素阵列效率低下。最好将存储器电容器和附加像素电子器件移至堆叠在 BSI 或 FSI 光电二极管阵列芯片下方的单独芯片, 以获得更好的 GS 性能。像素级集成是像素并行图像处理所必需的, 其中两个堆叠芯片中的分区像素电子器件通过芯片间像素级互连连接在一起。

索尼公司于 2019 年使用混合键合芯片间互连对使用像素级集成的全局快门图像传感器进行了评估。每个像素中都添加了由十多个晶体管组成的模数转换 (ADC) 单元。额外的像素电子器件在两个芯片中进行分区和处理, 每个芯片通过两个混合铜-铜键连接, 一个用于功率和电压控制, 另一个用于光电二极管信号。如图 10(a)所示, 该 $6.9\mu\text{m}$ 像素 1.46MP GS 图像传感器具有 300 万个 Cu-Cu 混合键 (hybrid bonds)。图像传感器的尺寸为 12.73 毫米 \times 16.08 毫米。相当于单芯片方式芯片尺寸的 70%。分区像素电子器件极大地改善了 FF。

底层芯片具有 146 万个 ADC 转换单元以及其他存储器和处理器功能, 如图 10(b)所示。Cu-Cu 杂化键的截面如图 10(c)所示。为每个图像传感器使用数百万个铜-铜混合键合来制造用于像素级集成的晶圆级混合键合是一个具有挑战性的步骤。

六、高动态范围

动态范围是传感器可检测到的最大信号与最小信号的比率。人类视觉的动态范围约为 90 dB。针对工作范围进行优化的图像传感器可能会过饱和, 超出可检测范围。高动态范围 (HDR) 更适合在更广泛的外部环境中检测图像。前文就描述了一种对 RGB CIS 光电二极管和图像重排马赛克使用曝光时间微分的方法——通常需要更复杂的像素电子器件来进一步扩大动态范围。

OmniVision 通过使用双转换增益 (DCG: dual conversion gain) 方法以及每个像素中的高增益和低增益像素电子器件来扩大动态范围, 如图 11 所示。低照明下需要高转换增益以实现低读取噪声, 而强照明下则需要低转换增益。需要一个大电容器来调制浮动扩散电容以及高增益和低增益电路之间的晶体管开关。这些额外的像素电子器件会增加像素尺寸并降低性能。

像素级集成的选择是优选的, 基于 $1.5\mu\text{m}$ 像素 8 MP 堆叠芯片图像传感器评估几个像素电子分区。采用堆叠像素级连接 (SPLC: Stacked Pixel Level Connections) 技术, 在像素阵列芯片屏蔽环境光的逻辑层中添加一个大电容器。该设计可产生 83.8 dB 的 HDR, 高低转换增益比为 10。这是 2018 年评估的最小间距的像素级互连。在此设计中, 每个像素的芯片到芯片像素级连接通过每个像素最少 1 个混合键、最大 $1.5\mu\text{m}$ 节距以及因此最小密度 440,000 bonds/mm² 来估计。OmniVision DCG HDR 图像传感器在 2020 年发布的最新产品是 48 MP $1.2\mu\text{m}$ 像素, 具有出色的信噪比、像素合并 (4 比 1 合并为 12 MP $2.4\mu\text{m}$ 像素) 和堆叠芯片架构。

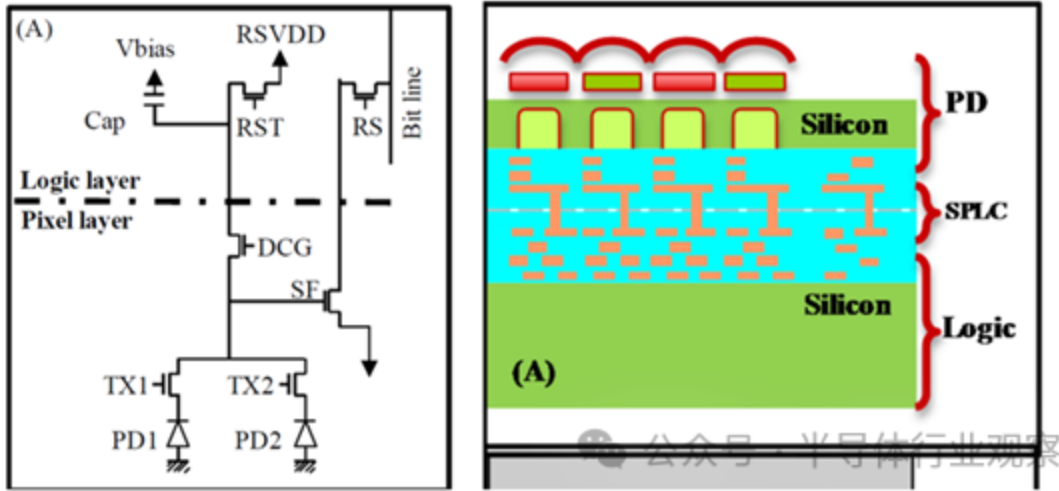


图11：像素电子分区示意图和 OmniVision 堆叠芯片像素级连接的横截面图

七、飞行时间和光检测与测距

HDR 也已通过使用单光子雪崩光电二极管 (SPAD: Single Photon Avalanche Photodiodes) 进行了探索。为了在极低光照条件下实现可接受的图像检测, 光电二极管通常设计为在雪崩模式 (avalanche mode or Geiger mode) 的反向偏压下工作, 以检测几乎捕获的光子。在雪崩模式下, 生成的每个信号电荷都可能导致电流尖峰。位计数器电路代替电荷或电压信号来收集信号。像素电子器件可以是简单的 SPAD、带有位计数器的 SPAD 以及带有位计数器和时间数字转换器 (TDC) 的 SPAD, 如图12所示。Quenching circuit通常设计有SPAD, 以便正确重置SPAD。当TDC设计在操作电路中时, 可以确定物体的距离。它被认为是飞行时间 (ToF) 检测。支持需要 SPAD 的应用的整体电路通常相当大, 复杂的电路鼓励使用像素电子分区方法和像素级集成。

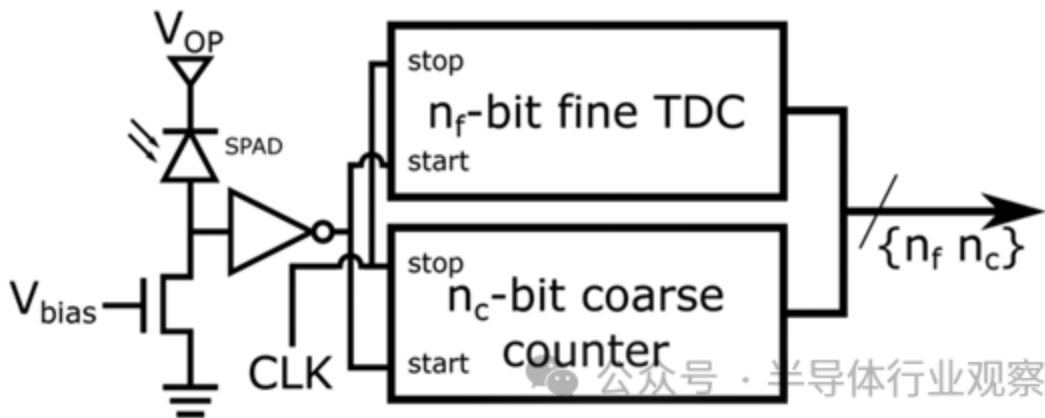


图12：ToF SPAD 图像传感器的像素电子器件原理图

2019 年，全球首款采用混合键合进行像素级集成的商用 NIR SPAD ToF 传感器在 iPad 11 Pro 中实现。移动设备中的深度感测通常使用间接 ToF 来确定距离，以双像素传感器的图像处理为例。直接 ToF 需要更复杂的成像方法和光源。iPad Pro 11和iPhone 12 Pro都添加了LiDAR功能，用于增强现实和其他识别功能的应用。根据 System Plus Consulting 的分析，这种短距离 ToF 功能是由索尼 ToF 图像传感器实现的，作为苹果产品中的第一个 NIR SPAD ToF，如图13所示。

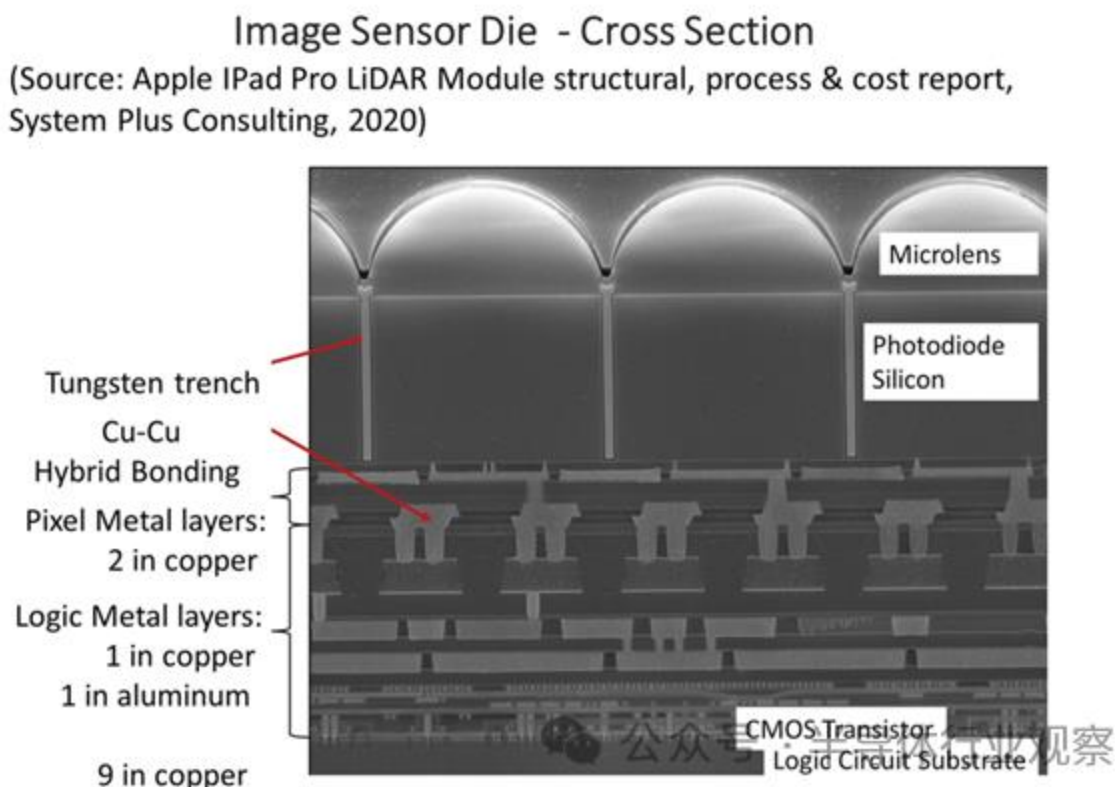


图13：在芯片间接口处使用混合键合的 NIR SPAD ToF 图像传感器的横截面

LiDAR 使用垂直腔表面发射激光 (VCSEL: Vertical Cavity Surface Emission Laser) 源投射 9×64 点阵结构光。图像传感器检测反射光以确定具有距离的图像。该 NIR 传感器采用 $10 \mu\text{m}$ 像素 30 kP SPAD 设计。成像芯片与使用混合接合技术的操作电路芯片层叠，以形成像素级 Cu-Cu 芯片到芯片互连，如图13所示。

超越移动应用

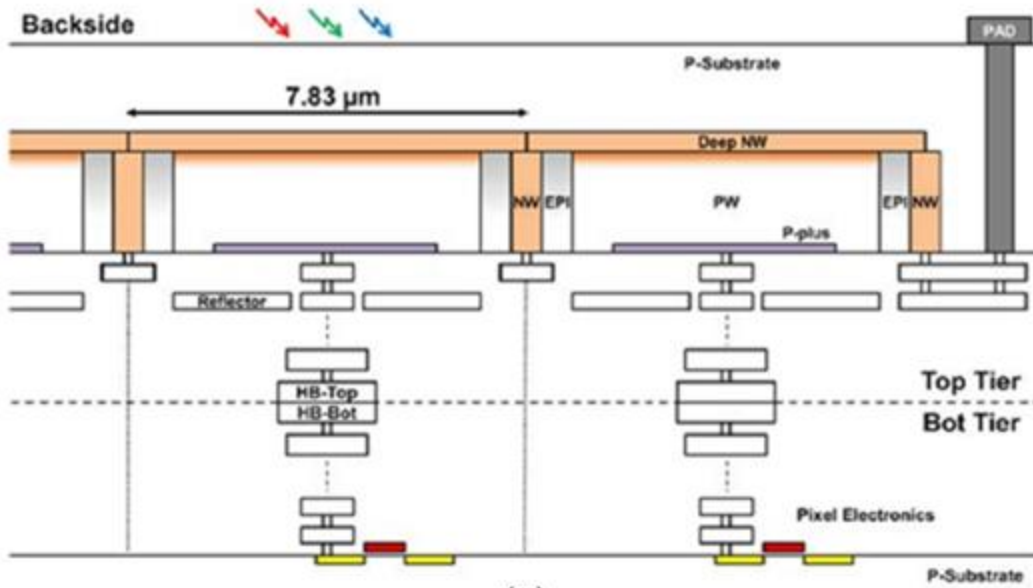
图像传感器的不同应用存在许多具有挑战性的领域。监控摄像头的广泛使用依赖于日光下的功能性 RGB 成像和黑暗下的 NIR 成像。需要扩大检测波长范围和高 QE。自动驾驶汽车的高级驾驶辅助系统是另一个快速增长的应用领域。激光雷达是自动驾驶汽车成功的关键要素。短距离激光雷达已可在几

英尺内运行的智能手机中使用。具有数百米距离灵敏度的远程激光雷达是一个活跃的领域，有许多方法正在开发中。光源扫描仪可能从大型[机械](#)系统转移到微型片上激光系统。为了人眼安全，波长选择正向 1550 nm 发展。能够感应极弱光的宽动态范围图像传感器非常重要。

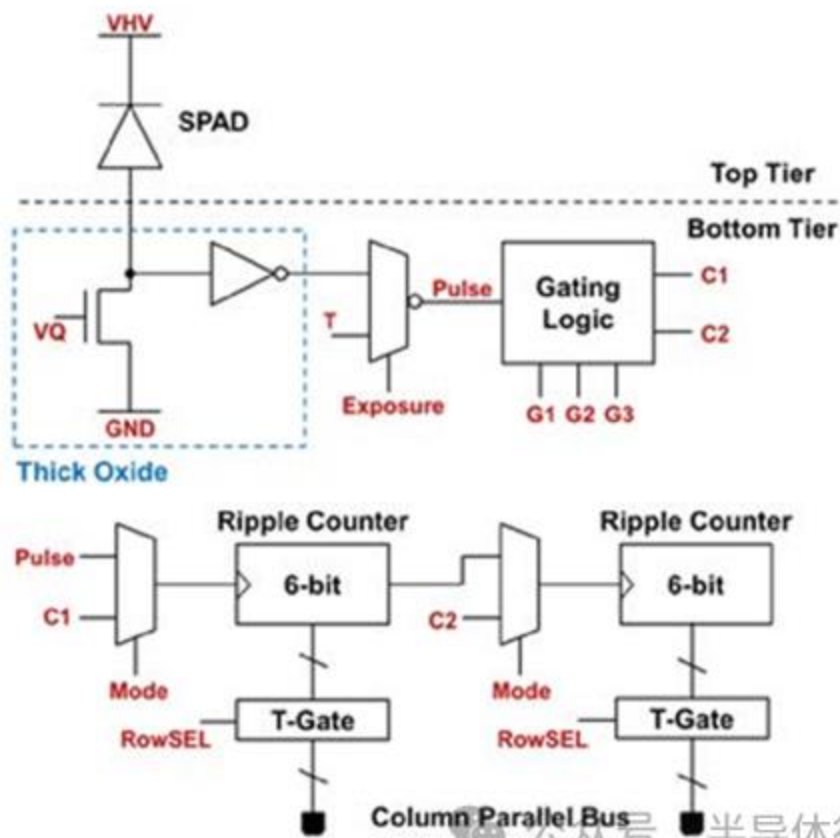
一、长距离光探测和测距

已知 ToF SPAD 型光电二极管的填充因子 (FF: fill factor) 较低。在时间选通 (time-gated) ToF SPAD 成像仪中像素电子器件的拟议改进中，使用 5-7 个晶体管证明了 10-25% 的光子检测概率。在单芯片配置中，填充因子可以低至 7%–13%。

第一个 3D 堆叠式 SPAD 图像传感器具有单光子计数 (SPC: single-photon counting) 和时间分辨成像 (TRI: time-resolved imaging) 功能。像素尺寸缩小至 $7.83\mu\text{m}$ ，填充因子为 45%。这是通过将复杂的像素电子器件移至底层芯片并留下由 65 nm 技术处理的像素阵列的顶层芯片来实现的，如图 14(a)所示。两个芯片使用混合键合技术堆叠在一起。在此配置中，有趣的是发现一个电连接穿过 TSV 并从像素阵列芯片的背面引出，如图 14(a)的右角所示。包含大部分像素电子器件的底部芯片采用 40 nm 技术加工，[电路原理图](#)如图 14(b)所示。



(a)



(b)

图14: 3D 堆叠式 SPAD 图像传感器示意图: (a) 通过混合键合堆叠在 CMOS 电路芯片上的像素阵列芯片的横截面视图和 (b) 像素电子器件图

另一种用于激光雷达应用的两层红外 SPAD 的开发显示了复杂的像素器件和操作电路，如图15所示。如图15的右侧所示，在图像传感器的顶层中形成块中的16个 $9.2\mu\text{m} \times 9.2\mu\text{m}$ 像素SPAD阵列。相应的 $38.4\mu\text{m} \times 38.4\mu\text{m}$ 块中的支持电路，包括像素接口、计数器阵列以及其他转换和信号处理电路，形成在图像传感器的底层中，如图15的左侧所示。

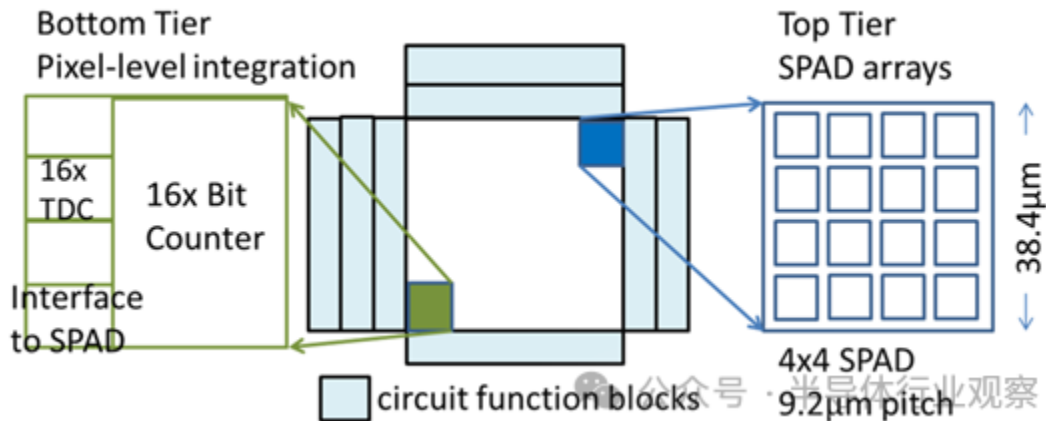


图15：用于 LiDAR 应用的两层 IR SPAD 传感器的芯片平面图和像素阵列

堆叠的两个芯片的每个顶层 SPAD 单元与底层计数器和处理器单元物理对齐。两个单元通过像素级集成在电气上协同工作。16 个像素的子像素阵列的配置通常称为宏像素 (macropixel)，它可以实现局部性能、像素设计、并行处理优化。整个像素阵列由 256×256 像素或 64×64 宏像素组成。每个像素的填充因子为50%。芯片通过混合键合进行堆叠，以实现芯片间像素级互连。宏像素架构可实现每个宏像素内的像素电子器件、填充因子、像素尺寸和性能改进。

另一个示例是将像素分组在一起以共享 TDC，并通过决策树算法确定访问优先级。它们的芯片堆叠和芯片间像素级互连由台积电制造。通过 45 nm/65 nm 技术实现了 $19.8 \mu\text{m}$ 像素，检测距离为 150 m 至 430 m。

二、红外传感

结合 RGB-NIR 传感的方法在许多潜在应用中都很引人注目，尤其是在监控系统中。一些通用策略包括滤波器设计、像素颜色分配和图像重建的马赛克技术 (mosaic techniques)。一种方法涉及在每个像素组中使用具有 RGBN (红、绿、蓝和 NIR) 的改进拜耳阵列。RGB 和 NIR 图像都可以使用陷波滤波器 (notch-cut filter)、高级图像处理和马赛克技术在同一图像传感器中形成。其他正在研究的方法包括电控堆叠 (electrically controllable stacked) RGB 和 NIR 有机光电转换薄膜以及每个

像素中的双像素电子单元，以处理各种组合的 RGB 和 NIR 图像。与两个独立的 RGB 和 IR 图像传感器相比，在一个图像传感器中成功集成 RGB 和 NIR 传感可以显著节省成本和空间。

当检测波长接近红外时，通常会考虑除硅之外具有更高QE的材料。像素级集成已扩展到不同的半导体材料。通过使用 InP/InGaAs/InP 材料作为焦平面阵列 (FPA: focal plane array) 形成感光层，可以实现高达 1600 nm 的短红外波长 (SWIR) 的图像传感。然而，这些半导体材料受到晶圆尺寸和离子注入能力的限制。像素级集成是通过在硅晶圆上形成读出电路并通过 Cu-Cu 混合键合堆叠 InP/InGaAs/InP 感光层来实现的。如图16所示，芯片间像素级互连通过 Cu-Cu 混合键合取代倒装芯片键合，使像素尺寸减小至 5 μm 。索尼于 2020 年 5 月发布了该产品。

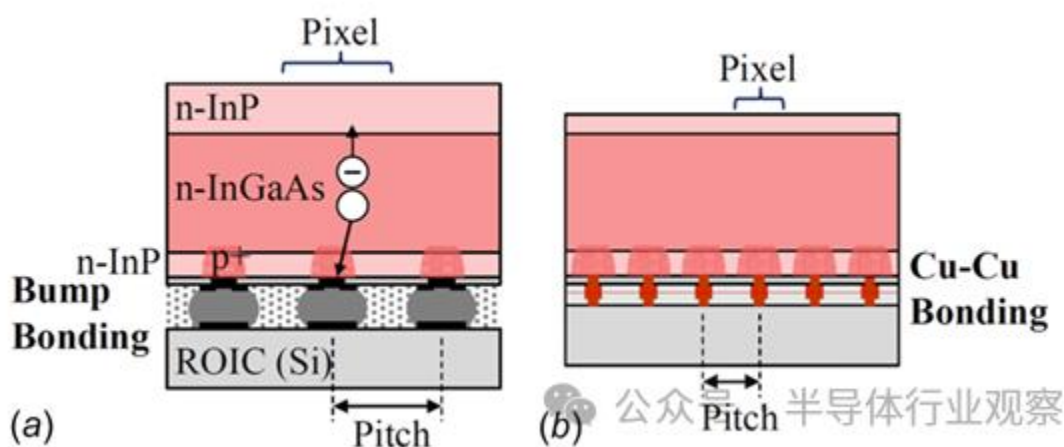


图16：使用 InP/InGaAs/InP 光电二极管通过像素级集成与硅芯片中的读出电路键合的短波长红外传感器：(a) 倒装芯片凸块和 (b) Cu-Cu 混合键合

红外成像也被探索用于医学应用，例如光学断层扫描。时间数字转换采用 SPAD 像素阵列设计，用于检测脑组织反射的红外光下的距离和强度图。反射光更适合与来自环境的散射光区分开。采用3D堆叠方法通过处理第2层芯片中的TDC和其他处理电路来增加第1层芯片中的SPAD阵列的填充因子。芯片堆叠采用Tezzaron的FaStack混合键合技术。许多生物医学应用仍在研究和开发中。

三、复杂图像传感器。

高光谱成像 (HSI: Hyperspectral imaging)、多光谱成像 (MSI: multispectral imaging) 和神经形态成像技术并不新鲜。HSI和MSI在农业、军事和医疗领域有许多应用。HSI 对森林或食用植物的检查可以区分好树或病树，或好果子或腐烂的水果。这些领域正在进行大量开发，以扩大高光谱、多光谱、神经形态和生物医学图像传感器的应用。

广泛的光谱光检测对于高光谱成像至关重要。关键因素是波长检测范围。常见的波长范围包括紫外线到可见光，或可见光到短波红外/中波红外/长波红外，具体取决于环境和感兴趣的主体。硅以外的材料被认为可以通过足够的 QE 来扩展波长检测范围。InGaAs、InAs 和 GaAs 等材料被认为适用于波长延伸至 2600 nm 的材料，而 HgCdTe 材料则适用于 NIR 至 MWIR 之间的波长。GeSn 也被考虑用于近红外图像传感。使用 InGaAs 作为 FPA 的 SWIR 图像传感器。以上一个章节为例，它们展示了像素级集成对于硅基操作电路芯片的重要性。为了降低昂贵的化合物半导体的成本或在极低的温度下运行以减少暗电流，PbS 和 HgCdTe 量子点以及在典型硅材料上制造纳米图案正在考虑中。

神经形态成像是近年来另一个活跃的发展领域。使用可重构像素分组的面向对象采样正在探索中。基于对象的成像可以消除非关键区域中的大量冗余计算。为神经形态成像开发的方法可以扩展到用于自主应用的激光雷达图像传感。本章第一节例子在传感器设计中将像素分组为宏像素，而神经形态图像传感器通过基于知识推理处理的可重构像素分组来进行三级计算。神经形态芯片设计的一个例子表明，使用 90 nm 技术的 ADC 电路模块占用的芯片面积为 0.021 mm²，而使用 32 nm 技术的先进自旋电子方法可以将 ADC 减小到 10 μm²。具有片外和片上选项的图像传感器都在考虑之中。结合硬件设计选项和各种操作算法，性能、功能、尺寸和功耗的优化最终可以确定芯片堆叠架构。这个活跃的领域引起了各大玩家的关注。当索尼和三星都宣布涉足这一领域时，一些简单的产品可能很快就会适用于移动设备。

互连

芯片间互连使技术能够在芯片堆栈内创建适当的电气互连。虽然微凸块和倒装[芯片技术](#)已在业界广泛使用，但过去几年，图像传感行业已成功开创了后通孔 TSV 和混合键合芯片间互连方法。下面简单介绍这两种方法的工艺流程。

一、后通孔硅通孔芯片间互连。

TSV 技术是 3D [IC](#) 集成的关键技术。[微机电系统 \(MEMS\)](#) 应用已采用各种形式的后通孔 TSV。TSV 通常被称为垂直穿过晶圆的通孔结构，以在正面布线和背面布线之间形成电连接。用于图像传感器芯片堆叠的后通孔 TSV 扩展了其功能，以创建芯片到芯片的电气互连。

下面在图 17 中简要讨论了后通孔 TSV 的工艺流程，以区分 3D IC 单芯片中典型的中间通孔 TSV 与多芯片的后通孔 TSV。尽管芯片键合是由介电层到介电层形成的，但它适用于面对面和面对面的芯片堆叠。通过氧化物或氮化物进行适当的钝化被认为是足够的接合表面。图 17 所示的示例中考虑了具有氧化物钝化的面对面芯片堆叠。

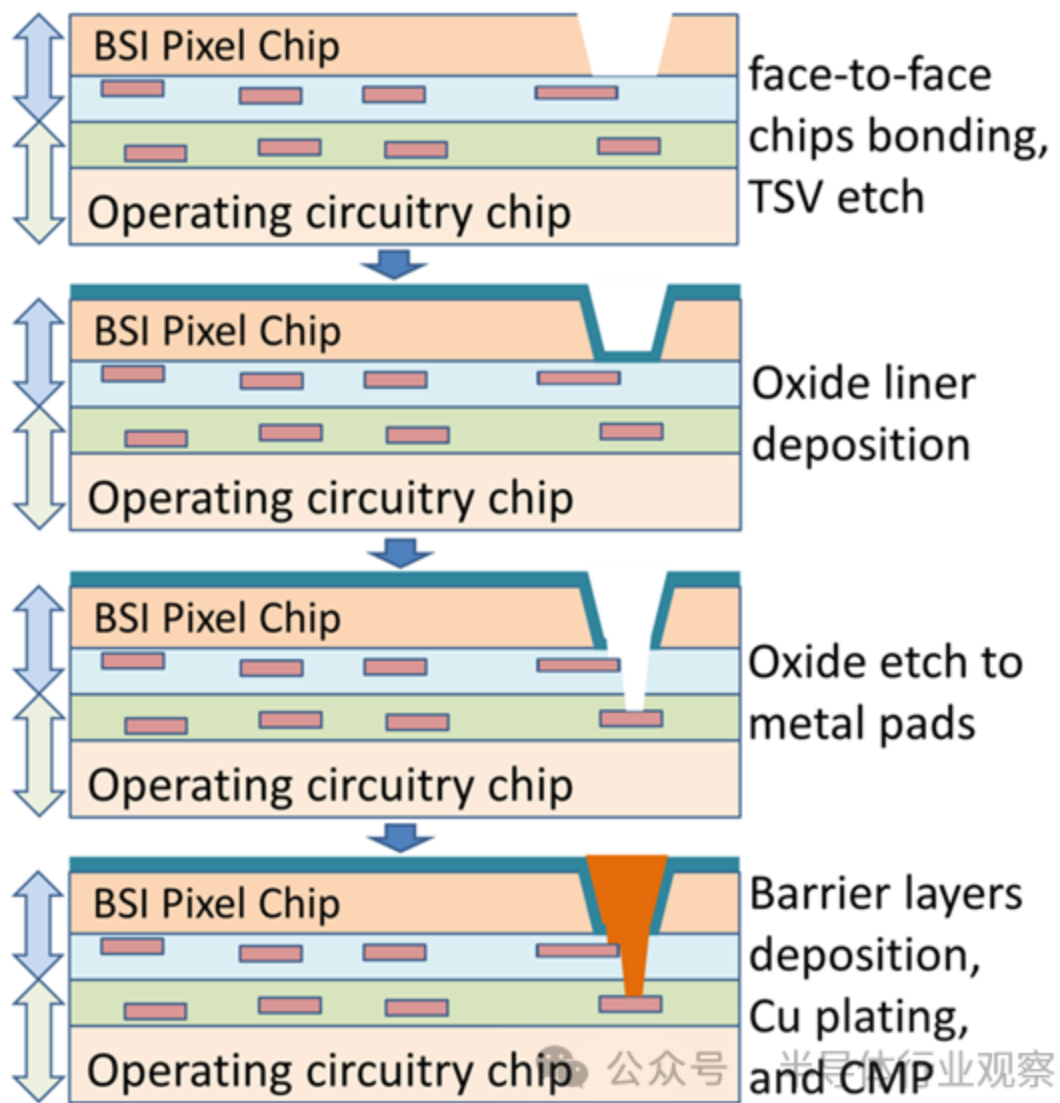


图17：用于芯片到芯片互连的后通孔 TSV 工艺流程

像素阵列芯片和操作电路芯片被氧化层钝化。两个芯片面对面接合以形成电介质-电介质接合界面，如图17所示。执行典型的硅蚀刻以在硅衬底中形成通孔。然后在TSV表面形成氧化物层作为绝缘层。然后对键合芯片进行图案化，然后对两个芯片中的金属焊盘进行氧化物蚀刻。典型的阻挡层沉积和镀铜将用金属填充通孔，然后进行化学机械抛光 (CMP) 以去除表面上多余的金属。因此，通过后通孔 TSV 工艺直接在两个金属焊盘之间形成芯片到芯片互连，而无需经过桥结构。

某些设计中可以选择使用后续的重新分布层或钝化工艺来隔离表面。后通孔 TSV 的各种形式如图6、图8和图17所示，两个芯片之间的电连接通过 BSI-CIS 上的重新分布层中的桥接结构进行，如图6所示，而两个金属焊盘之间的电连接则非常接近地连接在一起，如图8和图17。TSV 之间的空间也可

以减小。与 3D IC 单芯片中典型的中间通孔相比，后通孔 TSV 无需经过微凸块工艺即可形成芯片间互连，并且是无凸块的。对于 3-5 μm 厚的薄硅基板，通孔间距可以减小到 4-6 μm 范围，但 KOZ 限制仍然适用于图像传感器应用。这种后通孔 TSV 工艺自 2012 年起投入生产。

二、混合键合芯片间互连。

混合键合技术的发展已经持续了十年。一些方法使用中间层将介电部件键合在一起。最近，混合键合专门用于芯片到芯片键合，采用直接电介质到电介质和金属焊盘到金属焊盘的键合，无需中间层。不同行业参与者的专业技术存在一些差异。专利技术直接键合互连的工艺流程如图18所示，作为混合键合的示例。

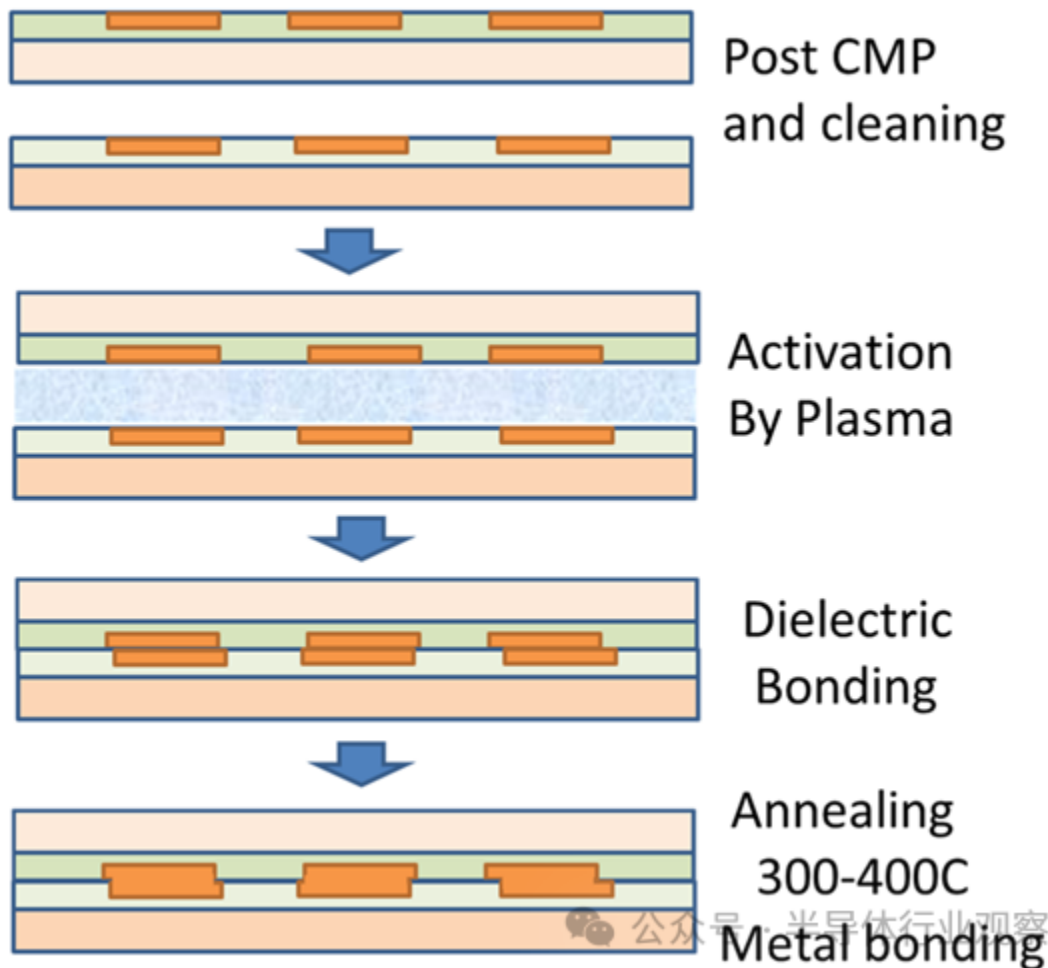


图18：直接键合互联的工艺流程

待键合的金属和电介质表面应通过 CMP 工艺制备出具有优异的表面平整度和 CMP 后清洁工艺的优异清洁度。选择性抛光速率通常会在电介质表面留下铜凹陷（copper recess）。然后通过使用

选择性化学物质或通过氩或氮等离子体进行表面处理来激活要键合的两个晶片。等离子处理可以在晶圆暴露在空气中后进行干洗，并且可以进行优化以去除铜焊盘上不需要的天然氧化物。晶圆间键合的对准是由[高精度](#)晶圆键合机能力决定的关键因素。

众所周知，准确性和吞吐量之间存在权衡。电介质对电介质键合后，键合的两个晶圆将在约 300–400 °C 的范围内经历后退火过程。由于铜的热膨胀系数高于电介质的热膨胀系数，因此铜焊盘在高温下会发生体积膨胀。体积膨胀可以弥合顶部和底部晶圆的金属焊盘之间的间隙，而扩散过程将封闭铜到铜的表面。由此形成直接接合互连。对于大批量制造应用，可以通过多种方式改进工艺。持续改进报告了 3 μm 窄间距与 1.5 μm × 1.5 μm 金属焊盘的混合键合。对准误差限制在 0.5 μm，以实现正确的电气连接。在开发工作中，3 μm 间距的 Cu-Cu 连接数量已增加到 300 万个。截至 2020 年，已有 1.5 μm 或 0.9 μm 混合键距的报道。产生适当的电气和机械混合键合连接的重叠公差[的真实规格](#)尚未报告。

尽管晶圆到晶圆混合键合工艺已在大批量制造 (HVM) 中实施，但许多应用更喜欢芯片到晶圆或芯片到芯片混合键合。HVM 正在改进 CMP 抛光、铜凹槽、晶圆切割、清洁、键合机对准精度，以实现芯片到晶圆或芯片到芯片工艺的实施。

在早前的一份研究报告中，Cu recess 优选在 1-3 nm 范围内，并且 Cu-Cu 退火温度已降至 200°C。该研究报告中芯片与晶圆混合键合良率约为 92%。它还尝试在没有真空环境的情况下进行键合。由于严格的工艺要求，预计会出现一些良率损失。

总结与分析

芯片堆叠已在图像传感器应用中展现出其优势。适当的芯片间互连技术对于实现各种芯片堆叠架构也很重要。基于第 2 节中描述的图像传感器的技术要求。如图 3 所示，这些芯片到芯片互连技术各自具有不同的优点。采用互连方法的芯片堆叠设计架构的选择可以由多种因素决定，例如像素电子器件、芯片的厚度、互连间距、芯片到芯片互连的位置以及像素电子器件分区方法。几秒内介绍的图像传感器案例摘要。前面谈到的一些内容列于表 1 中以供讨论。

Table 1

A summary of pixel electronics, chip stacking and interconnect technologies for image sensors

	New Product		Processing Technologies		Pixel Electronics
Image Sensor	Year	Feature	Pixel (nm)	Circuit (nm)	Design
SONY 8MP RGB	2012	1 st Chip-stack	90	65	PD, 3-5 transistors
Samsung 108MP RGB	2019	2-chip	65	28	PD, 3-5 transistors
Samsung 12MP 2PD		autofocus	65	14	2PD, transistors
R&D OmniVision NIP	2018	high NIR QE			thick PD, DTI+texture
SONY 19.3MP RS	2015	1 st 3-chip	90	40	PD, 3-5 transistors
SONY 12MP BSI CIS	2016	2-chip			
Samsung 12MP RS	2018	3-chip			PD, 3-5 transistors
SONY 1.46MP GS	2019	2-chip			PD, ADC
R&D OmniVision 8MP HDR	2018	2-chip			2PD, DCG, HDR
SONY 30kP ToF LiDAR	2019	1 st NIR SPAD			SPAD, TDC
R&D 15kP ToF LiDAR	2016	1 st stacked SPAD	65	40	SPAD, SPC+ TRI
R&D ToF LiDAR		2-chip			SPAD, Macropixel
SONY SWIR	2020	dissimilar mat			InGaAs FPA

一、三维堆叠图像传感器的优点。

通过用于高端应用的芯片堆叠方法，图像传感器已经实现了一些改进，如表1所示。一个好处是外形尺寸，据报道，索尼于2012年推出的首款堆叠芯片RGB图像传感器的芯片尺寸减小了30%，在不同技术节点处理单独芯片的选择提高了独立优化的灵活性。

如前所述，复杂的操作电路可以通过14 nm节点处理，而像素阵列可以在65 nm节点处理，如前面所说的三星双光电二极管图像传感器的。这将使得操作电路的复杂性增加，包括自动对焦、人工智能和许多高级功能，而不会影响外形尺寸。

同时，可以通过深沟槽隔离单独优化像素阵列，以实现更小的像素尺寸和更少的光散射，从而获得更好的图像传感性能。通过使用逻辑处理器的先进技术节点还可以降低功耗。对于需要复杂像素电子器件的应用，芯片堆叠可以将像素电子器件分成两个单独的芯片，以获得更好的填充因子和更小的像素尺寸。

目前，图像传感器的量产主要在65 nm节点进行，部分在55 nm节点进行，并在40 nm节点进行了先进的开发。操作电路芯片可进行多种加工，最新进展达到 28 nm 或 14 nm 技术节点。

二、芯片堆叠架构。

大多数芯片堆叠是通过将不同材料形成的BSI-CIS芯片或焦平面阵列芯片与操作电路芯片面对面接合来进行的。这种架构已广泛应用于先进图像传感器行业。针对并行 3D IC 芯片堆叠，对各种芯片堆叠和互连方法的性能进行了考虑。

通过比较了五种芯片堆叠和互连方法发现，面对面的芯片堆叠和最短互连可以比其他四种方法提高速度和带宽。小互连尺寸还可以通过最小化热机械和电寄生效应来降低功耗并减小 KOZ 的尺寸。这项工作支持高性能图像传感器的面对面芯片堆叠。

索尼和三星已将三芯片堆叠图像传感器商业化，用于卷帘快门应用，方法是添加 DRAM 芯片。随着像素级集成处理技术的进步以及全局快门的发展，面对面的两芯片堆叠已恢复成为主导的芯片堆叠架构。如表1所示，大多数堆叠图像传感器都使用两芯片面对面架构。未来的传感器融合或多功能传感器应用可能需要多芯片堆叠。

随着工艺技术的扩展，像素电子器件和电路分区获得了更好的产量、功能和性能的动力。在 2021 年最近的一份报告中，索尼考虑将多芯片到像素阵列晶圆用于先进图像传感器应用。

三、芯片堆叠的外围互连。

我们发现所选择的互连方法与像素电子器件密切相关。对于简单的像素器件，虽然有一些变化，但分区主要在水平和垂直存取区域，如图1中阴影区域的边界所示，图5为索尼图像传感器的俯视图。三星图像传感器的原理图如图7所示，它导致像素阵列外围区域的芯片到芯片互连。外围通孔后 TSV 因柱式混合键合趋势而受到欢迎。

后通孔 TSV 的优点是工艺简化、技术成熟以及作为无扰动工艺降低成本。3-5 μm 的薄硅基板使得TSV蚀刻工艺变得不那么困难。正如前面所提到的，外围区域的后通孔 TSV 计划用于三星的 144 MP 图像传感器芯片堆叠。

当硅变得更厚以用于 NIR 应用时，柱混合键合变得有利，如前文所述。由于高深宽比 TSV 工艺的挑战以及消除 KOZ 以减小芯片尺寸以及器件设计规范的限制。混合键合进一步简化了工艺流程。特别是对于面对面芯片堆叠，消除了 TSV 形成。然而，混合键合技术大约五年前才开始大批量生产。可制造性的改进仍然处于技术进步的视野中。

三星用于卷帘快门的微凸块技术用于逻辑和存储器 3D IC 芯片的连接，不用于与像素阵列芯片的互连。

四、芯片到芯片像素级互连。

像素级集成主要用于具有复杂像素电子器件的图像传感器，如表 1 所示。将像素电子器件划分为两个堆叠芯片可提高填充系数并减小像素尺寸。使用与硅不同的材料（例如 InGaAs）的光电二极管主要采用像素级集成。从倒装芯片接合转向混合接合只是减小了像素尺寸。

多年来已经取得了进展。随着像素越来越小，混合键间距也呈现出越来越小的趋势。最近发布的全局快门使索尼在 2019 年将像素尺寸降至 $2.74\ \mu\text{m}$ ，在 2020 年将像素尺寸降至 $2.2\ \mu\text{m}$ 。同样，OmniVision 在 2020 年推出的使用 DCG HDR 的高动态范围图像传感器的像素尺寸为 $1.2\ \mu\text{m}$ 。使用 SPAD 的图像传感器通常具有更复杂的像素电子器件和用于信号分析的复杂操作电路。利用像素级集成，SPAD 传感器的填充因子已提高至 50% 范围。

五、超高密度互连。

表 1 观察并总结了向小像素和超高密度互连发展的趋势。对于简单的像素电子器件，像素尺寸接近 $0.7\ \mu\text{m}$ 以下；对于复杂的像素电子器件，像素尺寸接近 $1.2\ \mu\text{m}$ 以下。对于像素级集成，芯片间互连间距正在向亚微米范围发展。对于 $1\ \mu\text{m}$ 的互连键合节距，密度为 $880,000\ \text{bonds}/\text{mm}^2$ ，混合键合是首选方法。

超高密度芯片间互连仍面临挑战，正在通过爱我嫩描述的方法探索远程 LiDAR 应用的互连密度降低，将一个互连引入芯片背面的宏像素设计和 TSV 设计都可以作为较低互连密度的替代方案。

六、制造能力

对像素并行处理的探索大约始于二十年前。制造能力的最新进步使得这些概念能够通过芯片堆叠和像素级集成商业化到产品中。否则，单芯片实现的填充因子可能低至不到 10%。仍有许多技术挑战需要进一步改进。

芯片堆叠始终面临着在已知良好芯片 (KGD) 与 KGD 之间进行权衡以实现更高的良率，或者在晶圆到晶圆堆叠之间进行权衡以降低处理成本。芯片到晶圆的堆叠可能是有利的，但必须考虑制造能力。

包括代工厂在内的主要图像传感器制造商已经宣布了混合键合能力。亚微米精度的混合键合已得到证实。制造设备的能力也在 300 mm 晶圆上得到了验证，采用 1 μm 间距的直接键合和小至 500 nm 的铜焊盘。EV集团 (EVG) 开发晶圆熔合系统来支持这种自动精密晶圆键合设备。据报道，在 3- σ 变化下，平均对准中心低于 15 nm 的重叠对准精度已达到 195 nm。EVG 将精度进一步提高到 50 nm，每小时可处理 20 片晶圆。芯片到晶圆混合键合功能也可用，但对准精度为亚两微米范围，如 EVG 所报告。BE Semiconductor Industries NV 也在芯片到晶圆混合键合领域展开竞争。预计会有进一步改进的需求。

后通孔 TSV 和混合键合因其与半导体芯片前端处理的兼容性而优于微凸块工艺。芯片堆叠和芯片间互连可以在晶圆厂完成，特别是晶圆间键合。

与此同时，代工厂台积电在其用于 3D IC 异构集成的 SoIC 和 SoIC_UHD 技术上报告了创新互连技术。台积电的超高密度互连 SoIC_UHD 技术报告了 0.9 μm 的亚微米间距，与之前 9 μm 间距的 SoIC 技术相比，芯片间互连密度提高了 100 倍。铜焊盘凹槽和晶圆清洁度是这种 SoIC_UHD 芯片间互连技术在超过 120 bonds/ mm^2 的超高密度下的主要挑战。

七、未来的工作。

图像传感器已实施芯片堆叠和互连技术，以支持更小像素、百万像素阵列和先进的支持 ML/AI 的智能图像传感器的趋势。与此同时，半导体处理节点的规模不断缩小，这促使未来需要将芯片堆叠和紧密的芯片间互连缩小到亚微米间距，以实现高性能和高带宽。尽管如此，像素、内存和逻辑器件在尖端节点上使用不同的材料和工艺进行了优化。同样，功能电路块可以根据成本在不同的技术节点进行优化。

所有这些变化都促使基于非常专业的处理和性能要求进行电路分区。需要芯片堆叠架构和芯片间互连来支持下一代图像传感器的需求以及通用异构集成的各种应用的扩展的技术进步。

在这些技术中，混合键合被认为是新投入批量生产的关键要素，需要在基础理解和可制造性方面进行各种改进。仅举几例，混合焊盘设计、残余应力管理、工艺集成、良率和精密制造设备都是希望扩大工艺裕度的关键要素。混合键合技术的挑战尚未克服，从晶圆到晶圆到芯片到晶圆、芯片到芯片、多芯片到晶圆以及多层芯片到芯片键合。应仔细考虑可能的返工或冗余策略，以挽救在有缺陷的混合键上失败的已知良好模具。除了设计和工艺技术之外，各个方面的创新都受到高度期待。

写在最后

在本研究中，简要概述和分析了最近图像传感器开发的芯片堆叠架构和互连技术。芯片堆叠是由像素密度的增加、填充因子的改进、操作电路的复杂性以及形状因子的限制驱动的。通过在单独的处理技术中优化像素阵列芯片和操作电路芯片，已经证明了性能、外形尺寸和功耗降低方面的改进。

两芯片面对面堆叠是有利的，并得到 3D IC 领域互连性能研究的支持。三芯片堆叠已商业化用于卷帘快门，但其势头已被使用像素级集成的两芯片堆叠全局快门所超越。确定了两种不同的芯片堆叠方案。

对于简单的像素电子器件，芯片分区发生在位于像素阵列外围的列和行访问区域。后通孔 TSV 和列混合键合都是首选的芯片间互连方法。对于复杂的像素电子器件，分区发生在像素电子器件级别，以提高填充因子并减小像素尺寸。芯片到芯片的像素级混合键合已成为最受欢迎的超高密度互连方法，尤其是在亚微米间距下。或者，通过像素阵列芯片两侧的宏像素和路由互连是放宽互连密度的可行选择。

混合键合技术仍面临加工挑战，以进一步提高可制造性。预计它将成为持续研究和开发的活跃领域。该图像传感器平台有望成为许多先进应用的技术平台。图像传感器技术平台和移动设备业务平台的协同已经并将继续加速创新和实施。预计这些进步将有利于跨整个半导体行业和消费者的许多先进应用的异构集成的实施。

审核编辑：汤梓红

<https://www.elecfans.com/d/2363988.html>