

今日头条 (China)

Advanced packaging is becoming a trend, starting the battle for equipment bridgehead – January 1, 2024

先进封装渐成趋势，打响设备桥头堡争夺战

2024-01-02 09:14·[王树一](#)

2023年12月15日，英特尔正式推出第一代酷睿Ultra处理器——业界期盼已久的Meteor Lake。它采用3D高性能混合架构，由四个分立模块组成，通过Foveros 3D先进封装技术连接。新一代处理器瞄准的应用领域为人工智能（AI），通过践行xPU战略实现了高效AI PC的创新。不过，消息并未提及使用了混合键合技术。

显而易见，先进封装已成为半导体行业的一个重要趋势，它包含各种各样的技术工艺，例如，倒装芯片（Flip-Chip）、晶圆级封装（Wafer Level Packaging）、2.5D封装和3D封装、系统级封装（SiP）、TSV（硅通孔）等。随着技术的不断发展，先进封装的技术工艺也在不断更新和扩展。

事实上，围绕先进封装的竞争帷幕早已拉开，而相关设备的桥头堡争夺战也已打响。这里从2023年底的两宗设备订单说起，看看专家对相关话题的一些研判。

混合键合拥趸多

混合键合是在封装的一个键合步骤中同时键合电介质和金属焊盘，包括晶圆对晶圆键合（W2W）和管芯对晶圆键合（D2W）。混合键合技术的潜力在于：互连距离更短、互连密度更高、成本更低、连接质量更高，以及强度、工艺兼容性优异等；缺点是对材料有要求、工艺控制难度大、设备成本较高，连接过程可能产生应力。

日前，台积电与荷兰后端设备制造商Besi及其合作伙伴应用材料（Applied Materials）签订了一大笔混合键合生产线订单。据透露，年底前英特尔也将为多台机器提供类似订单。以每台机器2-25亿欧元计，其180台混合键合机的年产能销售额将达4亿欧元。

一段时间以来，混合键合的W2W变体已经在相机传感器和3D NAND存储器中得到了证明。现在，一些头部制造商正在为D2W做准备。英特尔、三星和台积电预计将率先在异构制造工艺中大规模部署该技术，来自不同节点的数十个芯片组装复杂的芯片系统。

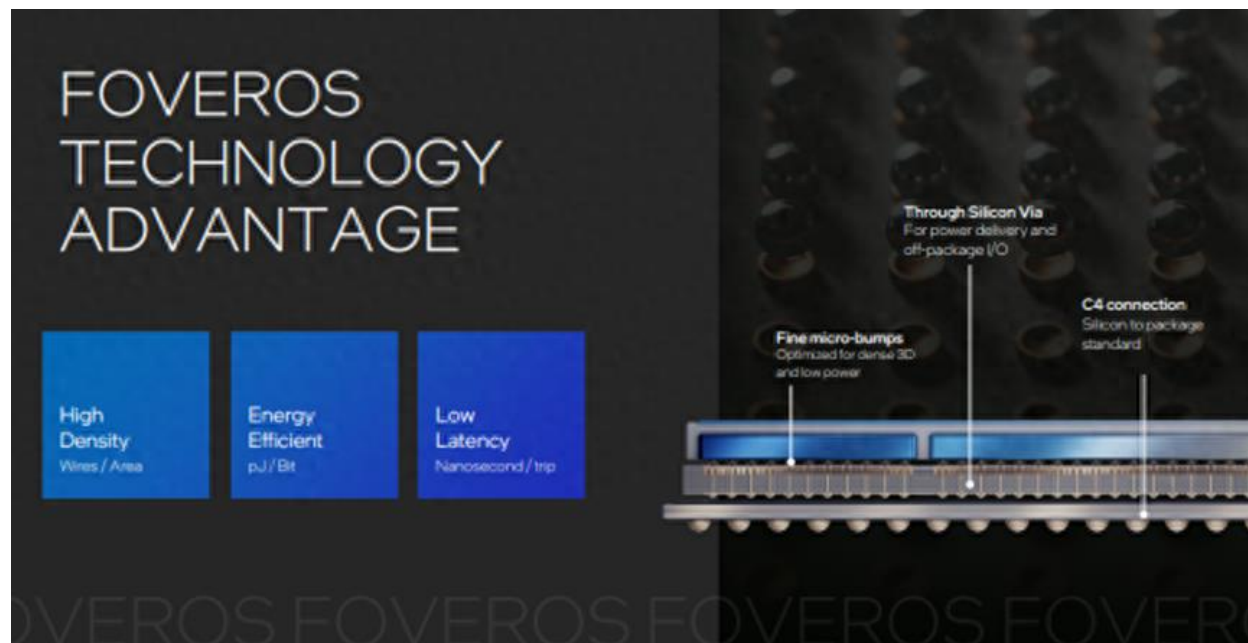
目前，主要芯片制造商都在大力发展5nm芯片和下一代混合键合。Besi首席执行官Richard Blickman认为：“过去一年，混合键合是否会成为主流已不再是一个问题，问题只是要多久以及用于什么应用。”

英特尔设想，未来的计算机系统由许多独立芯片组成的复杂封装构成，包括异构集成的核心或小芯片（chiplet）。“我们称之为核心的海洋，”英特尔公司高级副总裁兼组装与测试技术开发总经理Babak Sabi表示。

他认为，由多个小芯片或核组成芯片系统是提高性能的一种方法，也是英特尔减少互连信号延迟并实现最高带宽的方法。“在芯片封装中，一切都与互连有关。如果是垂直互连的芯片堆叠，就要使用混合键合，才能大幅降低能耗。”他补充说道。

此前有消息称，英特尔已推出基于无凸点混合键合的Foveros 3D集成技术，但并未披露细节。事实上，英特尔Foveros利用高密度、高带宽、低功耗互连，把用多种工艺制造的多个芯片3D堆叠组成芯片复合体，以实现更高的性能和更小的体积。

采用Foveros 3D封装技术及EMIB（嵌入式多芯片互连桥接）的Meteor Lake可实现每平方毫米770个连接。在未来，间距将达到25 μm 和18 μm 。

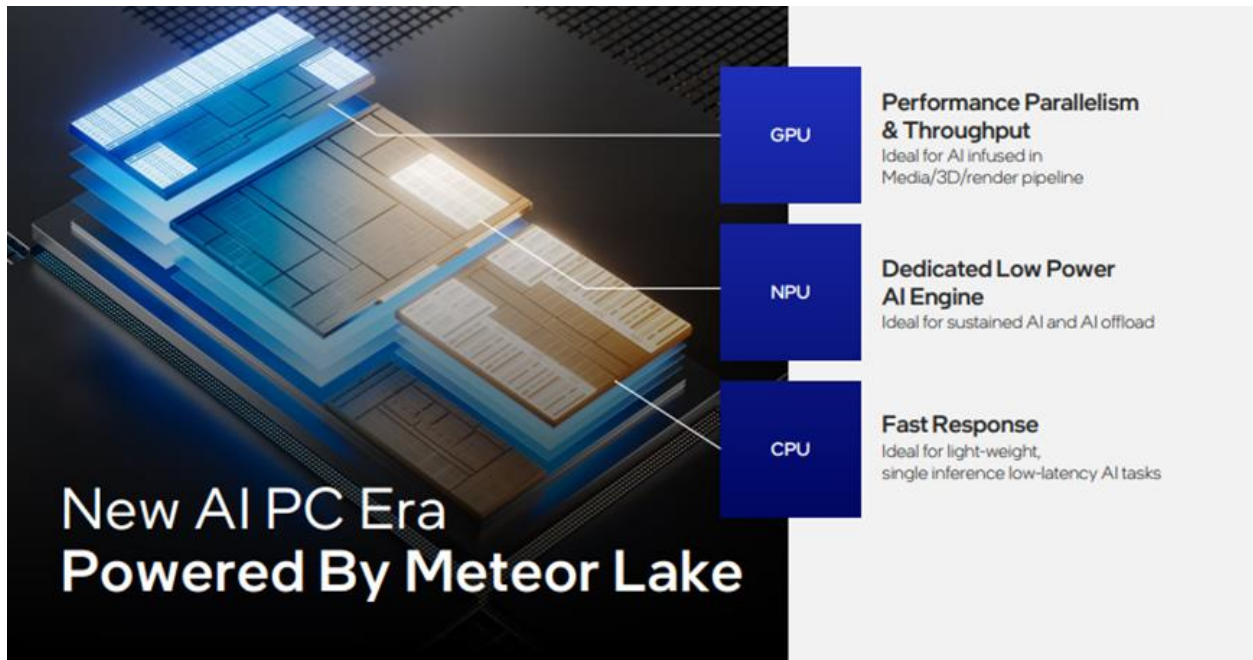


英特尔Foveros 3D封装技术

Yole Intelligence负责封装和组装的技术和市场分析师Stefan Chitolaga表示，英特尔最早可能在明年转向逻辑芯片和中介层之间的混合键合。被称为第四代Foveros的Foveros Direct将采用D2W混合键合，预期间距为9-10 μm 。

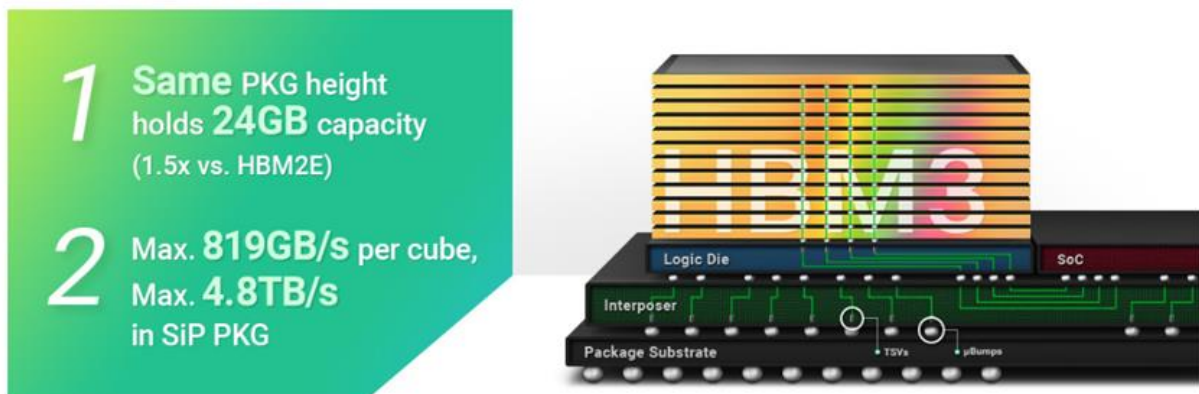
他表示：“英特尔正在考虑在其Foveros中介层的硅载板中使用混合键合，尽管它不会完全取代热压键合（TCB）的Foveros，但这将极大地扩展混合键合的应用。”中介层就像用硅制成的昂贵PCB，如有必要，可以将有源部件纳入其中。在后端工艺中，中介层芯片通常采用TCB等先进技术放置在顶部。

回到采用TCB的Meteor Lake封装，它包括四个先进芯片：1个图形处理器、1个系统芯片和1个I/O芯片，均由台积电制造，另一个是英特尔制造的通用处理器。将这四个芯片连接到Foveros中介层的TCB连接间距为36 μm ，比首款基于3D Foveros封装技术的Lakefield的55 μm 凸点间距有了实质性改进。



Meteor Lake的优势

SK海力士目前也在开发混合键合，将应用于即将推出具有高密度、高堆叠的高带宽存储器（HBM）产品，但目前还没有产品面世。2023年8月，SK海力士开发出面向AI的超高性能DRAM新产品HBM3E，并开始向客户提供样品进行性能验证。此前的HBM2E垂直键合堆叠为8层，HBM3 DRAM管芯堆叠增加到12层，总封装高度相同，适用于AI和HPC等容量密集型应用。据称，该公司最早将于2025年在HBM4产品量产混合键合，与现有工艺相比，可提高散热效率并减少布线长度，实现更高的I/O密度，并将当前的堆叠增加到16层。



SK海力士HBM3

英伟达最新的GH200 Grace Hopper超级芯片基本上是由图形处理器、微处理器及其周围的少数高带宽存储器组成，目前还没有用混合键合来组装这种芯片（tile）。



英伟达GH200 Grace Hopper超级芯片

热压键合遇到的挑战

2023年11月，新加坡半导体封装设备厂商Kulicke & Soffa (K&S) 宣布签订多项先进封装订单，以支持长期的人工智能 (AI) 增长，继续扩大在高性能计算、光电共封装和前沿异构集成领域的份额。该订单主要是提供TCB解决方案，旨在支持部署在高带宽网络收发器中的基于硅光子 (SiPh) 的光电共封装 (CPO) 应用。过去几年，K&S利用其在TCB、2.5D和3D封装方面的能力，在大容量逻辑、CPO和领先的异构应用中占有一席之地。

TCB是一种通过加热加压方式将两个金属层结合在一起的键合技术。事实上，它和混合键合是两种不同的键合技术，之间没有直接关系。

如今，AI需要高性能且具有成本效益的方法来支持堆叠或平面多芯片应用，从而满足机器学习、网络基础设施和边缘设备的需求。这些异构或小芯片应用正在HBM、企业逻辑 (GPU、CPU、TPU) 和大容量应用处理器和通信设备中部署。

毋庸置疑，多年来英伟达的AI芯片和AMD、英特尔的微处理器等先进芯片系统一直采用TCB组装。这种互连技术已经非常成熟，且还在发展。问题在于，TCB是否及能够在多大程度上减缓混合键合的进程。

K&S首席执行官Fusen Chen认为，现在是一个更现实的场景和有吸引力的机会。如果TCB能够成功地减少热压触点之间的间距，就能提供比混合键合更便宜的芯片堆叠方案。他表示，K&S 2023年TCB系统方面的收入将达到6000万至6800万美元，2025年将增长到1亿美元。



K&S的热压键合

K&S还与UCLA CHIPS（洛杉矶大学异构集成和性能扩展中心）合作，将TCB间距控制在 $5\mu\text{m}$ 以下。不过，Yole Intelligence的Stefan Chitolaga评论道：“我相信在未来十年内，TCB很难实现量产。实际上，TCB的间距大于 $30\mu\text{m}$ 。如果是3D NAND，混合键合在D2W工艺中可实现 $10\mu\text{m}$ ，在W2W工艺中可实现 $1\mu\text{m}$ 以下。

对TCB的缺点，Stefan Chitolaga更加直言不讳：“TCB确实比混合键合便宜，但这是间距为 $40\mu\text{m}$ 的热压机。如果到了仍在开发中的 $10\mu\text{m}$ ，其成本肯定会增加。”他对小间距TCB的可靠性表示怀疑：“如果减小间距，那么也必须减小微凸点的大小。这方面挑战很多，微凸点越小，对热应力越敏感。”

后端赛道竞争聚焦成本

Besi的Richard Blickman表示：“到目前为止，全世界都没有确定混合键合是否真的是答案。当然，TCB也有其优点和缺点。技术的商用最终关乎准确性、速度以及效率，并最终导致拥有成本。”

在残酷的后端设备赛道，最关键的焦点就是成本。

奥地利EV Group已经在W2W混合键合方面证明了自己，目前市场上有数百台机器，处于领先地位。几乎所有手机中的传感器都经过了EV Group设备的W2W工艺。在高端CMOS传感器市场，EV Group正在与日本TEL竞争。中国制造商长江存储已在使用这种设备堆叠3D NAND存储器。这也是苹果想在iPhone中用的存储器，但在地缘政治压力和美国政策制定者的批评下，苹果没有这么做。

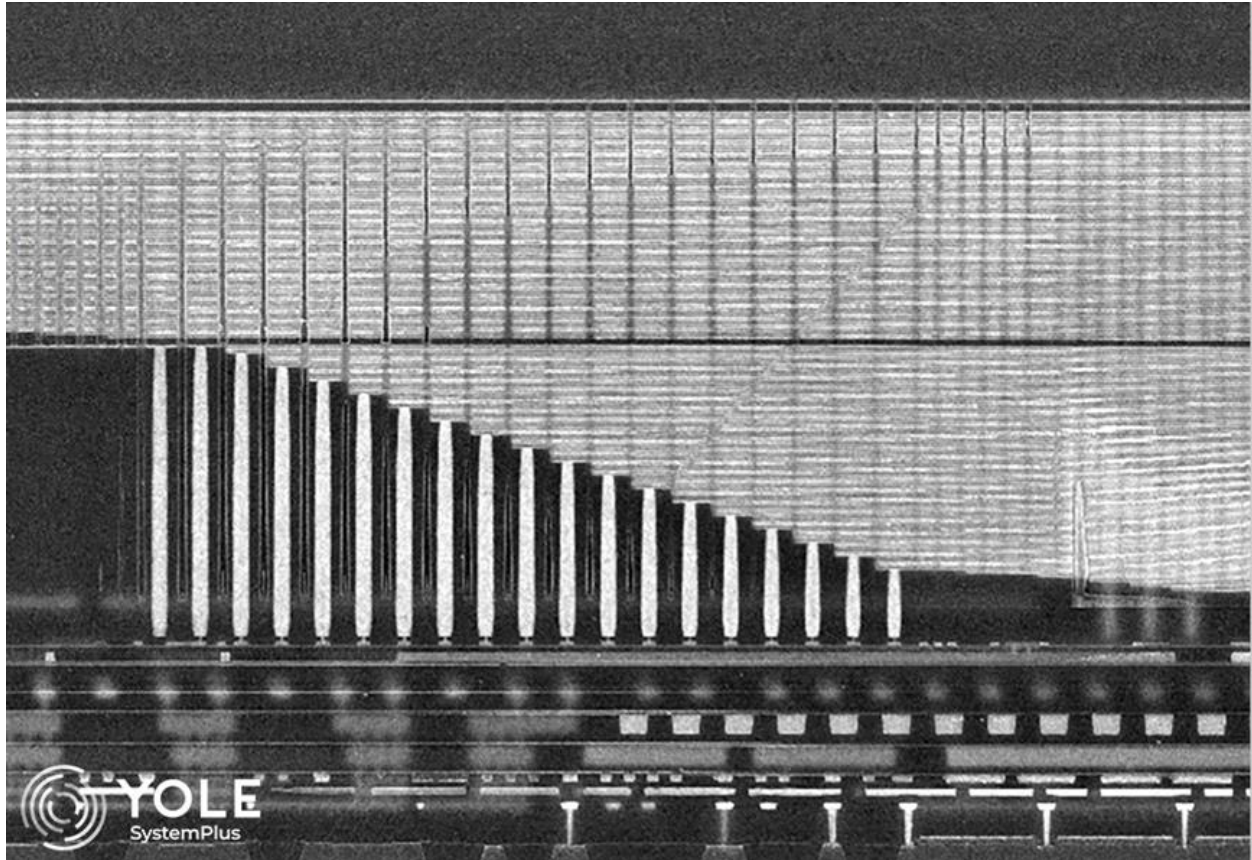
据说，英特尔、AMD和高通的高管在给Richard Blickman的信中都表示支持混合键合。AMD正在将该技术应用于高端处理器，英特尔正在解决相关问题，而高通工艺技术与晶圆代工副总裁PR Chidambaram博士表示：“我们的路线图上还没有产品，因为它不符合我们的成本要求。”因为客户为这种芯片系统只能花几十美元，而计算机和数据中心行业，客户愿意为一个系统芯片花费数百到数千美元。

不过，EV Group的Paul Lindner坚信，混合键合最终将用于手机。“我无法预测何时会在手机中看到这种应用处理器，但我非常确信它会出现，因为它实现了钎焊铜连接无法相比的互连密度。”

他表示：“晶圆级混合键合提供了经验证的效率。从客户得到的反馈是，我们的机器可以确保100%键合。如果真的发生错误，都可以追溯到其他因素，如污染或与晶圆制备方面，如表面粗糙度。这只是一个成本问题。3D NAND制造商正在使用混合键合，因为它们需要 $1\mu\text{m}$ 间距。”

他补充说道：“TCB未来可能达到7 μm 间距，甚至5或3 μm 。”但Yole的Stefan Chitolaga认为这“过于激进”。“TCB没有潜力取代3D NAND和闪存应用中的混合键合。”他表示。

Yole Systemplus拆解了长江存储最新的3D NAND芯片，发现其间距是0.8 μm 。目前D2W混合键合提供的精度落后于此。台积电通过D2W键合将AMD的Epyc和Ryzen微处理器的SRAM高速缓存以不到10 μm 的间距放置在了CPU上。



长江存储128层3D NAND电镜视图

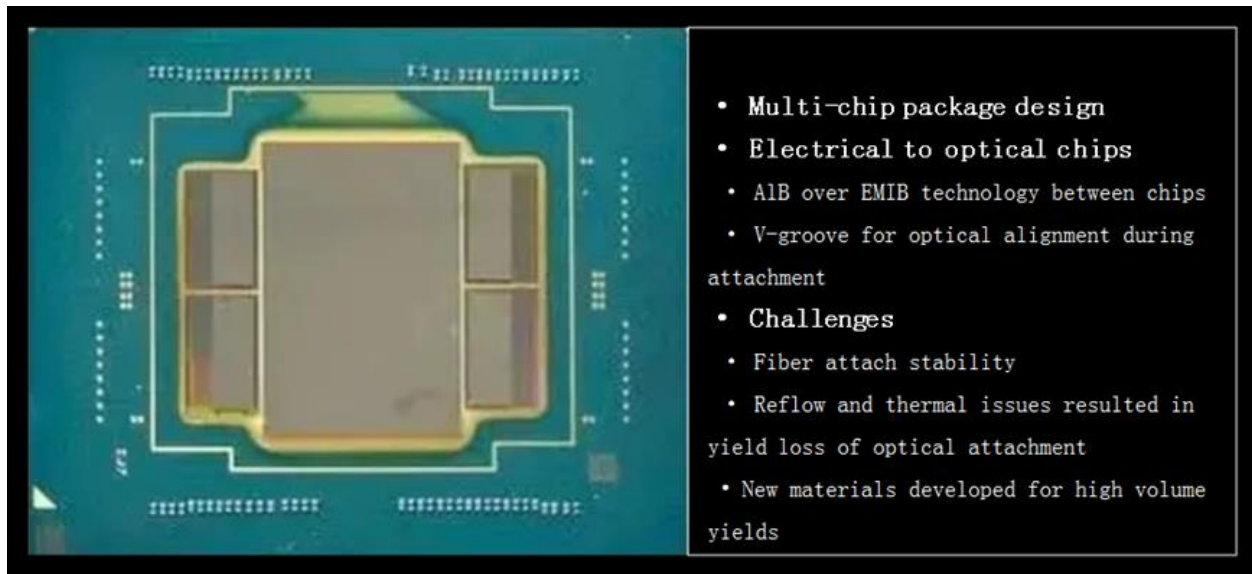
Stefan Chitolaga表示，即使是10 μm 的TCB间距也没有实现大规模商业化。CEA-Leti in Grenoble的研究通过D2W混合键合实现了低于3 μm 的间距。“它还没有商业化，良率总是有问题。虽然我们相信混合键合会越来越进步，但它不会取代TCB。两者将继续共存。”

光互连和玻璃基板浮出水面

另一个问题是，未来的封装是否需要每平方毫米数百万个连接。如果是，光通信可以使之成为可能。台积电系统集成开拓副总裁Douglas Yu曾表示：“这既是一个提高性能的机会，也是一个减少芯片封装功耗和发热的机会，很可能是一个新时代的开始。”

英特尔的Babak Sabi也明确肯定了光互连。“虽然我们都喜欢铜，但它最终无法满足高通信速度的要求，我们不得不转向光学。”他估计，到本世纪末将开始看到多种光互连。英特尔已开发出一种用于PCB的光连接器。展望未来，电气网络将被光网络取代。

2023年9月，英特尔展示了一款名为Piuma的处理器，采用了1TB/s硅光芯片互连技术，专门用于处理庞大的分析工作负载。没有使用铜线，而是使用CPO将多个芯片连在一起，可以将数百甚至数千个芯片连接在一个低延迟、高带宽网络中。



英特尔硅光芯片互连

英特尔还公布了玻璃基板计划，展示了基于玻璃的测试载具封装。说到玻璃，它被认为是为AI世界延展带宽的利器。Babak Sabi认为：“我们需要超越目前的晶圆组装，要在晶圆级集成整个产品。利用玻璃实现系统晶圆的通信，从而消除信号的延迟，这将变得非常重要。”

CPO也好，玻璃基板也罢，它们各自都具有相当大的优势和广阔的市场前景，但也都面临着开发生态系统的困扰，如何优化元件设计，加强产业链合作，优化生产流程，提高吞吐量和良率，降低生产成本还需要一定的时间。

<https://www.toutiao.com/article/7319303090518196786/?wid=1711649904599>