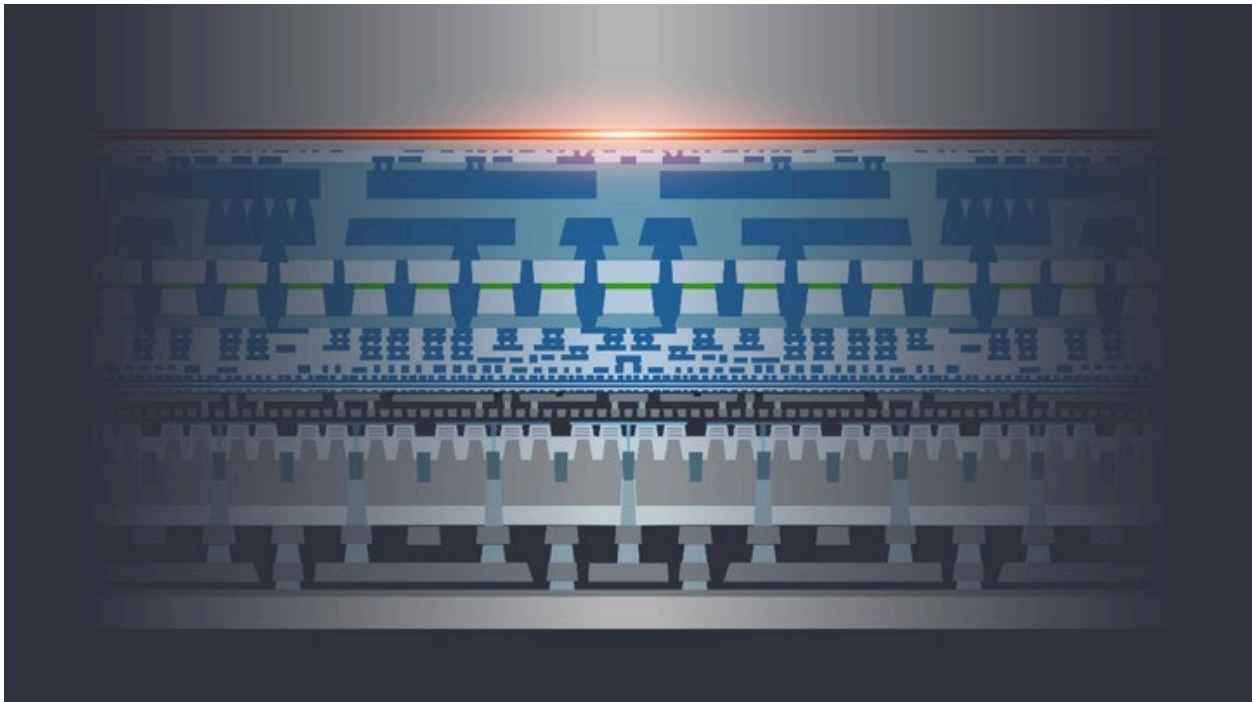


Neuer Prozess revolutioniert die Chip-Fertigung – September 15, 2022

Layer-Transfer-Technik

Neuer Prozess revolutioniert die Chip-Fertigung

15. September 2022, 10:30 Uhr | [Heinz Arnold](#)



Die »NanoCleave«-Layer-Release-Technologie verwendet einen Infrarot-Laser, der Silizium durchdringt, sowie anorganische Release-Materialien, um ultradünne Schichten mit Nanometerpräzision von Siliziumträgern zu trennen.

Die EV Group revolutioniert die 3D-Integration vom Advanced Packaging bis zur Transistor-Skalierung mit der völlig neu entwickelten »NanoCleave«- Layer-Transfer-Technologie.

Die Schichtablösetechnologie »NanoCleave« eignet sich sowohl für die Front-End-Fertigung von Logik-, Speicher- und Leistungshalbleitern der nächsten Generationen als auch für das Advanced Packaging.

»NanoCleave« ist eine vollständig Front-End-kompatible Layer-Release-Technologie, die einen Infrarot (IR)-Laser verwendet, der Silizium durchdringen kann, das für diese IR-Laserwellenlänge transparent ist. In Verbindung mit dem Einsatz speziell zusammengesetzter, anorganischer Schichten ermöglicht diese Technologie eine durch IR-Laser eingeleitete Ablösung beliebiger ultradünner Filme oder Schichten von Siliziumträgern mit Nanometerpräzision.

Außerdem erlaubt »NanoCleave« die Verwendung von Silizium-Trägerwafern in Advanced-Packaging-Prozessen wie Fan-out Wafer-Level-Packaging (FoWLP) unter Verwendung von gemoldeten und rekonstituierten Wafern sowie von Interposern für 3D-Stacked-ICs (3D SIC).

Weil jetzt mit hohen Temperaturen gearbeitet werden kann, können völlig neuartige Prozessabläufe für 3D-IC- und sequenzielle 3D-Integrationsanwendungen in die Fertigung eingeführt werden. Durch die Möglichkeit des Hybrid- und Fusionsbondens selbst ultradünner Schichten auf Siliziumträgern wird die 3D- und Heterogene Integration sowie der Materialtransfer in hochskalierten Transistordesigns der nächsten Generation revolutioniert.

Siliziumträger für 3D-Stapelung und Back-End-Verarbeitung

Bei der 3D-Integration sind Trägertechnologien für die Dünnpwafer-Bearbeitung der Schlüssel zu Systemen mit höherer Leistung und Interconnect-Bandbreite. Glasträger haben sich als Methode für den Aufbau von Device-Schichten durch temporäres Bonden mit organischen Bondmaterialien bzw. Klebstoffen etabliert. Dabei wird üblicherweise ein Laser mit Wellenlängen im ultravioletten (UV) Bereich eingesetzt, um die Klebstoffe aufzulösen und die Bauteilschichten freizusetzen, die anschließend permanent auf den endgültigen Produktwafer gebondet werden.

Glassubstrate lassen sich jedoch nur schwer mit Halbleiterfertigungsanlagen verarbeiten, die in erster Linie für Silizium ausgelegt sind und zur Verarbeitung von Glaswafern kostspielige Aufrüstungen erfordern. Darüber hinaus sind organische Klebstoffe im Allgemeinen auf Verarbeitungstemperaturen unter 300 °C beschränkt, was ihre Verwendung auf die Back-End-Verarbeitung beschränkt.

Weil jetzt der Einsatz von Siliziumträgern mit anorganischen Release-Layern möglich wird, lassen sich diese Temperatur- und Glasträgerkompatibilitätsprobleme vermeiden. Darüber hinaus eröffnet die Nanometer-Präzision des IR-Laser-gestützten Ablösens bzw. Spaltens die Möglichkeit, extrem dünne Device-Wafer zu bearbeiten, ohne die etablierten Verfahren zu ändern. Das anschließende Stapeln solcher dünner Bauelementeschichten ermöglicht Verbindungen mit höherer Bandbreite und eröffnet neue Möglichkeiten für die Entwicklung und Segmentierung von Dies bzw. Chips für Hochleistungssysteme der nächsten Generation.

Die »NanoCleave«-Schichtablösetechnologie demonstriert EVG bereits in den Reinräumen am Hauptsitz des Unternehmens.

Für die Transistor-Nodes der nächsten Generation

Zudem erfordern die Transistor-Roadmaps für die Sub-3-nm-Knoten neue Architekturen und Design-Innovationen wie vergrabene Stromleiter (buried power rails), die rückseitige Stromversorgung (backside power delivery networks), komplementäre Feldeffekttransistoren (complementary field-effect transistors bzw. CFETs) und sogar 2D- atomic-channels, die alle den Schichttransfer extrem dünner Materialien erfordern. Siliziumträger und anorganische Trennschichten tragen dazu bei, die Anforderungen an Prozessreinheit, Materialkompatibilität und hohe Verarbeitungstemperaturen für Front-End-Fertigungsabläufe zu besser zu erfüllen als das mit herkömmlichen Methoden möglich war.

Denn bisher mussten die Siliziumträger durch Prozessschritte wie Schleifen, Polieren und Ätzen vollständig entfernt werden, was zu Schwankungen im Mikrometerbereich auf der Oberfläche des aktiven Device-Layers führte und diese Methode für das Stapeln dünner Schichten bei fortgeschrittenen Nodes ungeeignet machte.

Weil die neue »NanoCleave«-Technologie die Glassubstrate für das Advanced Packaging überflüssig macht, können Temperatur- und Glasträger-Kompatibilitätsprobleme vermieden werden. In der Front-End-Verarbeitung lassen sich jetzt ultradünne Schichten (1 µm und darunter) übertragen, ohne die bestehenden, etablierten Prozesse zu verändern. Die Nanometer-Präzision des neuen EVG-Prozesses erlaubt es, neue Halbleitergenerationen zu entwickeln, die nach dünneren Bauelementeschichten und Packages, eine stärkere heterogene Integration und geringere Bearbeitungskosten verlangen.

»Die Skalierung von Halbleitern ist aufgrund engerer Prozesstoleranzen zunehmend komplexer und schwieriger geworden«, sagt Paul Lindner, Executive Technology Director der EV Group. »Die Industrie braucht neue Prozesse und Integrationsansätze, um eine höhere Integrationsdichte und Performance der Devices zu ermöglichen. Unsere »NanoCleave«-Schichtablösetechnologie ist eine bahnbrechende Entwicklung für die Skalierung von Halbleitern durch die Stapelung dünner Schichten und Dies und hat das Potenzial, die drängendsten Anforderungen der Industrie zu erfüllen. Sie funktioniert mit Standard-Siliziumwafern und -Wafer-Bearbeitungsprozessen, was eine nahtlose Integration in der Fab ermöglicht und unseren Kunden sowohl Zeit als auch Geld spart.«

So funktioniert die »NanoCleave«-Technologie

Zunächst wird eine anorganische Trennschicht über Standardbeschichtungs- bzw. Abscheidungsprozesse in den Siliziumstapel vor-eingebaut. Sie absorbiert das Licht des IR-Lasers, was zur Spaltung des Siliziums in einer vorbestimmten und genau definierten Schicht oder Fläche führt. Durch die Verwendung anorganischer Trennschichten können präzisere und dünnere Trennschichten verwendet werden (im Bereich von einigen Nanometern, im Vergleich zu einigen Mikrometern bei organischen Klebstoffen). Darüber hinaus sind die anorganischen Release-Layer mit der Hochtemperaturverarbeitung (bei bis zu 1000 °C) kompatibel, was den Layer-Transfer in vielen neue Front-End-Anwendungen wie Epitaxie, Beschichtung bzw. Abscheidung und Annealing ermöglicht, bei denen organische Klebstoffe inkompatibel wären.

<https://www.elektroniknet.de/halbleiter/neuer-prozess-revolutioniert-die-chip-fertigung.198926.html>