



(China)

This type of semiconductor equipment may be reshuffled! – October 16, 2023

资讯这类半导体设备，或洗牌！

这类半导体设备，或洗牌！



来源:半导体行业观察 发布时间:2023-10-16

分享至微信

据semianalysis报道所说，大型私营半导体设备公司所剩无几，其中最突出的两家是日本国际电气（Kokusai Electric）和奥地利 EV Group。两家公司都是令人惊叹的公司，都利用了 Gate All around 逻辑和 3D NAND 的趋势。就 EV Group 而言，情况非常简单，用于异构集成和背面电力传输的晶圆键合机。

国际电气（“KE”）即将首次公开募股，因此值得进行更深入的研究。今天，我们将深入探讨 FinFET、DRAM 和 3D NAND 的制造工艺，以及 Gate All around、CFET 和 3D DRAM 工艺流程即将发生的变化。这些缩放趋势尤其会严重影响沉积、光刻和蚀刻。此次深入研究对于 Lam Research、ASMI、Tokyo Electron 和 Applied Materials 也具有重要意义。为此，ASMI 专门提出了一种说法，但 KE 表明，这种说法并不完全正确。

专注薄膜沉积的国际电气，ALD 专家

国际电气 (“KE”) 长期以来一直是日立集团的一部分，原名日立国际电气 (HKE)。2018年3月，在东京证券交易所单独上市。HKE有两个主要业务集团，半导体薄膜沉积工艺解决方案和视频和通信解决方案。这两个群体拥有完全不同的商业模式、产品和客户群。

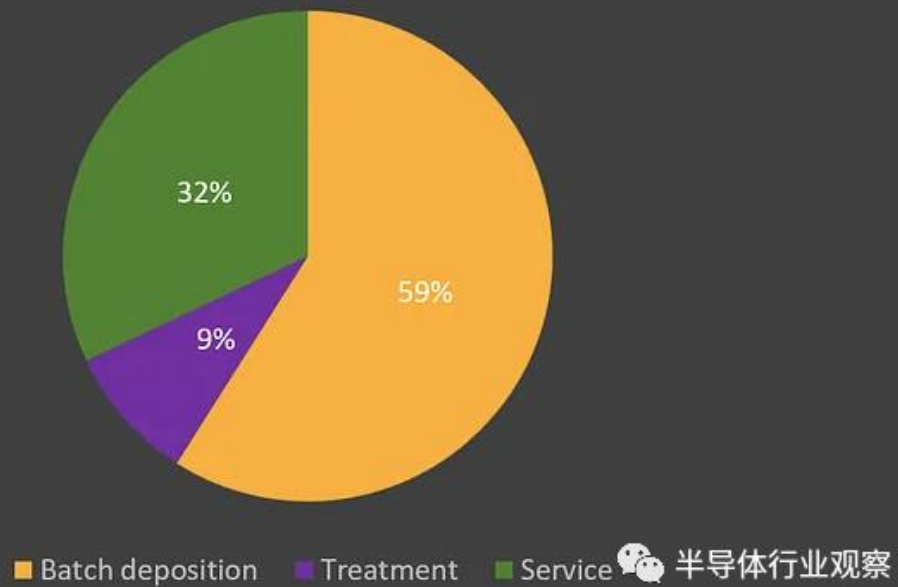
2016年，HKE决定重组公司，将各个部门分拆给不同的私募股权投资者。私募股权公司 KKR、HVJ Holdings 和 JIP 等一些参与者也加入了这个行列。2017年，私募股权公司 KKR 收购了日立国际，支付了23亿美元收购整个业务。薄膜工艺解决方案仍由 KKR 100% 持有，而视频和通信业务则拆分为一家独立公司。

不久之后，2019年7月，应用材料公司宣布希望以22亿美元收购新的 Kokusai Electric (即仅薄膜工艺解决方案业务) (随后在2021年将报价提高59%至35亿美元)。此次收购需经过反垄断审查，在等待中国当局批准两年后，AMAT 中止了此次收购。

持有五年后，KKR 转向通过 KE IPO 退出，KKR 将通过二次交易出售 KE 30% 的股份，KE 不再增发股份或筹集资金。

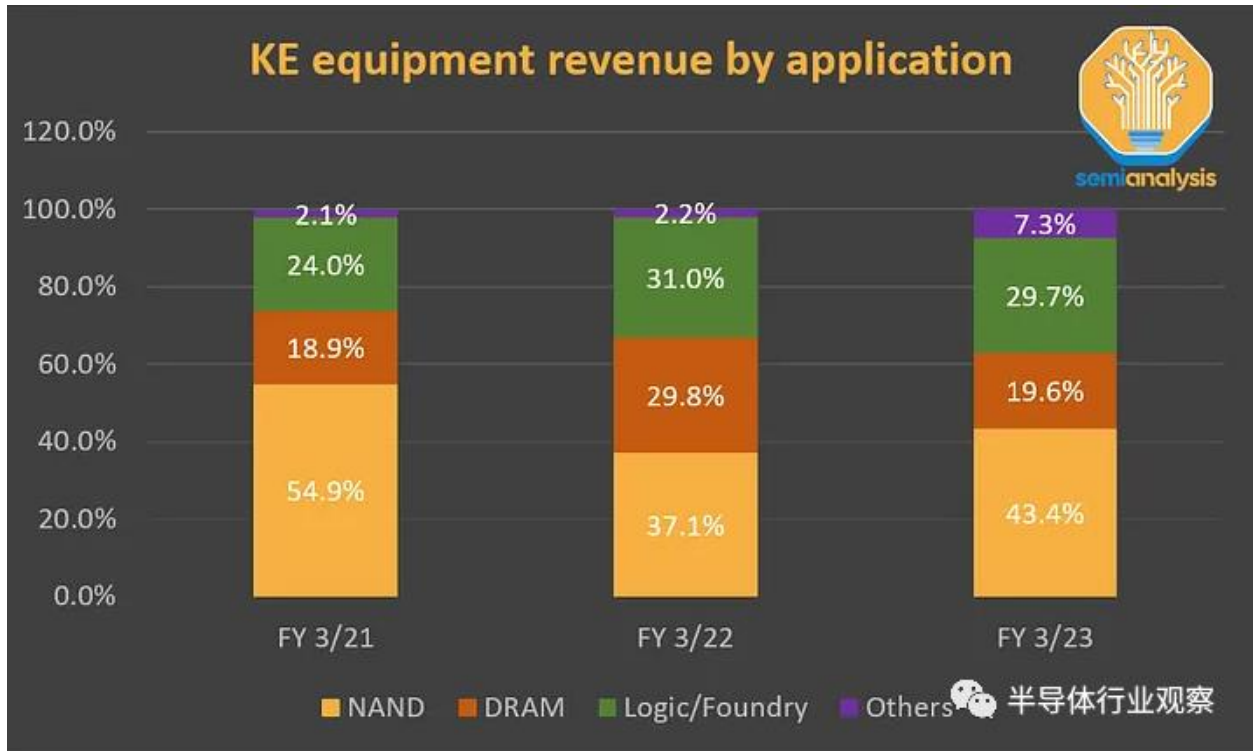
国际电气 (“KE”) 将送死定位为薄膜沉积领域的专家。具体来说，KE 销售批量沉积工具，特别关注批量原子层沉积 (ALD)，这是最具选择性/最精确的沉积形式。KE 还涉足表面处理领域，但就收入而言，远远落后于沉积领域。

KE 6/23 LTM Revenue Mix

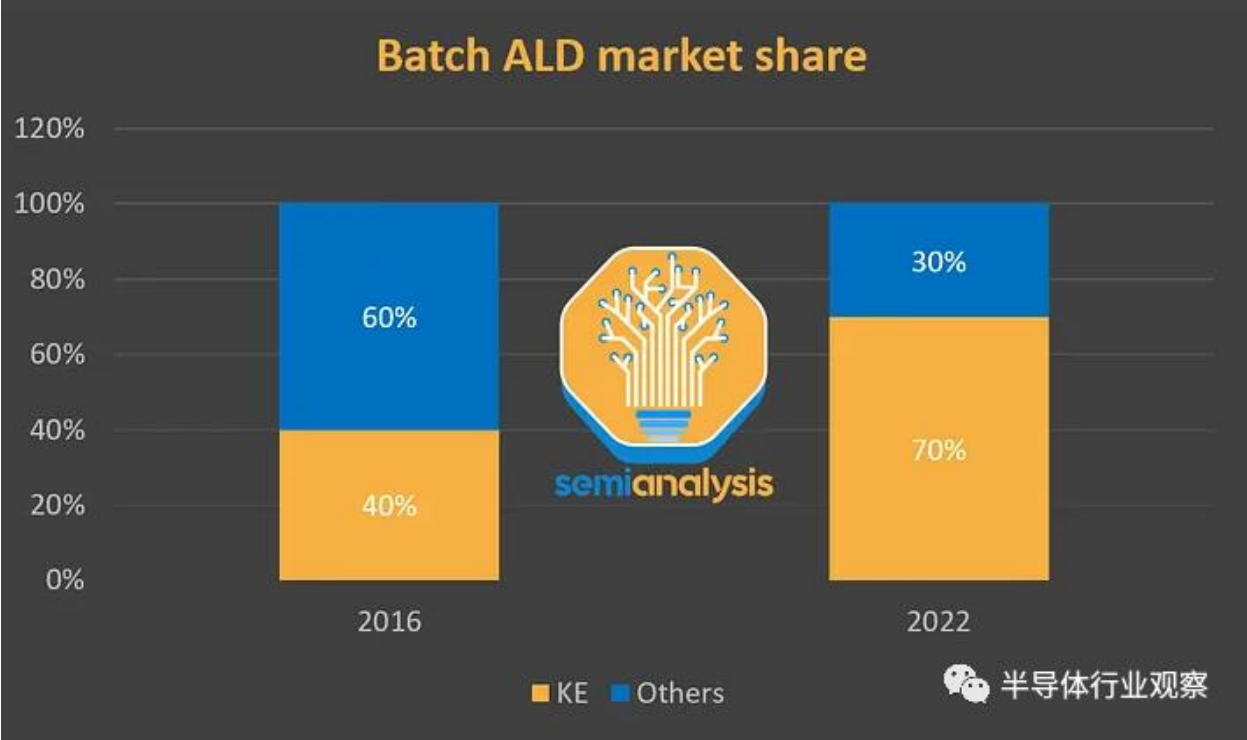


他们大约 30% 的收入也与服务相关，但应该指出的是，在 KE 的服务部门中，有一部分是传统 200mm 设备的销售。这意味着与其他沉积厂商相比，KE 目前的服务强度较低，这有利于晶圆厂的总拥有成本 (TCO)，但可能会拖累财务状况。话虽如此，KE 的新型小批量工具 (mini-batch) 的服务附加率是其 4 倍，并且是他们发布的最佳 TCO 工具。

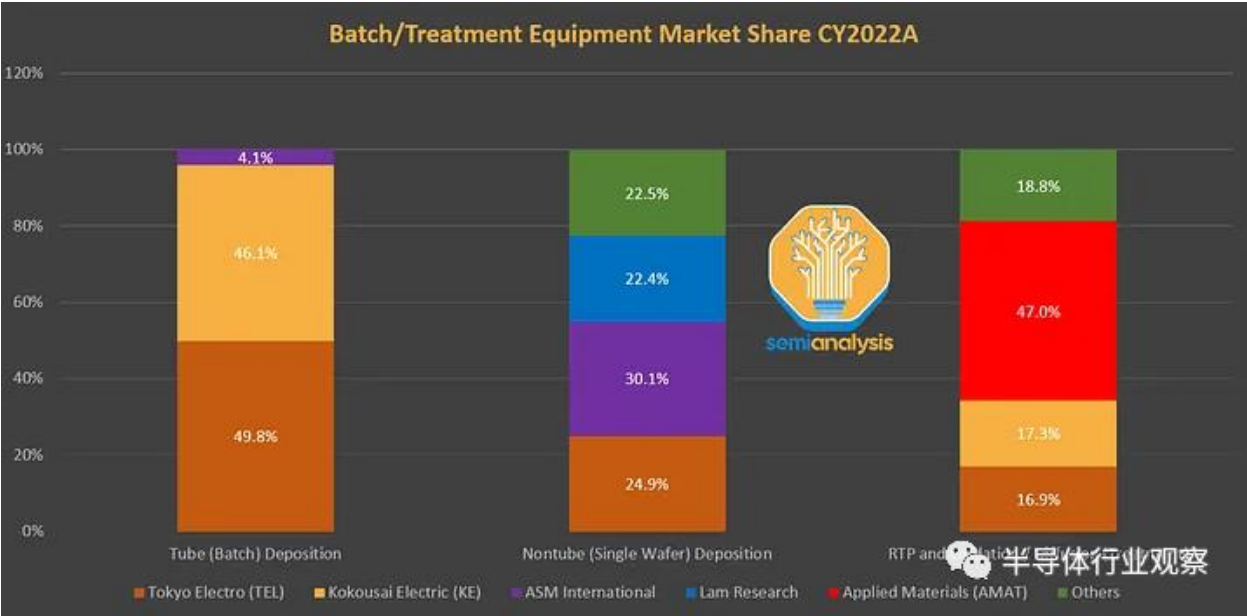
KE 更注重存储业务，NAND 是其设备最大的应用，其次是 DRAM，然后是逻辑。随着 Gate All around 的采用，这种情况可能会开始发生变化。



KE 的专长并不涉及所有化学气相沉积 (CVD) 和原子层沉积 (ALD)，而是专门涉及批量batchCVD/ALD工具。其他主要工具制造商（东京电子、应用材料、泛林研究、ASMI）都提供 ALD 工具，但他们主要专注于单晶圆产品，即每个腔室处理 1 个晶圆，而不是多个（batch）晶圆。KE 在批量 ALD 工艺中占据主导地位，占据约 70% 的市场份额，其余部分主要属于 TEL（以及 ASMI）。



虽然 KE 强调他们在 ALD 领域的份额，但他们仍然接触批量 CVD 工具。KE 在批量沉积领域的混合市场份额“仅”约为 46%（相比之下，批量 ALD 领域的市场份额约为 70%）。TEL 在总批量沉积市场中仅稍大一些，但我们相信这种情况很快就会发生逆转，KE 将变得更大。



这是一个非常强大的市场地位，也解释了应用材料公司想要收购 KE 的原因。AMAT 已经拥有强大的 ALD 产品组合。尽管市场认为 ALD 领导者 ASMI 将完全占据主导地位并继续增长份额，但 AMAT 仍拥有许多用于下一代全环栅极 (GAA) 逻辑 ALD 步骤的记录流程 (POR : Processes of Record)。

AMAT 的专业知识在于单晶圆加工，他们希望将 KE 的批量功能添加到他们的产品组合中。需要明确的是，批量 ALD 与单晶圆 ALD 是完全不同的功能。单晶圆 ALD 方面的专业知识不一定会直接转移到批量 ALD 工具生产中。AMAT 的收购尝试实际上是对 KE 在该细分市场的熟练程度的认可。

接下来，我们深入探讨 KE 产品背后的底层技术：沉积、ALD 和批处理。

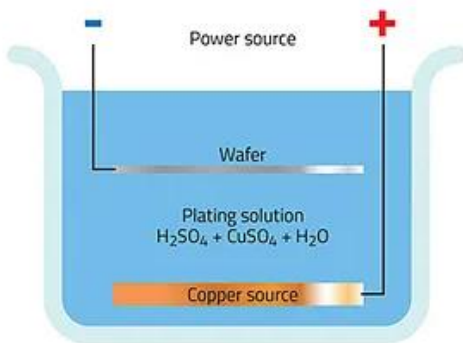
沉积、ALD 和批处理，深入探讨

沉积，顾名思义，是将特定材料沉积到晶圆上的过程。虽然我们将芯片称为“硅”，因为用于芯片制造的基础基板是硅，但实际上制造的晶圆上存在许多不同的材料。这些材料（通常是不同的金属和氧化物）通过沉积被放置到晶圆上。

有几种沉积形式可用于沉积不同的材料：电化学沉积 (ECD) 也称为电镀、物理气相沉积 (PVD) 和化学气相沉积 (CVD)，其中原子层沉积 (ALD) 是其中的一个子集。让我们快速浏览一下。

一、电化学沉积/电镀

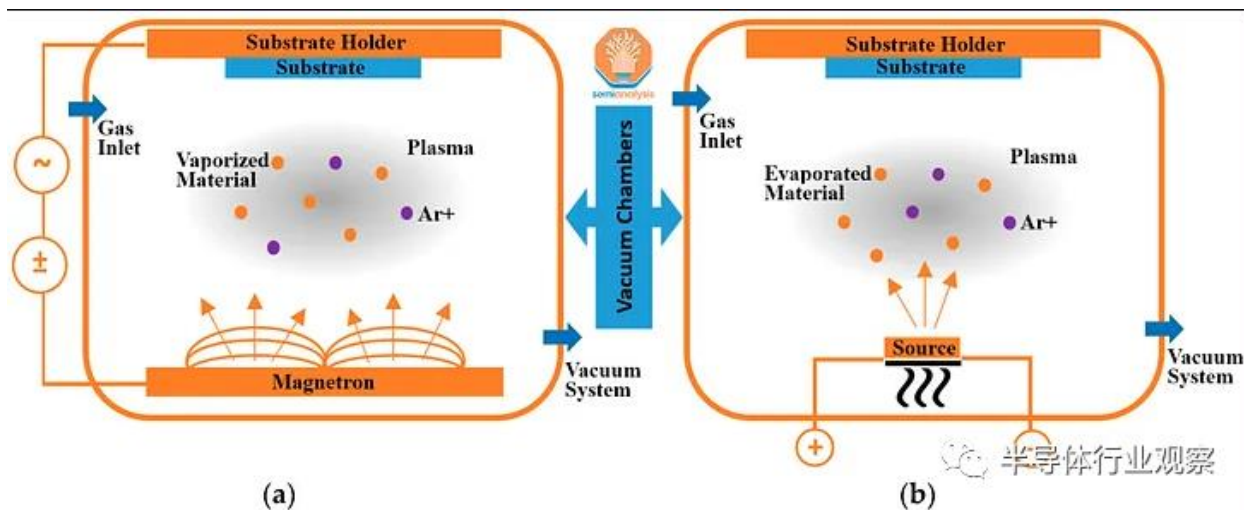
电镀是一种将金属薄膜沉积到另一个金属表面上的常用技术，其基本概念在半导体制造中保持不变。电镀通常用于沉积铜，例如构建金属层的互连，或填充硅通孔。将硅片和铜源放置在导电液体浴中。硅片和源都连接到电源。施加电流并且来自电源的电流溶解来自源的离子并将源离子沉积到硅片上。



半导体行业观察

二、物理气相沉积/溅射

物理气相沉积 (PVD) 使用等离子体（与等离子体蚀刻的机制类似）从目标材料中产生金属蒸气。等离子体的动能使靶材溅射到晶圆上并沉积。PVD 通常用于沉积金属互连层的阻挡层和铜籽晶以及各种形式的氮化物衬垫。



三、化学气相沉积

最常见的沉积类型是化学气相沉积 (CVD)。CVD 通常用于电介质和其他金属。在 CVD 中，多种前体气体被排放到腔室中。这些气体扩散到晶圆上，发生化学反应，形成沉积在晶圆上的材料。

例如，（二）氧化硅是常见的介电/绝缘材料。为了沉积氧化硅，一种方法是将硅烷和氧气的前体气体混合，反应生成二氧化硅和氢气副产物。

四、原子层沉积

原子层沉积 (Atomic Layer Deposition : ALD)是 CVD 的一个子集。在 ALD 中，每次发射一种前体气体。发射第一气体以涂覆硅片。然后将惰性气体（例如 N₂或氩气）流入室中以清除任何过量的先前前体气体和任何副产物。然后流入第二反应气体。第二反应物的原子层附着到硅片的表面，其中第一反应物的层和这些元素将发生反应以产生目标材料。重复该过程以形成所需厚度的薄膜。

ALD 的主要特点是它是一个自限过程。一次仅沉积一层原子。一旦表面饱和，前体就不能再沉积。这就是 ALD 作为一种沉积方法具有吸引力的原因。

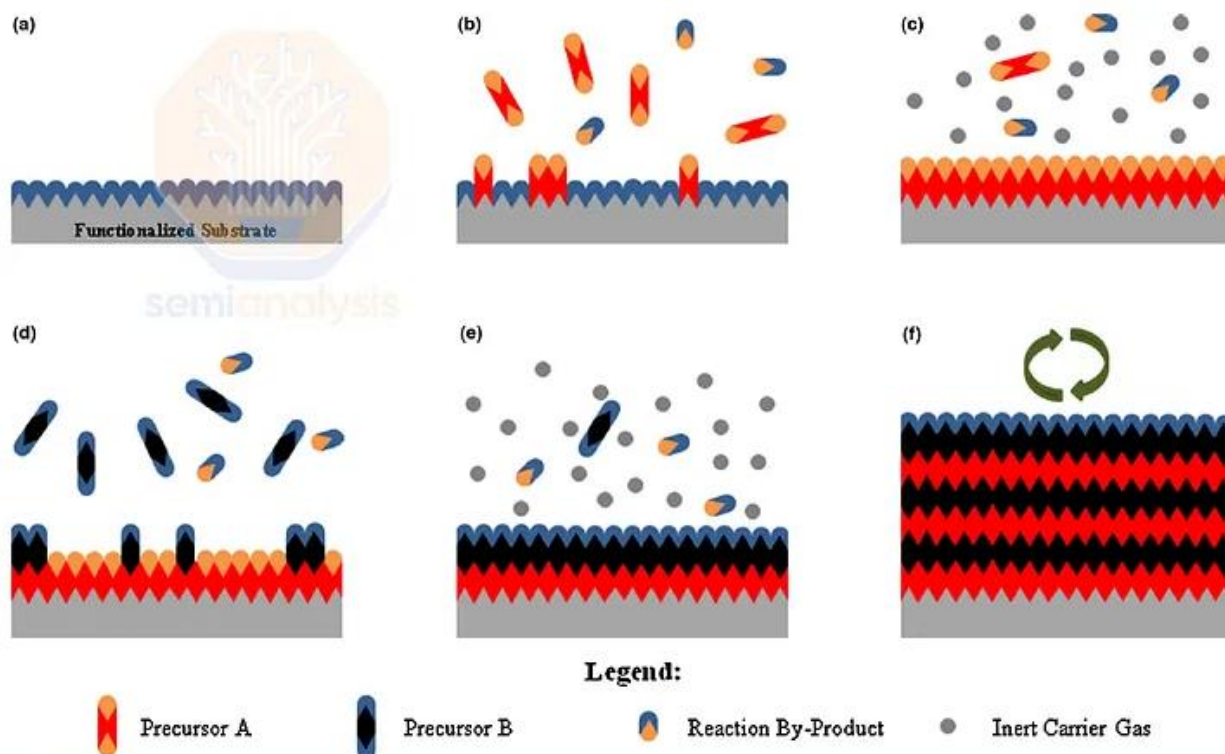
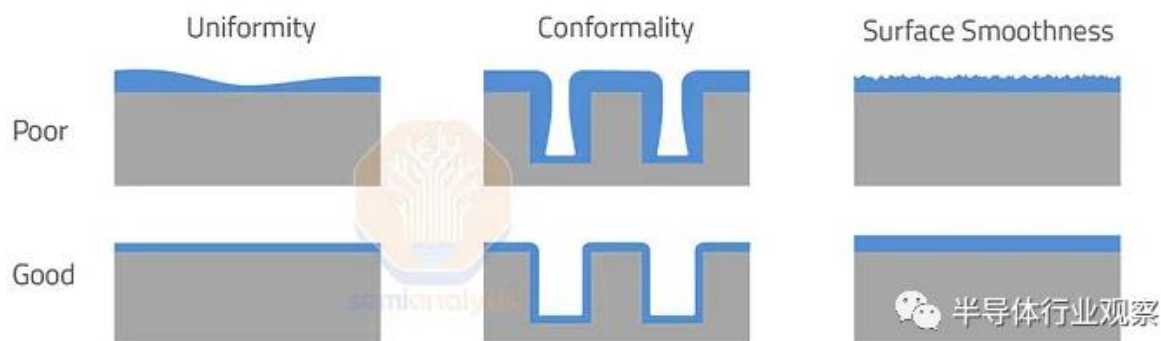


FIGURE 1

Schematic of ALD process. (a) Substrate surface has natural functionalization or is treated to functionalize the surface. (b) Precursor A reacts with surface. (c) Excess precursor and reaction by-products are purged with inert carrier gas. (d) Precursor B is pulsed and reacts with surface. (e) Excess precursor and reaction by-products are purged with inert carrier gas. (f) Steps 2-5 are repeated until the desired material thickness is achieved.

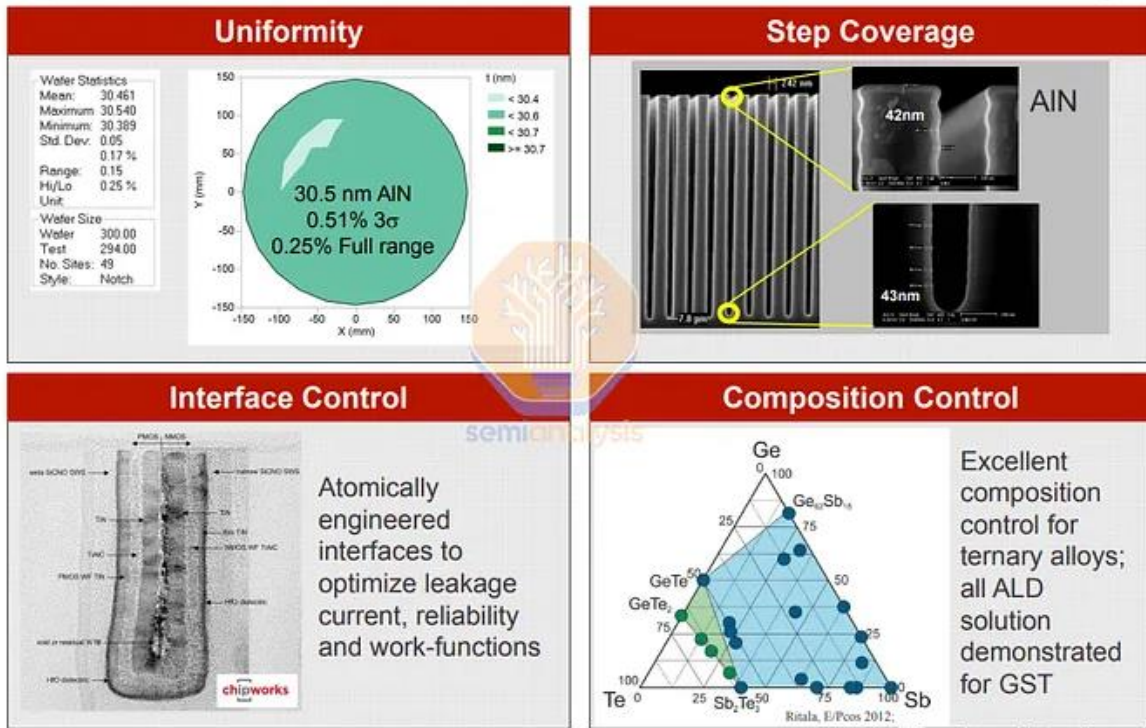
它产生的薄膜具有非常高的保形性、阶梯覆盖性、无针孔，并且允许精确的薄膜厚度控制。这些都是其他形式的沉积所面临的常见缺陷。ALD 对于更具挑战性的沉积任务尤其重要：非常薄膜沉积和具有复杂形貌（即非平面表面）的表面沉积，例如 3D 或非常高的纵横比结构。



基本上，ALD 在沉积质量方面在各个方面都优于传统 CVD。问题是 ALD 低得多，IE 花费更多的占地面积、工具时间和金钱。一次仅发射一种气体前驱物，然后进行净化处理以去除多余的前驱物和副产物，这也增加了额外的处理时间。

与一步完成的传统 CVD 相比，这涉及多个步骤。所有这一切仅导致沉积单个原子层。对于非常薄的薄膜来说，这不是一个问题，但对于较厚的薄膜来说，原子层沉积的吸引力较小。为了解决吞吐量低下的问题，一种解决方案是批量处理此过程。

ALD AS ENABLER OF NEW MATERIALS - KEY STRENGTHS OF ALD



半导体行业观察

To batch or not to batch, 这是个问题

批处理工具 (batch tools) 不是一次处理一个晶圆，而是可以处理多个晶圆 (有时是数百个晶圆) 以提高吞吐量。如前所述，正是 KE 的批量处理能力使他们在 ALD 供应商 (ASMI、Lam Research、Applied Materials、Tokyo Electron) 的竞争激烈的领域中脱颖而出。

批量处理的好处是显而易见的：一次处理更多晶圆，从而提高产量并降低工具拥有成本。然而，批处理也有一些缺点、例如，因为腔室要大得多，就很难控制工艺条件。此外，由于腔室内有多个晶圆，可能会出现更多不良相互作用，从而导致缺陷。

如果说两者有什么不同的话，那就是在半导体制造的早期阶段，批量处理更为普遍。随着时间的推移，稳定的趋势是更多地使用单晶圆工具，因为它们在前端工艺具有更严格的工艺公差的世界中提供了更多的控制和灵活性。

对于 ALD 这样的工艺，批处理具有巨大的优势，因为它有助于解决 ALD 的主要缺点：吞吐量低。同时，正如我们之前讨论的，ALD 还具有自限制特性，使控制成为工艺固有的，并抵消批量工艺可能带来的较高缺陷率。

关于批量处理需要注意的另一点是，它适合处理大量同质晶圆，这是内存中经常使用的情况，而不是逻辑中的情况。在逻辑上，虽然最大容量的芯片每月确实需要数千个晶圆，在某些极端情况下，需要数万个晶圆，但在任何特定设计中一次运行数十个晶圆也是很常见的。这意味着批量工具甚至无法饱和，而混合设计意味着该工艺无法针对从计量/检查收集的特定晶圆数据进行优化。

抛开准确性不谈，首先要回答的问题是批量是否真的比单晶圆更具生产力？如果不是，那么批处理就没有意义。

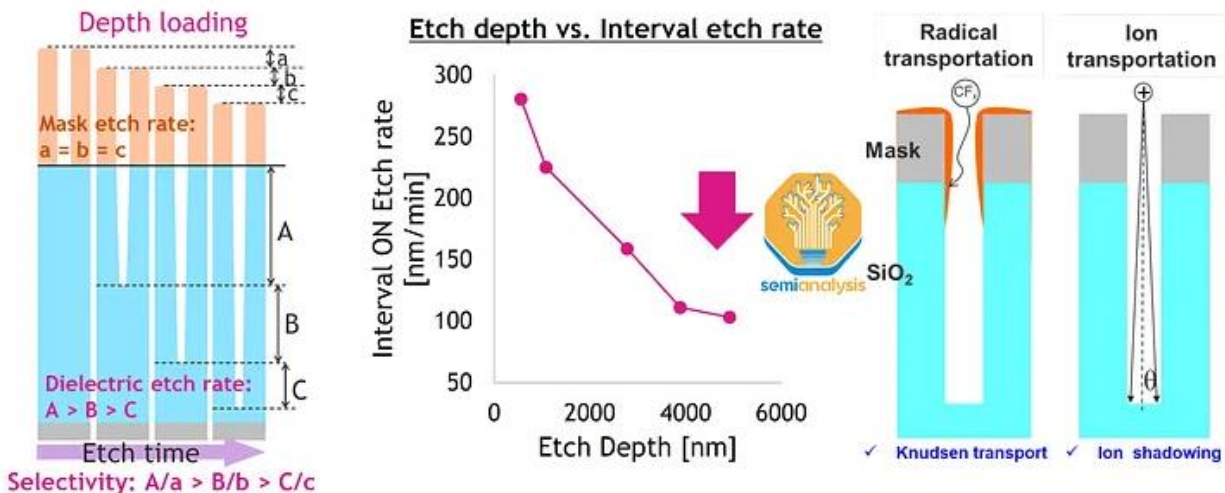
虽然从直觉上看，一次批量生产 100 个晶圆比一次处理一个晶圆的生产效率更高，但事实并非如此简单。与单晶圆处理相比，批量处理会带来大量额外的开销，从而增加了周期时间。例如，批量处理使用更大的处理室，因此需要更长的时间才能使处理室纠正温度等工艺参数，并且在沉积后需要更长的时间才能适应晶圆厂环境。

当等效的单晶圆沉积工艺具有更长的处理时间时，这种额外的开销可以更有效地摊销，这使得批处理比单晶圆更有效。换句话说，具有某些功能所需特性的晶圆会增加沉积周期时间，这使得更有可能通过批量获得生产力优势。

首先，增加沉积时间的主要特征是高深宽比（“HAR”）结构。纵横比是高度相对于宽度的比率：因此更深和更窄的结构被认为是高纵横比结构。HAR 结构大大增加了需要沉积的暴露表面积。同样，较大的墙壁（）需要更长的时间才能涂上一层新油漆，较大的表面积将需要更长的时间才能被原子饱和。

另一个原因是深度加载 (depth loading)，我们将其视为 NAND 蚀刻的挑战，以及东京电子为何能够从 Lam Research 获得 3D NAND 市场份额的原因。同样的原则也适用于沉积。基本上，气体穿透又深又窄的沟槽需要更长的时间。然而，与蚀刻不同的是，该解决方案不在低温下执行该过程，因为 ALD 需要在高于室温的温度下进行。

Challenges for High Aspect Ratio (HAR) Etching



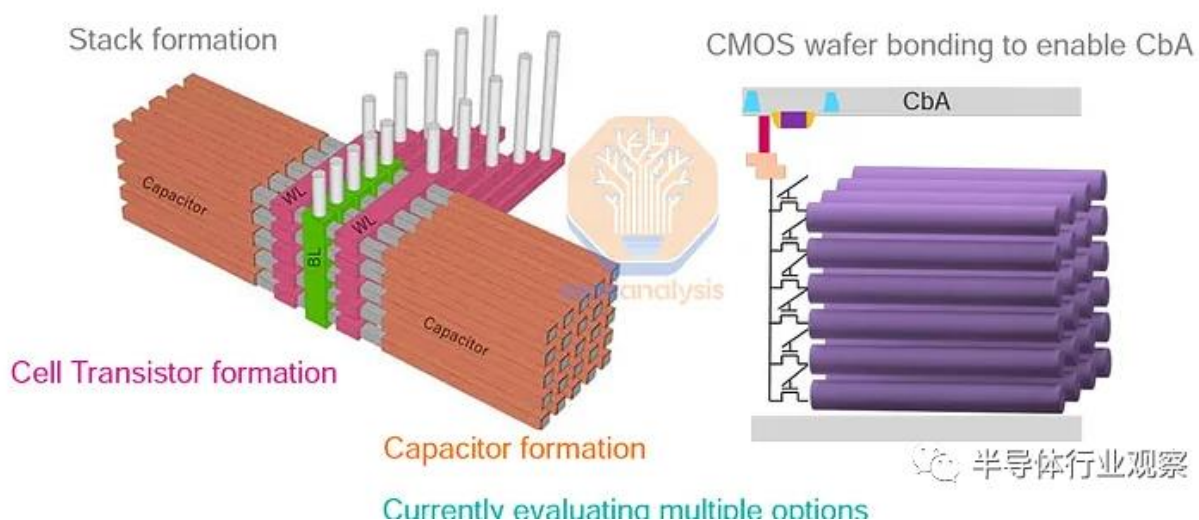
In the HAR structure, the transport of both ions and radicals is easily attenuated. It causes depth loading.

KE 有一个大型批量工具——AdvancedAce。该工具一次最多可以批量处理 175 个晶圆（这仅适用于 CVD，而不是 ALD），而 Tsurugi 实际上是一个“小批量”工具，一次最多可以批量处理 50 个晶圆。小批量的原因是，它是一个较小的腔室，与较大的腔室相比，达到工艺参数（例如加热和冷却）所需的时间更少，并且提供更高的气体流速。这可以提供开销时间和沉积时间的更好平衡以优化最终吞吐量。

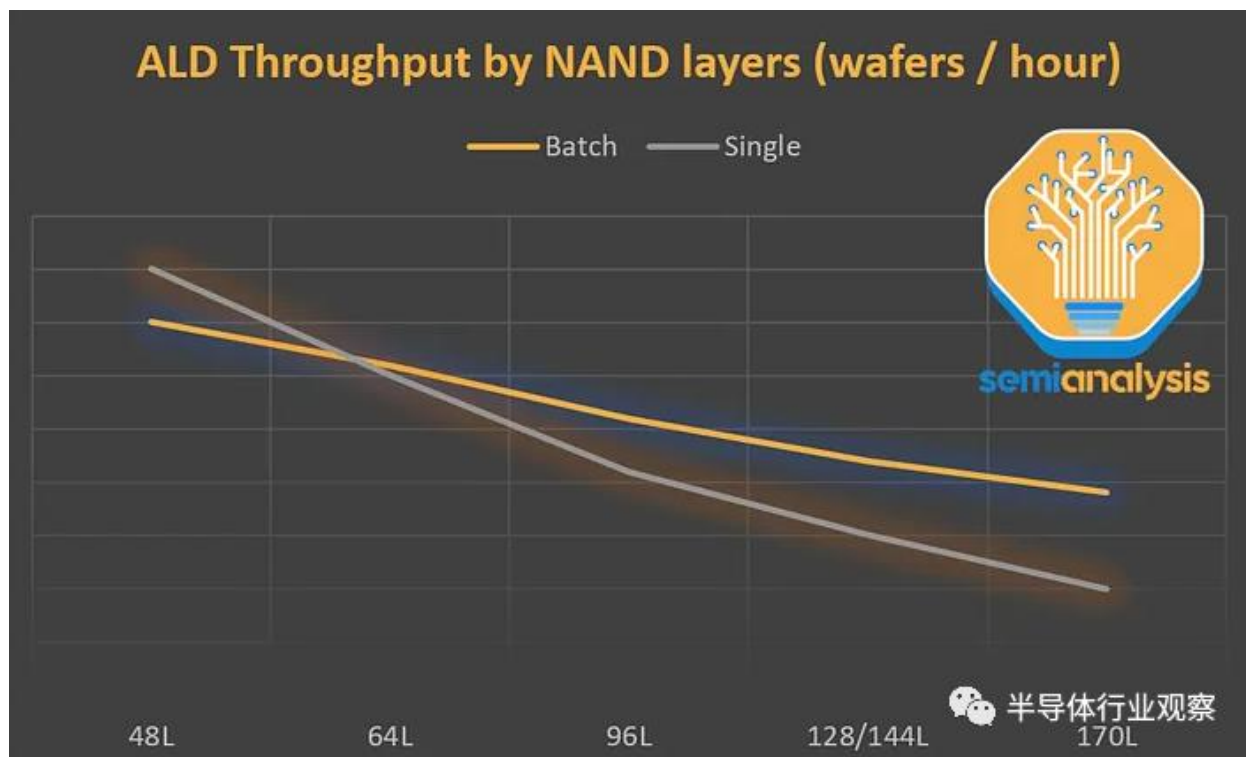
我们通常在内存中看到高纵横比结构，而不是逻辑结构。对于 NAND，这是纵横比 >70:1 的沟道孔。

DRAM 还具有用于电容器的高纵横比沟槽。

Key Modules in 3D DRAM



典型的例子是，由于工艺吞吐量足够高，批量 ALD 的吞吐量低于 48 层 3D NAND 的单晶圆。由于深度加载，两者在 64 层时变得相当。除此之外，随着两者之间的差距不断扩大，批处理对于更高层来说变得更加高效。为什么？更多层意味着更高深宽比的沟道孔。孔的深宽比越高意味着加工时间越长。较长的处理时间使吞吐量方程翻转，有利于单晶圆的批量处理。



还有其他因素使得批处理在内存中更加普遍。批量工具的停机时间更长，因为腔室仅在装满后运行。晶圆可以闲置在处理室中，等待其他晶圆在沉积之前完成其他准备步骤。这在存储器中不是什么问题，因为与运行多个不同晶圆的逻辑代工厂相比，晶圆的同质性很高。

对于逻辑而言，一次性工具的灵活性和快速循环时间允许工艺条件的更多变化，从而加快研发和原型设计。在许多情况下，代工厂只想运行几片晶圆，这一概念被称为“hot lot”，这是英特尔使用过多的概念，导致他们花费了数十亿美元。这会降低利用率，但会尽快让设计团队和产出团队获得数据。设计迭代、合格样品或调整工艺参数以提高产量是一场持续的逻辑斗争。

与逻辑和代工厂相比，内存工厂对成本更加敏感，因为内存是一种商品。归根结底，成本是商品的唯一区别因素。在内存中，该过程经过微调，然后您会运行数十万个该产品多年。

此外，与逻辑晶圆相比，存储晶圆要便宜得多。领先的逻辑晶圆每片价格在 20,000 美元左右，如果批量生产 175 个晶圆并且工艺无法正常工作，那就非常昂贵。

原子层沉积的应用

ALD 最适合在哪里使用？一般来说，ALD 用于具有复杂形貌的结构，尤其是高纵横比或 3D 的结构，或用于非常薄的薄膜。对于关键薄膜，关键是实现良好的“阶梯覆盖”（step coverage）：即确保在不平坦的基材上沉积具有均匀的厚度。当制造工艺变得更加 3D 时，步骤覆盖就更难实现。如果您尝试填充深沟的墙壁，则底部的填充速度与沟口附近的墙壁的填充速度相同非常重要。

如今，所有 NAND 闪存都是 3D，因此我们看到很多 ALD 用于它。逻辑正在变得更加 3D，结构周围有门，路线图上有 3D DRAM。从结构上讲，这意味着整体上具有更高的蚀刻和沉积强度。同样，3D NAND 的光刻强度也有所下降。

具体而言，我们先看一下ALD在3D NAND的应用。

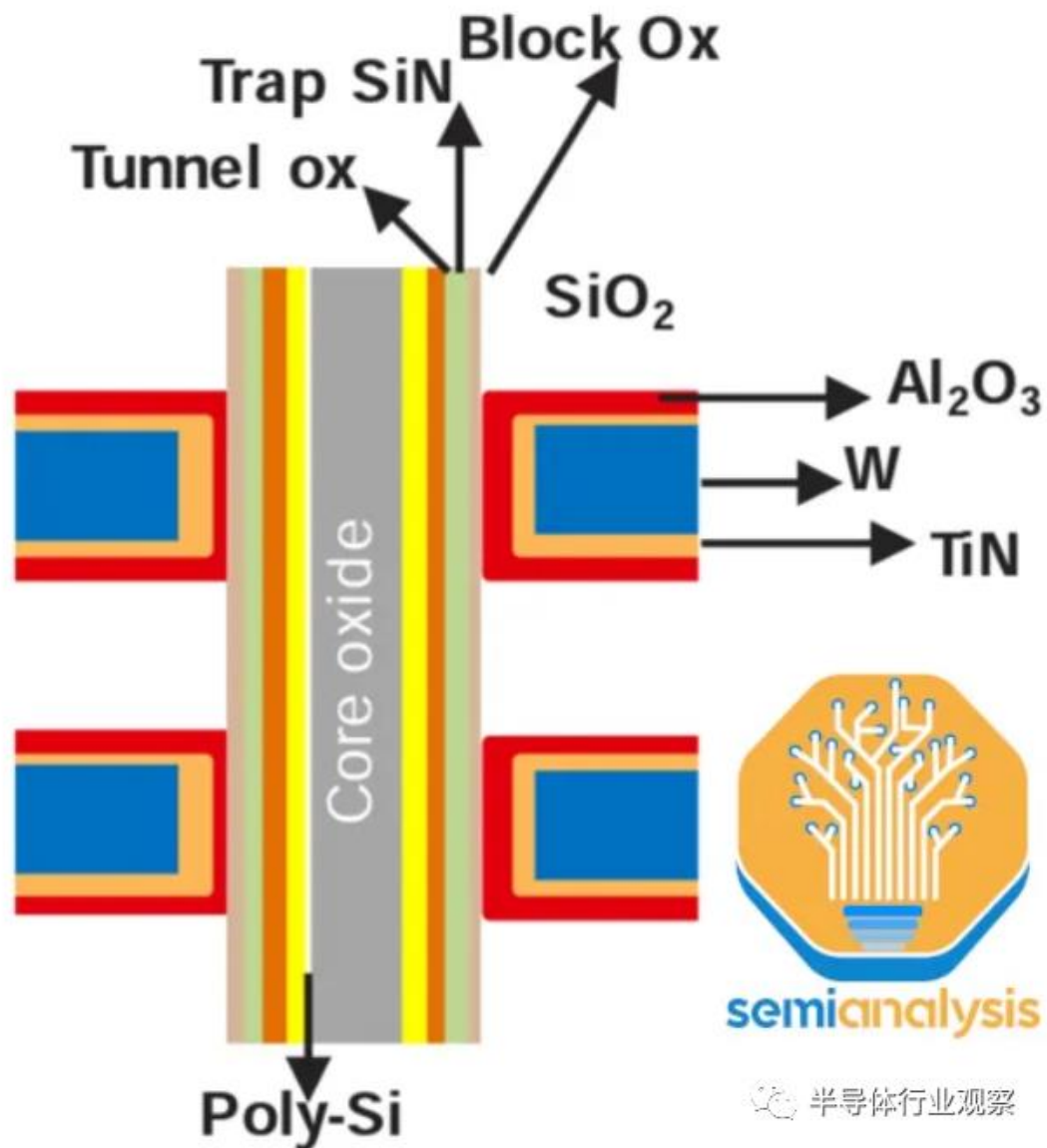
首先，我们将氧化物和氮化物薄膜的交替层沉积到基础硅片上。每层厚度在 20 至 30 nm 之间。每个堆叠的理论极限可以超过 250 层高，接近 7 微米高。然后添加厚硬掩模，为高深宽比 (HAR) 沟道孔蚀刻做好准备。这种反应离子蚀刻工艺可挖出一系列深度为宽度 70 倍的孔。过道孔的圆度和整个孔深度的均匀性对于减少存储单元性能的变异性至关重要。对于具有multiple decks的设计重复这些步骤，然后将它们堆叠在一起。

由此，沟道孔被多层填充以形成电荷陷阱单元，每一层沉积在侧壁上使孔逐渐变窄。接下来是金属替代栅极工艺。穿过所有层蚀刻狭缝以形成暴露堆叠侧面的沟槽。这样可以进行氮化物层的折返以及随后通过 ALD 和钨字线填充完成的势垒沉积。在阵列的侧面蚀刻出阶梯，以使字线层暴露于垂直接触。

最后，位线和金属互连形成在上面并与制造的CMOS电路连接，其中包括字线驱动器和用于NAND接口的其他外围电路。由此我们可以看出，3D NAND 高度依赖于 HAR 蚀刻和沉积能力来扩展密度和性能。

NAND 蚀刻受到广泛关注，但请注意，也有大量沉积。

下图是 3D NAND 存储单元的横截面。你可以看到使用了很多不同的材料。有六种薄膜需要 ALD：阻挡氧化物、电荷陷阱氮化物、隧道氧化物、沟道硅。这是除了基础硅层和字线中的钨填充之外的。对于阻挡氧化物、电荷陷阱氮化物和隧道氧化物，KE 的批量 ALD 是所有前 5 名 NAND 厂商中创纪录的工艺工具。对于沟道硅、阻挡金属和势垒金属，KE 到处都有，但实际上 KE 主导了前 3 个步骤。



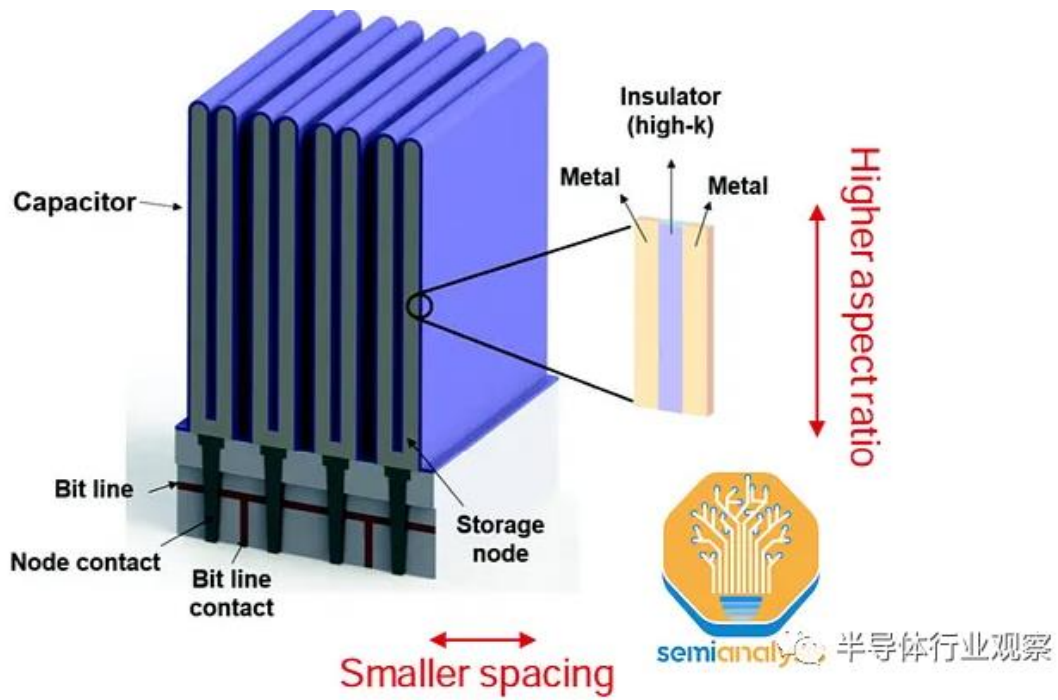
通常，当谈到半导体制造商之间的竞争话题时，我们会说市场很复杂。很难将沉积仅归类为一个市场，因为存在许多不同的细分市场和利基市场，每个细分市场 and 利基市场都有自己的领导者。人们意识到竞争少了很多。这是一个很好的例子。对于这几个特定的NAND 沉积步骤，KE 显然占主导地位。



其次，DRAM也开始拥抱ALD。

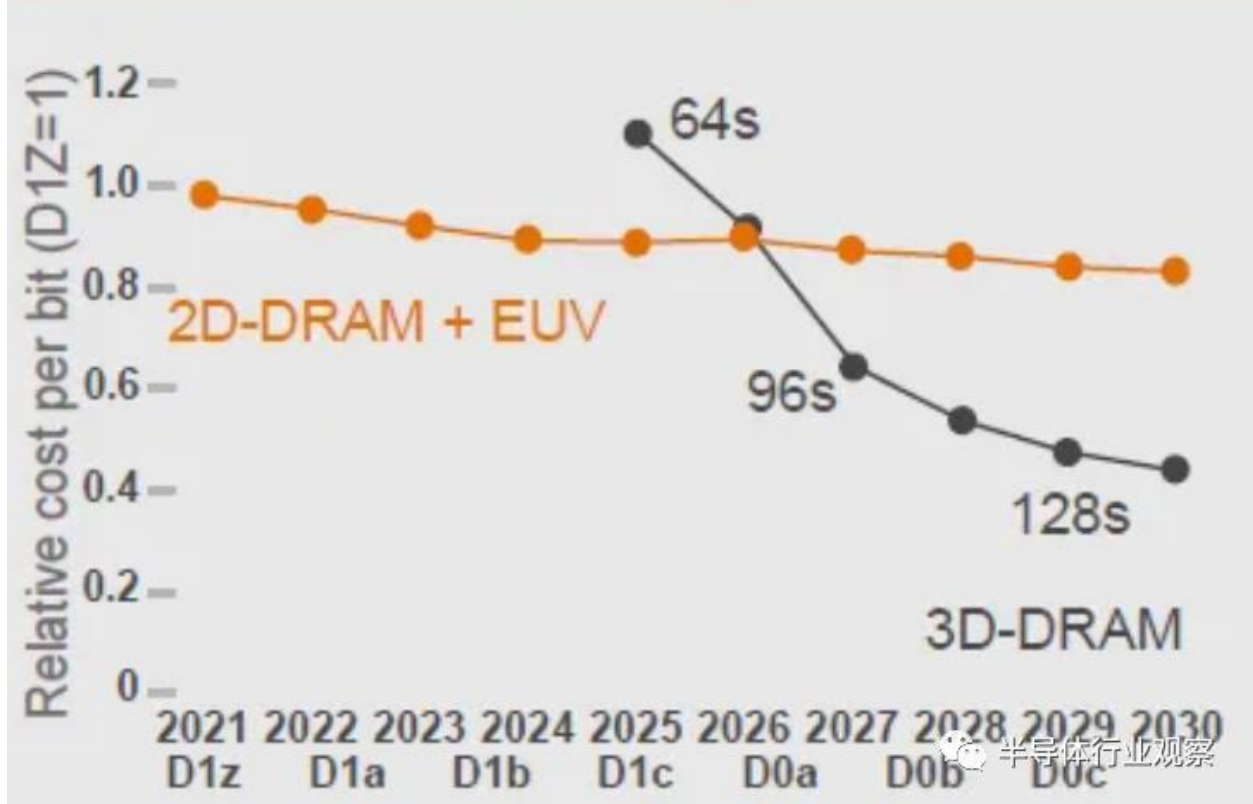
在DRAM中，高纵横比的特征是电容器。每一位数据都以负电荷或正电荷的形式存储在电容器中。每个电容器都连接到一个晶体管，该晶体管控制对电容器中数据的访问。这是 DRAM 所基于的单晶体管、单电容器 (1T1C) 存储单元架构。

电容器本身是一个具有高纵横比的长圆柱形结构。它充满了金属-绝缘体-金属堆叠。绝缘体是高 k 二氧化锆，可防止泄漏，同时保持电容。由于需要在高深宽比结构中形成良好控制的保形薄膜，因此这种 MIM 堆栈需要 ALD。这就是KE在DRAM领域拥有强大影响力的一步。例如，我们知道 KE 的批量 ALD 用于三星的高 k 沉积的某些部分，也可能与其他 DRAM 制造商一起使用。



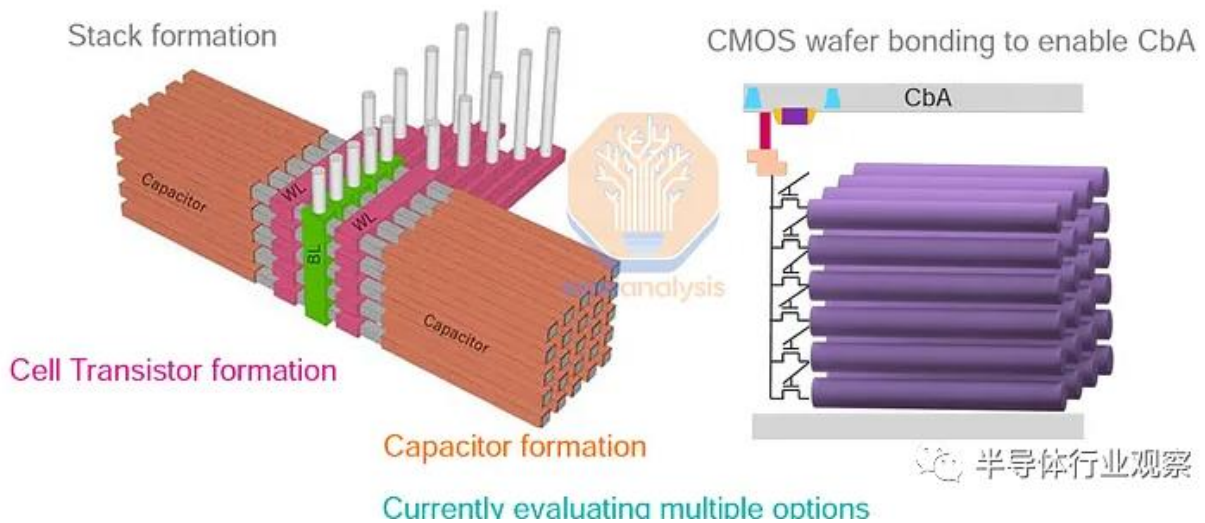
目前，进一步缩小 DRAM 的关键挑战是缩小电容器的尺寸。电容器的任何进一步缩小都会使电容器无法保持电荷，从而变得无用。与 NAND 一样，3D DRAM 被提议作为未来架构，以实现持续的成本扩展。

Cost per bit scaling



大多数设备制造商认为 3D DRAM 将在本世纪下半叶实现量产（ASML 除外，坚持认为 3D DRAM 的生产时间要远远超过 2030 年）。由于几乎没有潜在的可行架构，因此尚未确定确切的 3D DRAM 架构是什么样子。这对 ALD 和 etch 来说是一个机会，但对某些工具制造商来说也是一个威胁，因为这将导致市场份额的重新洗牌。

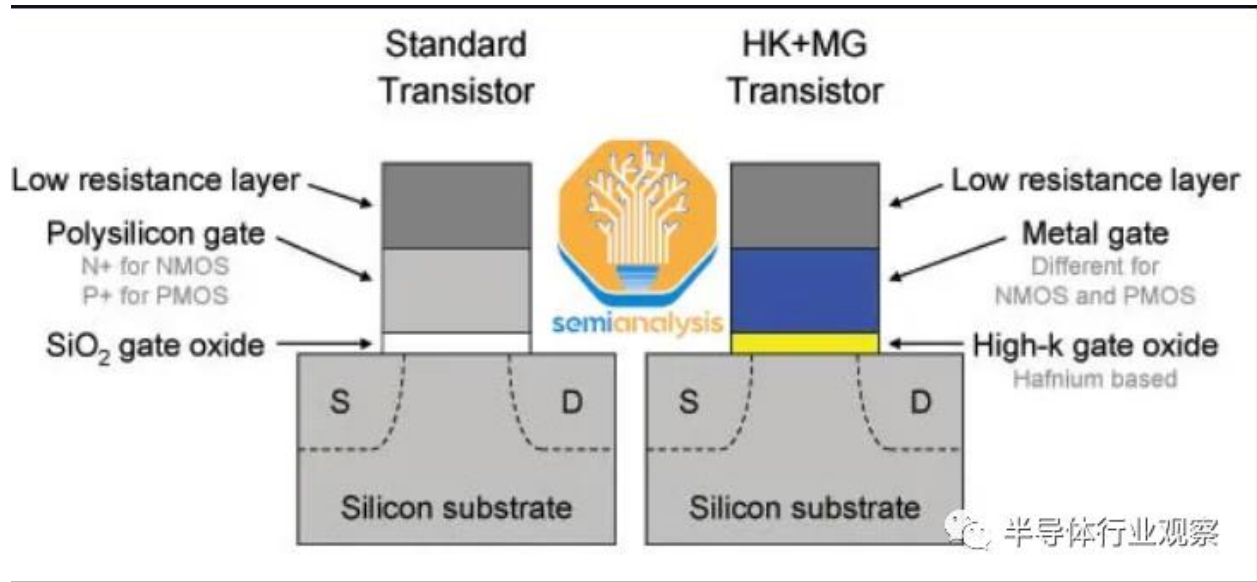
Key Modules in 3D DRAM



最后，逻辑也成为了ALD的目标。

ALD 首次主要进入逻辑制造领域是在 2007 年，当时英特尔于 2007 年在其 45 纳米工艺中引入了 ALD。此前，二氧化硅用于栅极绝缘体。随着特征尺寸缩小，二氧化硅层也缩小，但人们发现，在 2 纳米左右的厚度下，二氧化硅无法正确隔离电流。

英特尔的 45 纳米节点引入了革命性的高 K 金属栅极 (HKMG) 结构，该结构大大减少了电流泄漏，并且是扩展到 65 纳米节点以上的关键支持功能。HKMG 结构用氧化铪取代了传统的绝缘氧化硅，并使用金属代替多晶硅作为栅极。高 K 电介质是通过 ALD 实现的。铪膜需要高度保形、无针孔，并严格控制厚度，以实现其绝缘目的，而这非常适合 ALD 的任务。此外，ALD 也胜出，因为更标准的 CVD 工艺留下了多余的颗粒用于氧化铪沉积。



然后，随着逻辑进入 FinFET 时代，晶体管变为 3D（而不是平面），对 ALD 的需求进一步增加。我们可以看到，对于 FinFET，栅极在三个侧面上环绕沟道，并像鳍一样突出。其效果是栅极可以更好地控制流过晶体管的电流，从而减少泄漏，并且需要更低的电压来为晶体管供电。栅极氧化物也包裹起来，不再是平面薄膜，这使得实现阶梯覆盖变得更加困难。虽然这项任务已经由 ALD 处理，但我们可以看到，这种新的更具挑战性的拓扑只会使 ALD 更适合该任务。

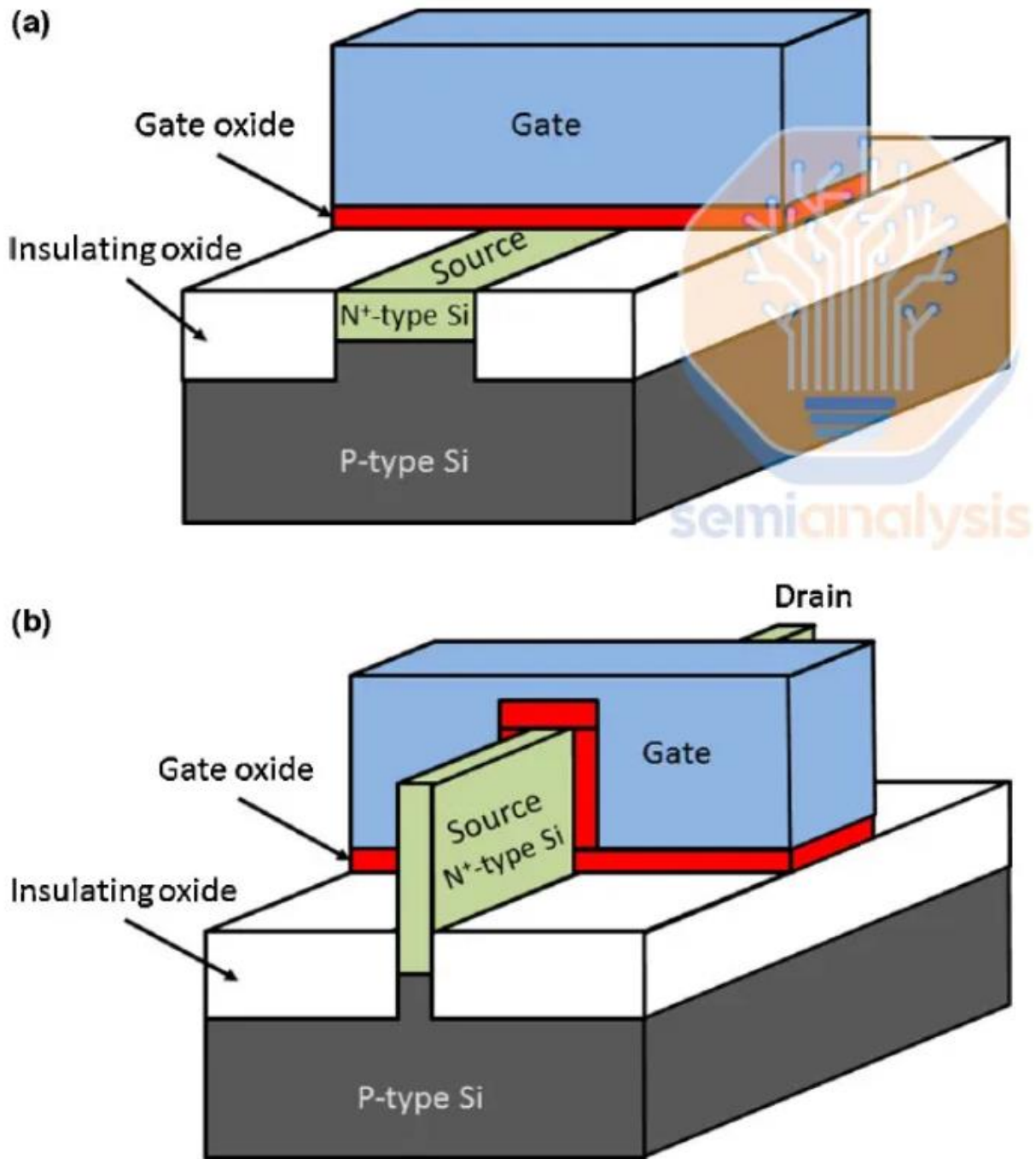
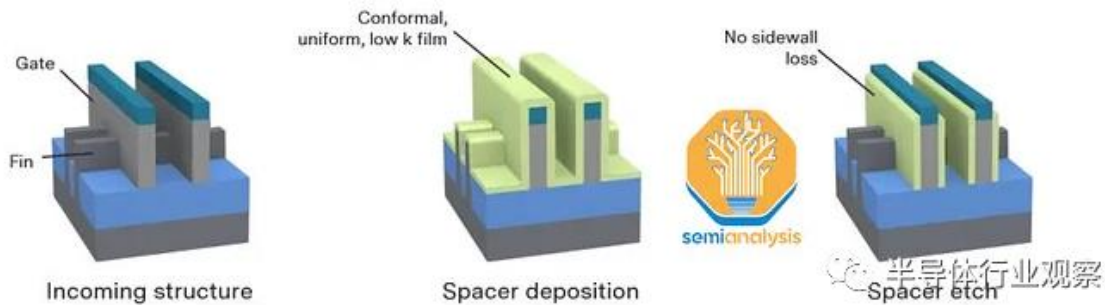


FIGURE 3

(a) The traditional planar MOSFET design leading to an inverted surface channel and (b) the FinFET or tri-gate design where a Si fin that is covered by the gate oxide from three sides becomes inverted from the surrounding gate oxide, thus increasing the overall inverted volume compared to the planar design for the same gate voltage.

总的来说，在逻辑上我们看不到像内存中那样高的纵横比的结构。尽管如此，台积电仍然使用批量ALD，台积电是KE的第二大客户。有些薄膜需要 ALD，但更简单（与使用 ASM 单晶圆工具的非常复杂和关键的薄膜相反），并且每个晶圆需要多次重复进行工艺，因此在考虑总拥有成本时，批量处理是有利的。

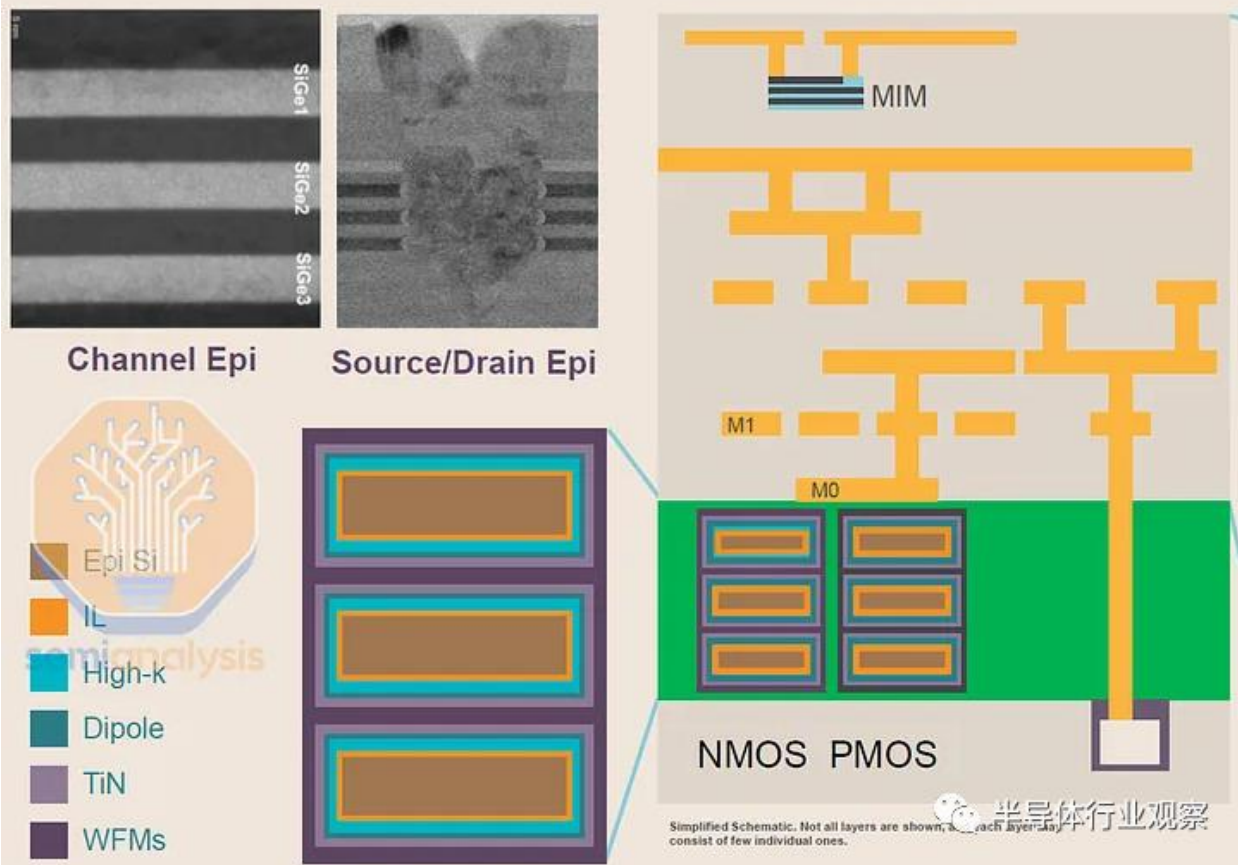


在这种情况下，与 ASMI、Lam Research 和 AMAT 的专用单晶圆工具相比，KE 和 TEL 的批量 ALD 工具更像是主力沉积工具。其中一个例子是批量 ALD 用于沉积 FinFET 栅极侧壁上的间隔物。间隔物的目的是减少栅极之间的电容，并且是低k薄膜。

正如您所看到的，间隔物需要沉积在突出栅极的顶部，与栅极和沟道之间的高 k 电介质相比，其纵横比相对较高。

这就是逻辑上批处理和 KE 工具的用武之地。批量 ALD 非常适合的另一个功能是用沟槽隔离的间隙填充。浅沟槽隔离是一种用于防止各个电路之间不必要的机电干扰和寄生泄漏的技术。沟槽是通过蚀刻工艺创建的，然后填充二氧化硅等电介质，可以通过批量 ALD 完成。

Logic GAA creates new ALD/Epi opportunities



对于 FinFET，我们发现将栅极包裹在沟道的 3 个侧面可以改善电气特性，那么所有四个侧面的覆盖不是会更好吗？基本上，是的，这样会更好。这是下一代全栅 (GAA) 晶体管架构的方法。通道变成门内一系列多个垂直堆叠的纳米片。现在，栅极在所有四个方向上环绕沟道，而 FinFET 中只有三个方向，从而允许更大的驱动电流和泄漏控制，从而改善功耗。

仔细观察栅极，它实际上是围绕每个纳米片（在下图中表示为“Epi Si”）的高 k 金属栅极堆叠。控制阈值电压需要多个偶极子和功函数金属层。



ALD 是沉积这些薄膜所必需的，因为它们必须很薄才能全部装入如此不断缩小的门内。由此可见，与 FinFET 相比，GAA 需要更多的 ALD 步骤。

<https://www.icspec.com/news/article-details/2233022>