



The battle for advanced packaging technology | Hybrid bonding has broken through sub-micron, global cooperation is deeply rooted in the hearts of the people, China cannot sit still and wait for death – October 15, 2023

资讯先进封装技术之争 | 混合键合已破亚微米，全球合作深入人心，中国不可坐以待毙

先进封装技术之争 | 混合键合已破亚微米，全球合作深入人心，中国不可坐以待毙



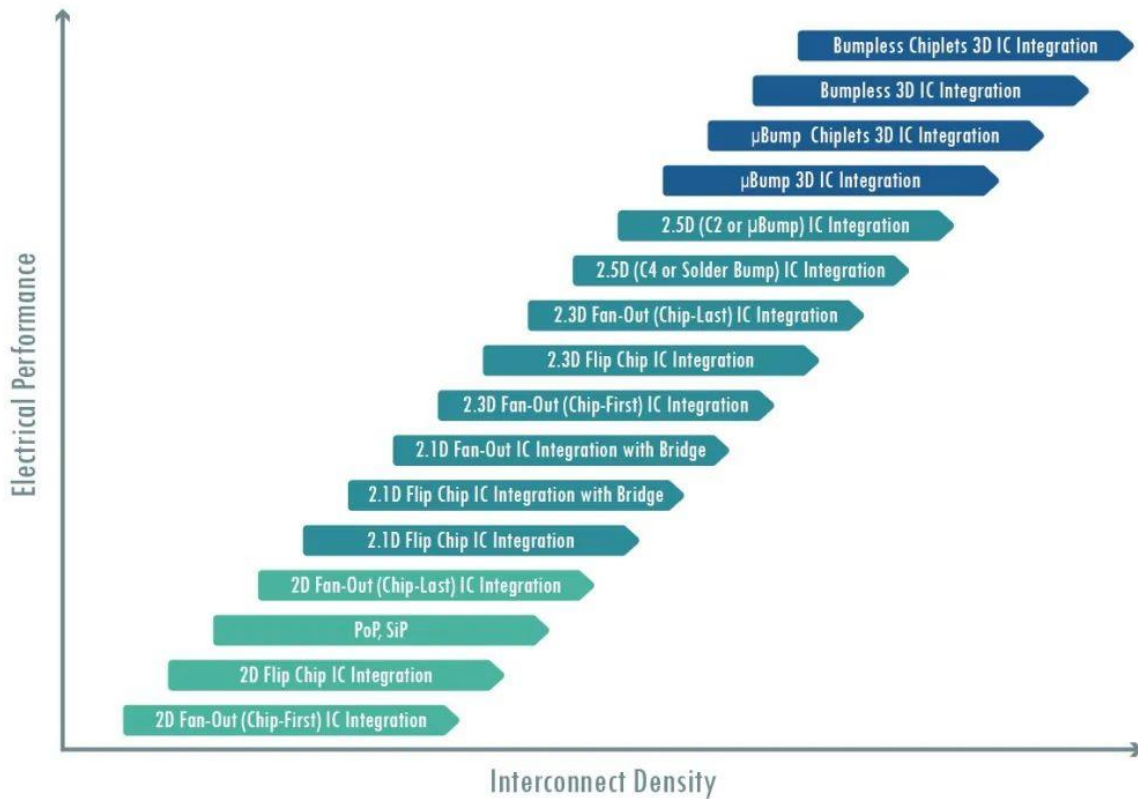
来源:与非网 发布时间:2023-10-16

分享至微信

导语：半导体行业领头羊正在寻求 3D 结构、封装和互连创新，以提升性能并扩展小型化封装的功能。由于先进封装是通过互连布线密度实现的，因此需要混合键合等技术来实现有效的芯片堆叠，混合键合以细间距（ $<1 - 20\mu\text{m}$ ）形成直接铜-铜键合，或将广泛替代微凸块和铜柱凸块。

如今混合键合技术可以扩展到亚微米范围，对于系统性能、能效、外形尺寸和上市时间的改进越来越重要。混合键合工艺已模糊了先进制造和先进封装之间的界限。产业界需要协作创新以充分实现混合键合的华美前景。本篇文章中，您将看到 Hybrid Bonding 全球最前沿的产品技术案例进展和最先进的设备创新以及整个生态链上的新情况。

过去10年全球运算量的发展已超越过去40年的总和。未来，依据IDC预测全球资料数据总数在2025年将达到175ZB。随着AIHPCGPU图像传感器的需求日益提高，即便将电晶体尺寸微缩至逼近物理极限来提升效能，仍无法满足未来产业应用。当摩尔定律来到极限，先进封装异构集成成为突破瓶颈的关键。



晶片性能表与接点密度先进封装排名表 图源：technews

当电子封装行业发展到三维封装的垂直互连时，微凸块以裸片上的小铜凸块成为晶圆级封装的一种形式。封装凸点间距目前已从100μm变为40μm、20μm甚至10μm的凸点间距。然而，这就使技术问题变得非常具有挑战性。

当接触间距减小到10μm左右时，焊球尺寸的减小会增加金属间化合物 (IMC) 形成的风险，从而降低导电性和机械性能。此外，在回流焊过程中，焊球接触并导致的桥接故障的可能会成为芯片的潜在故障，并在高性能组件封装场景中变得棘手。工程师正在转向一种新的解决方案来继续缩小尺寸，混合键合技术成为了

游戏规则的改变者，完全避免使用凸块，而是使用小型铜对铜连接来连接封装中的芯片，从而为10 μ m及以下节距提供了解决方案。

Hybrid Bonding (混合键合、混合结合) 是堆叠芯片之间获得更密集互连的方法。作为一种永久键合，将介电键合 (SiOx) 与嵌入式金属 (Cu) 结合起来形成互连形成电介质-电介质和金属-金属键。它在业界被称为直接键合互连 (DBI)。使用紧密嵌入电介质中的微小铜焊盘可提供比铜微凸块多 1,000 倍的 I/O 连接。与其他键合技术相比，混合键合具有许多优势，包括：

最高输入/输出

实现低于10 μ m的键合间距

更高的内存密度

可实现更低的电容、更低的功耗

扩展带宽

增加功率

提高速度效率

保证信号完整性，并将信号延迟驱动至接近零水平

帮助实现更小的外形尺寸

支持 3D封装和先进的存储立方体更高的互连密度

可以根据特定客户的独特需求定制产品

先进封装要求间距低于10 μ m

英特尔、台积电和三星都警告称，当接近10 μ m尺寸时，带有焊锡尖端的铜凸块会遇到可靠性问题，从而导致转向混合键合。更小的间距会变得更加有想象力。

为增强终端器件的性能，业界正在深入扩展系统级互连，混合键合提供了最有前途的解决方案，能够集成多个具有低于10 μ m的小互连间距的芯片。在 1 平方毫米的空间内，可以连接10,000到100,000个通孔，与使用焊球相比，这可以大大扩展 I/O提供更小、更简单的电路，不需要作扇入和扇出就可以相互叠加。

今天，混合键合已经证明在3D NAND的大批量制造中是可行的芯片上的堆栈和3D系统（SoC）。研发正在进行中高带宽下的混合键合存储器（HBM）以及其他3D集成应用程序。未来，封装将继续小型化和缩小尺寸，以便可以获得毫米立方体的最大功能，服务于更加高级的应用程序。

混合键合三种实现工艺

主要有三种方法可以实现混合键合：晶圆到晶圆（W2W）和芯片到晶圆（D2W），芯片到晶圆（C2W）工艺正在深入研究开发中。

Three Ways of Cu-Cu Hybrid Bonding

Types of hybrid bonding	Throughput	Assembly Yield (Able to test before bonding)	Design flexibility	Process difficulties	Applications
D2D (Die to Die)	<small>IDTechEx Research</small> Lowest	Best as both dies can be tested	Good	High (Edge effects, contamination, particles during singulation process; require pick & place equipment with very high accuracy)	Very rare as low throughput
Die to Wafer (D2W) or Chip to Wafer (C2W)	Medium	The singulated dies can be tested	Good	High (Edge effects, contamination, particles during singulation process; require pick & place equipment with very high accuracy)	HPC/AI/ML/Logic/HBM; Note that the bigger the die size, the more cost effective it is to use D2W stacking.
Wafer to Wafer (W2W)	Highest	May not be tested	Bad (The top die has to be the same size as the bottom die)	Medium	HPC/AI/ML/Logic/HBC/3D NAND/3D Monolithic DRAM

Cu-Cu杂化键合的三种方式。图源：IDTechEx

虽然 W2W 混合键合在图像传感领域已投入生产多年，但业界仍大力推动 D2W 混合键合的发展，并成为异构集成中混合键合的主要选择。因为它支持不同的设计规则、不同芯片尺寸、不同的晶圆类型和已知的良好芯片，D2W 是实现异构集成强大而灵活的手段，而所有这些对于 W2W 方案来说通常是不可能的。目前走D2W 路线的设备企业有荷兰BESI、奥地利EVG、新加坡 ASMPT、法国SET、日本Shibaura、德国 SUSS Microtec。

CMOS图像传感器和MEMS最先采用W2W，因为这些芯片使用传统节点并且良率问题更容易解决。如今 W2W技术在DRAM领域的研究非常活跃。W2W混合键合解决方案的应用可以提高高带宽内存（HBM）等产品的生产率。但由于缺陷问题，W2W技术的商业应用还需要一段时间。一旦良率问题得到解决，该技术将应用于HBM生产。W2W还可将AI Die和Memory Die垂直堆叠。设备企业中日本TEL和中国的华卓精科和拓荆科技在坚持W2W。C2W路线是艾科瑞思。

工艺挑战

无论哪种混合键合方案，都融入了复杂工序，工作必须在标准接近前端晶圆厂级别的超洁净室、自动化工厂和工艺专业知识要求的环境中进行，而不是像许多其他封装集成方法那样在典型的封装厂中进行。这使得混合键合更加依赖前道制造工艺，包括电镀、CMP、等离子体激活、对准、键合、分割和退火，以及用于发现亚微米颗粒和缺陷的检测工具。虽然这些前道工艺已经成熟，但仍需要完善工艺以满足混合键合的需求。

从W2W、D2W、C2W键合环境之一，要通过化学机械平坦化优化实现光洁的电介质表面；

对于最大限度地减少键合过程中晶圆变形和翘曲的可能性，开发能够承受较低退火温度和较短持续时间的介电材料是关键；

就 D2W/C2W 工艺而言，解决与芯片分割和边缘效应相关的挑战以及最大限度地减少芯片和晶圆上的污染将是关键；

公差缩小至低至 200nm 的高精度贴片机/键合机也是关键；

需使用更大的铜焊盘，以适应潜在的放置错误；

先进的薄晶圆处理技术将在确保 Cu-Cu 混合键合的成功实施方面发挥重要作用；

符合标准混合键合缺陷检测的工具设计必须具有更高的分辨率和纳米级的缺陷检测速度、克服晶粒裂纹和晶片翘曲挑战；

除了高通量检测工具模具级裂纹/颗粒检测外，后端晶圆厂将需要薄膜厚度计量工具测量；

最后在接合后阶段，检验和计量工具继续发挥着至关重要的作用过程控制；

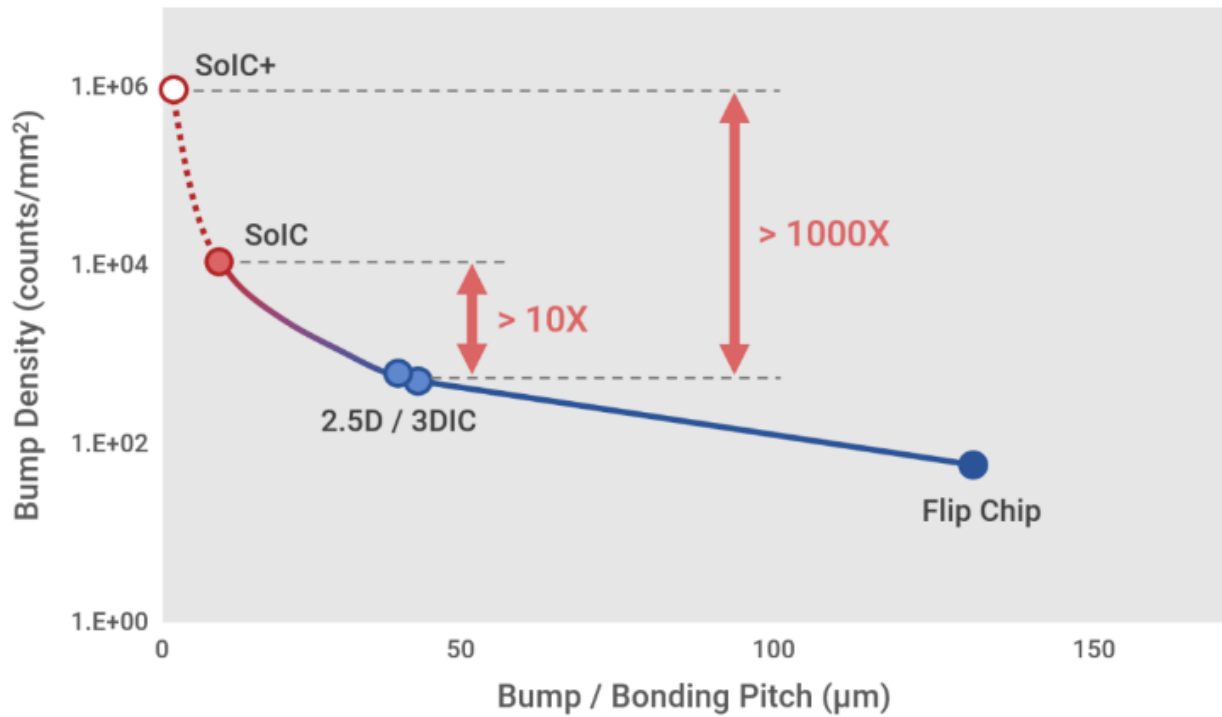
分析软件能够追溯家谱每个模具和每个工艺步骤可以带来宝贵的信息以提高产量。

Hybrid Bonding带来的产品变革

混合键合支持各种可能的芯片架构，主要针对高端应用，包括高性能计算、人工智能、服务器和数据中心。随着技术的成熟，消费类应用包括高带宽存储器 (HBM) 在内的存储器件以及移动和汽车应用预计将进一步增长，这些应用可受益于高性能芯片间连接。

索尼是世界上第一个推出Hybrid Bonding产品的公司。开发原始制造工艺将图像传感器晶圆和数据存储、处理晶片的晶圆直接键合，实现大规模图像数据的高效并行传输，后来该技术被广泛采用到了逻辑芯片和存储芯的3D互连。台积电，英特尔、海力士、三星、长江存储等一波大厂采用混合键合技术进行CPU、GPU、HPC、DRAM、NAND的3D封装。如今索尼推出了 1 μ m间距面对面混合键合和 1.4 μ m面对面混合键合。

台积电是将混合键合大规模商业化的领先公司。该服务名为3D Fabric，已应用于AMD V-Cache。竞争对手三星和英特尔已开始准备提供类似的服务。



图源：TSMC

台积电SoIC 服务是晶圆上芯片系统，是推动异构小芯片集成领域发展的关键技术支柱，采用超高密度垂直堆叠，可实现高性能、低功耗和最小 RLC（电阻-电感-电容）。借创新的键合方案，SoIC 技术为芯片 I/O 提供了强大的键合间距可扩展性，键合间距 < 10µm，实现高密度芯片间互连。第四代 SoIC 已实现 3 微米间距混合键合。

Graphcore 是台积电晶圆级 SoIC 技术的先锋客户。2022 年 3 月 Graphcore 宣布推出全球首款 3D 晶圆对晶圆混合键合处理器。晶圆对晶圆技术使 Graphcore 能够将时钟和性能提高 40%，同时保持与上一代 MK2 类似的成本。

AMD正在使用TSMC的混合键合技术。2022年基于混合键合支撑的3D V-Cache缓存技术首次推出锐龙7 5800X3D桌面处理器。2023年以来，AMD再接再厉陆续推出了采用3D V-Cache技术的锐龙9 7950X3D、锐龙9 7900X3D、锐龙7 7800X3D和锐龙5 5600X3D桌面处理器，进一步丰富旗下3D堆叠产品阵营。2023年7月28日，AMD正式在笔记本平台引入采用3D V-Cache技术的移动处理器。

2023年6月发布目前全球最强的生成式AI加速器MI300X，集成了高达1530亿个晶体管，拥有最令人难以置信的先进封装形式。MI300的所有变体都以相同的基础构建块（称为AID）开始。CPU和GPU计算方面的模块化是AID最重要的部分。AMD和台积电使用混合键合将AID连接到其他小芯片。AID通过SoIC gen 1以9um 间距混合键合到 XCD 和 CCD。由于不成熟，AMD 不得不放弃转向台积电第二代 6um 间距 SoIC的计划。然后将他们封装在CoW无源内插器之上。通过该工艺有十几块支撑硅片，最终M包含传统倒装芯片大规模回流焊和TCB以及晶圆上芯片、晶圆上晶圆和重构晶圆上晶圆混合键合。

三星在先进封装领域一直处于追赶状态。2023年生成式 AI 的爆火带动英伟达加速卡的需求，也带动了对高带宽存储器（HBM）的需求。当前三星电子和SK海力士以及其他HBM制造商正在积极准备第五代（HBM3E）的大规模生产。

2023年9月，根据韩国 The Elec 报道，三星和 SK 海力士正在推进混合键合封装工艺，突破 TCB 和 MR 的发热、封装高度等限制。扩展了 TCB 和 MR 工艺，实现最高 12 层。用 Hybrid Bonding 工艺之后，显著提高了输入 / 输出（IO）吞吐量，允许在 1 平方毫米的面积内连接 1 万到 10 万个通孔（via）。

2023年10月，三星电子内存业务部门表示，三星电子推出的第六代产品HBM4时计划采用新技术——针对高温热特性和混合键合技术进行优化的非导电胶膜(NCF)组装技术。NCF是放置在堆叠芯片之间的薄膜，有助于芯片附着，HCB作为消除堆叠芯片之间间隙的方法，允许直接键合。

2021年6月，英特尔对外分享Hybrid Bonding实现小于 10 微米的凸点间距的未来计划。2022年12月，宣布了全新的混合键合技术将互连间距继续微缩到3微米，比上一代技术将功率密度和性能又提升了10倍。

2022年7月，CEA-Leti 和英特尔优化了混合直接键合自组装工艺，可以提高D2W键合封装技术。采用取放工具后键合最先进的对准至 1 μ m，且提供低于200nm-500nm的键合对准。

混合键合在3D NAND 领域正取得关注。长江存储在2018推出 Xtacking 1.0 架构，随后在 2019 年推出了 Xtacking 2.0。2022年推出 Xtacking 3.0，被TechInsights 视为 2022年最具颠覆性的技术之一。因为，这种创新架构在新兴的内存半导体行业中并没有真正的同类技术——采用混合键合技术构建，突破性的200+层NAND存储器，领先于竞争对手达到了这一里程碑。

Xtacking涉及将两个晶圆键合在一起。NAND 阵列晶圆与互补金属氧化物半导体 (CMOS) 晶圆混合键合。每个晶圆上的铜金属焊盘成为接合界面。该技术被证明是一种经济有效的扩展方法，为市场提供高性能 NAND 内存。长江存储推出了Xtacking 3.0，据称与Xtacking 2.0相比性能提升了50%。它还可以降低功耗。与128层NAND芯片相比，长江存储的232层NAND芯片将芯片密度提高了80%以上。

2023年3月，Kioxia 和 Western Digital 推出具有 218 个有源层的第 8代BiCS 3D NAND 存储器。这是混合键合标志着 3D NAND 架构发展的一个重要时刻。新存储设备在 3D TLC 模式下提供 1Tb 容量，并具有 3200 MT/s 的数据传输速度，这一组合将使 SSD 制造商能够构建高性能、高容量的驱动器。

为了实现如此极端的接口速度，这些公司采用了类似于长江存储 Xtacking 的架构。新型 BiCS FLASH 平衡了垂直和横向缩放，以提高每层位密度更高的更小芯片的容量。两家公司开发了 CBA (CMOS 键合阵列) 技术，利用键合单独 CMOS 晶圆和单元阵列层的优势来提高位密度和快速 NAND I/O。

NAND IDM厂商正在其制造工艺中采用混合键合，为创造为高效、高性能 NAND 生产提供了可持续的途径，分析师预计，2028 年生产的 NAND 晶圆中，超过 50% 将使用混合键合。

全球生态协同组建

当然，混合键合的突破进步还需要全球厂家合作建立一个技术协作稳定供应的生态系统。

设计端，产业链公司正与授权商签订协议。在过去的 30 年里，Adeia 引领了半导体行业的根本性进步。凭借涵盖混合键合、半导体封装和半导体加工技术的庞大且不断增长的知识产权组合，Adeia 通过投资技术许可和投资技术转让与全球领先的半导体公司合作，以增强其产品路线图。Adeia 的 Laura Mirkarimi 和 Abul Nuruzzaman 是混合键合的先驱，他们帮助消除了对芯片到晶圆混合键合商业化的一些误解。如今，Adeia 正在与 Besi、K&S、ASM 和 SUSS Microtec 等设备供应商合作，与 Micron、OmniVision、Skywater、SK Hynix、Sony、UMC、YMTC 等拥有授权协议。

2022年5月，SkyWater 与 Xperi Corporation 签署了技术许可协议。SkyWater 及其客户现在可以使用 Adeia 的 ZiBond 直接粘合和 DBI 混合键合技术和 IP 可增强商业和政府应用的下一代设备。2023年2月 Adeia 宣布，连接和电源解决方案供应商 Qorvo 已获得 Adeia 混合键合技术的许可。Adeia 还向 SK 海力士（2020 年）和美光（2022 年）授予了许可。这两家内存供应商预计将在 2026 年针对 >300L 的 3D NAND 采用混合键合。三星预计将在次年推出针对 >400L 的技术。长江存储也于 2021 年获得了 DBI 技术的授权。

2023年2月，联华电子与楷登电子Cadence共同宣布，采用Integrity™ 3D-IC平台的Cadence® 3D-IC参考工作流程已通过联电的芯片堆栈技术认证，将进一步缩短产品上市时间。Integrity 3D-IC平台是业界首款综合解决方案，提供3D设计完整的设计规划、实现和分析。通过在设计初期执行热能、功耗和静态时序分析，可以实现3D芯片堆栈中的多个晶粒的同步设计和分析。

芯盟科技是一家三维异构集成芯片的技术平台型公司，公司拥有三维单芯片异构系统集成技术HITOC™、3D和2.5D异构集成系统解决方案SOH™。运用先进的晶圆对晶圆和晶粒对晶圆（Die-on-Wafer）混合键合制造工艺，将不同类型的wafer或die上下对准贴合，以实现三维异构单芯片集成。基于该技术，芯盟科技在2022年开发了全新架构3D 4F² DRAM芯片，最大特点是不需要用到EUV光刻机，也不需要多重图形曝光SAQP步骤，这可以大幅减少成本。

2021年11月，阿里达摩院成功研发全球首款基于DRAM的3D键合堆叠存算一体AI芯片，可应用于VR/AR、无人驾驶、天文数据计算、遥感影像数据分析等场景。为了拉近计算资源和存储资源的距离，达摩院创新性采用混合键合（Hybrid Bonding）的3D堆叠技术进行芯片封装——将计算芯片和存储芯片face-to-face地用特定金属材质和工艺进行互联。

在ISSCC 2022上，阿里展示了使用混合键合的AI计算设备，将全DRAM晶圆直接混合键合到Cerebra的晶圆级引擎上。

材料端，要通过混合键合等技术来实现有效的芯片堆叠，还需要在晶圆级组装方面进行创新，因为未来的人工智能世界中需要巨大的复合体和整个产品的晶圆级集成。英特尔认为，玻璃基板的采用将使该行业能够通过消除中介层并直接连接芯片来将大型晶圆复合体组装在一起。

封测端，日月光正在持续开发可优化时脉速度、频宽和电力传输的先进封装技术在混合键合技术上；长电科技XDFOI™的2.5D RDL高性能封装已实现稳定量产，正在Hybrid-bonding进行布局。

国内代工端，长春长光圆辰微电子技术有限公司提供CIS晶圆背照式代工服务，即CIS wafer +ROIC wafer hybrid bonding，利用键合设备，搭配对准系统，晶圆对准精度小于500nm。通过检测设备，晶圆键合率大于99.98%。

当前，实现Hybrid Bonding设备的突破是当务之急。应用材料公司是最大的异构集成技术供应商，2023年7月，应用材料公司推出利用混合键合和硅通孔新技术推进异质芯片集成方案，可帮助芯片制造商使用混合键合和硅通孔 (TSV) 将小芯片集成到先进的 2.5D 和 3D 封装中。方案包括混合键合产品组合Insepra™ SiCN，采用新型氮化碳硅材料，可提供业界最高的介电结合强度，并提供卓越的铜扩散阻挡性能。还有Catalyst™ CMP 解决方案可帮助客户控制“凹陷”量，即铜材料在随后的高温退火步骤中粘合的两个表面上的有意凹陷。两套方案可实现与新材料的最先进的混合键合并增强表面处理。

目前，应用材料公司拥有多种技术和解决方案，包括电介质沉积、金属沉积、电镀、化学机械平坦化 (CMP)和蚀刻，以支持混合键合工艺流程的各个阶段。应用材料公司正在与 EVG 合作开发晶圆间混合键合集成工艺。与 Besi 合作芯片到晶圆混合键合技术。

混合键合设备精度达到100nm以下

日本和欧洲的设备企业凭借精密运动控制的技术壁垒与全球合作在混合键合设备全球市场处于垄断地位。

EVG是全球晶圆键合机的领跑者。EVG永久粘合系统包括系列晶圆键合机，提供最佳的总体拥有成本(TCO)，以及多种设计功能来优化键合良率。永久键合设备包含EVG®501/510/520IS/540/560,用于键合对准的多个模块针对 MEMS、3D 集成或先进封装的不同市场需求进行了优化。永久键合系统拥有小于100纳米的行业领先的对准精度和经过大量验证的模块化平台，使EVG的晶圆键合技术能够结合到各种应用中。如今，EV Group 正在与行业合作伙伴深入合作，解决晶圆制备、CMP 和推进技术所需的其他工艺步骤之间的相互依赖性。

来自德国的SUSS MicroTec 集团是微结构应用设备和工艺解决方案的领先供应商。研制的XBS300 混合键合平台用于研发和大批量生产的永久晶圆键合平台其高度模块化的设计以较低的拥有成本为客户提供了最大的配置灵活性。拥有小于100 nm 的高精度，支持 D2W和 W2W混合键合，重点关注 3D 堆叠存储器或 3D SOC等最苛刻的应用。

Besi拥有全球领先的芯片贴装系统。产品包括用于先进封装的多芯片键合机、环氧树脂和软焊料键合机、用于大规模生产的高精度倒装芯片键合机、堆叠芯片键合机和芯片分类设备。在键合机子中，8800 CHAMEO ultra plus是第一台HVM芯片到晶圆混合键合机精度 < 200-100纳米精度，UPH为2000；8800 CHAMEO ultra plus是混合D2W键合机，拥有ISO3清洁度和高精度（小于200-122nm）；适用于HPC芯片集成、高密度3D NAND、AP和RF SiP模块。

奥芯明（即ASMPT）是全球半导体后端设备的领跑者。2021年ASMPT与 EV Group 联手打造业界首个用于 3D-IC 异构集成的超精密芯片到晶圆混合键合解决方案LithoBolt™，与前道制程工具设计相同，为 Chiplet 集成而设计，具备D2W 混合键合的灵活工艺能力。使用 ASMPT 的超高精度 (200nm) 芯片贴装以及 EVG 的芯片到晶圆混合键合和融合技术来优化连接它们，实现与 SoC 方法相当甚至更好的性能。

东京电子晶圆键合机/解键合机Synapse™ 系列结合了 TEL 50 年来开发的超薄晶圆转移、化学涂层、等离子处理和清洁等领先技术，成为 300mm 晶圆的行业标准键合/解键合工具。Synapse™ 系列为 TSV（硅通孔）中的临时键合/解键合工艺、CMOS 图像传感器和其他各种类型器件的永久键合工艺提供先进的解决方案，有助于 3D 集成的大批量制造，这将变得更加重要并有望实现生长。

2023年8月艾科瑞思隆重推出了纳米级高精度混合键合——麒芯8800。是芯片到晶圆混合键合工艺中的国产关键装备，键合精度为500nm，能够将不同类型的芯片以更高I/O密度、更低互联阻抗的方式键合在一起，适用于2.5D封装、3D封装、Chiplet等先进封装工艺。目前，艾科瑞思麒芯8800在前道晶圆制造产线已实现95%的键合良率，正努力挑战更高键合精度。

华卓精科为以超精密测控技术为基础，开发了HBS系列全自动晶圆混合键合系统是自动化程度、集成度很高，对准精度为200nm，环境控制等级为ISO class 1，效率为12-12WPH。集成了键合工艺的多个功能模块，真正实现了室温的直接键合工艺。

拓荆科技研制了两款混合键合设备，晶圆对晶圆键合产品（Dione 300）已通过客户验收并获得重复订单，芯片对晶圆键合表面预处理产品（Pollux）已出货至客户端验证。

华封科技对标设备巨头，正研发AvantGo R系列，目标精度将小于200 nm，高速度高于2000 UPH，适应前道洁净室标准，预计将于2023年四季度以后上市。

icspec 【芯片求购】 <https://www.icspec.com/inquiry/index/1/0>

[新闻来源：与非网，更多精彩资讯请下载icspec App。如对本稿件有异议，请联系微信客服specItkj]

<https://www.icspec.com/news/article-details/2232811>