



Wafer-Bonder von Süss Microtec

Im Rahmen ihrer Partnerschaft wollen Süss MicroTec und SET den Weg zu 3D-Multi-Chips ebnen und beispielsweise die Integration von Stacked Memory und Chiplets ermöglichen.

Süss MicroTec und SET Corporation haben eine Entwicklungsvereinbarung auf dem Gebiet des sequenziellen Die-to-Wafer-Hybridbondens getroffen. Wesentlicher Fokus dieser Zusammenarbeit ist die Entwicklung einer vollautomatischen, anpassbaren Anlage für bestmögliche Ergebnisse beim Die-to-Wafer-Hybridbonden. Dies geschieht durch die Bündelung des Know-hows von Süss MicroTec im Bereich der FEOL-kompatiblen automatisierten Oberflächenbehandlung von Wafern und einzelnen Chips, die auf einem Wafer oder Frame angesiedelt sind, mit der ultrapräzisen Chip-Platzierungstechnologie von SET sowie deren leistungsstarken Metrologiesystemen, die eine geschlossene Feedback-Schleife zum Die Bonder ermöglichen.

In einer Zeit, in der die traditionelle Transistorskalierung an ihre Grenzen stößt, sind 3D-Packaging und heterogene Integration in der Branche bereits weit verbreitet, um die Leistung und Funktionalität der heutigen Halbleitergeräte weiter zu steigern. Die aktuellen 2.5D- und 3D-Packaging-Techniken werden jedoch durch die Abstände zwischen den einzelnen Kontakten (Interconnects) eingeschränkt, die die traditionelle Microbump-Technik benötigt. Das Hybridbonden löst dieses Problem, indem die Kontaktflächen zwischen zwei Metallpads (vorwiegend Kupfer) und den umliegenden Dielektrika in einem einzigen Schritt gebondet werden. Dieser Bump-freie Bondansatz ermöglicht wesentlich kleinere Abstände (Pitches) zwischen einzelnen Metallkontakten und somit eine höhere Dichte an Interconnects, was die Grundvoraussetzung für künftige Generationen von Multi-Chip Packages ist.

Die Skalierung der Interconnects wird durch eine Reihe von schnell wachsenden Anwendungen wie dem High-Performance Computing, künstliche Intelligenz (autonomes Fahren), dem Mobilfunkstandard 5G

sowie einer Vielzahl weiterer More-than-Moore-Komponenten wie der nächsten Generation der CMOS-Bildsensoren vorangetrieben. Für leistungsstarke Systeme mit einer hohen Dichte an Interconnects benötigen Kunden nicht nur Maschinen zur hochpräzisen Chip-Platzierung, sondern auch eine verlässliche Oberflächenaktivierung und einen Prozess, der partikelfreie Oberflächen sicherstellt.

Im Rahmen dieser Partnerschaft werden die hocheffizienten Module zur Oberflächenbehandlung und eine durchsatzoptimierte Metrologie für die Post-Bond-Overlay-Verifizierung von Süss MicroTec mit der neuesten Plattform von SET für ultrapräzises D2W-Hybridbonden kombiniert. Der geschlossene Regelkreis zwischen Metrologie und den Die-Bonder-Modulen erleichtert die durchgängige Überwachung und Optimierung der Overlay Performance. Dies ermöglicht eine konsistente Genauigkeit von unter 200 nm bei der Chip-Platzierung und somit Interconnect Pitches im Submikrometer-Bereich. Je nach Anwendung und/oder Kundenanforderungen ermöglicht das modulare, hochflexible Anlagenkonzept sowohl alleinstehende Oberflächenbehandlung und Hybridbonden als auch eine voll integrierte Anlagenlösung. Dieses Konzept bietet letztlich einen integrierten Clusteransatz, der alle individuellen Hybridbond-Varianten in einer einzigen Plattform unterstützt: Wafer-to-Wafer (W2W), kollektives Die-to-Wafer (CoD2W) und/oder sequenzielles Die-to-Wafer (D2W).

»Hybridbonden ist einer der Hauptwachstumstreiber für Advanced-Back-End-Anlagen für die Halbleiterfertigung und einer der wichtigsten Wachstumstreiber für Süss MicroTec«, sagt Dr. Götz M. Bendele, CEO von Süss MicroTec. »Durch unsere Partnerschaft mit SET werden wir unseren Kunden ein umfangreiches Paket an Die-to-Wafer- und Wafer-to-Wafer-Hybridbond-Lösungen über die größte Bandbreite an heterogenen Integrationsanwendungen im Bereich Advanced Back End anbieten können. Damit können wir uns bezüglich des Durchsatzes und der Ausbeute differenzieren und gleichzeitig für die reibungslos Integration in die Fertigungsstätten unserer Kunden sorgen.«

SET sei es über verschiedenen Partnerschaften und die zehnjährige Erfahrung auf diesem Gebiet laut Dr. Pascal Metzger, CEO von SET, gelungen, das Hybridbonding aus dem Labor in die Industrie zu überführen: »Im September 2019 hat SET ein Stand-Alone-Gerät auf den Markt gebracht – die NEO HB. Dank unserer neuen Partnerschaft mit Süss MicroTec werden wir nun die Integrations- und Automatisierungsphase des Prozesses vorantreiben. Dadurch können wir unseren Kunden eine komplette Industrielösung für zukünftige Anwendungen wie HPC-, IA-, 5G- und viele weitere Anwendungen anbieten, um somit unser Angebot zu diversifizieren und neue Marktsegmente zu adressieren.«

EV Group, Halle B1, Stand 460

SET, Halle B1, Stand 112

Süss MicroTec, Halle B1, Stand 241

<https://www.elektroniknet.de/elektronikfertigung/fertigungstechnik/partnerschaft-fuer-die-3d-chipintegration.191259.html>