

先进封装之TSV及TGV技术初探

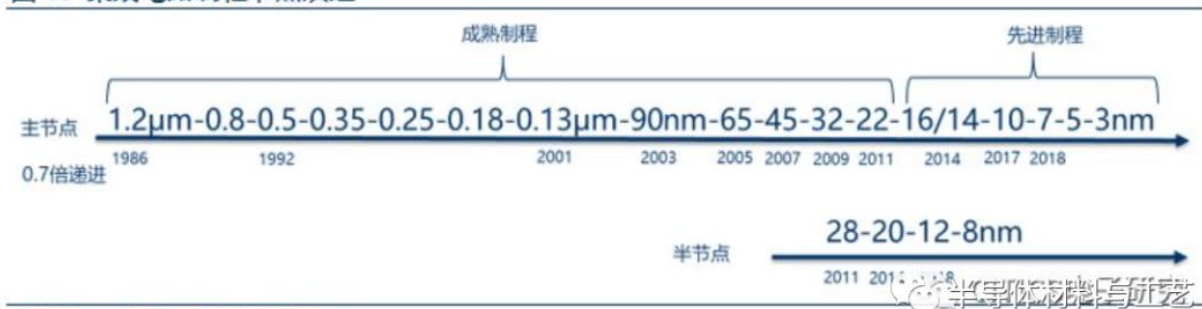
[mfwj888888](#)来源：半导体材料与工艺·2023-05-23 12:29

随着晶圆代工制程不断缩小，摩尔定律逼近极限，先进封装是后摩尔时代的必然选择。其中，利用高端封装融合最新和成熟节点，采用系统封装(SiP)和基于小芯片的方法，设计和制造最新的SoC产品已经成为主要的技术路径。2.5D/3D封装正在加速3D互连密度的技术突破，TSV及TGV的技术作为2.5D/3D封装的核心技术，越来越受到重视。

一、先进封装技术越来越重要

摩尔定律指引集成电路不断发展。摩尔定律指出：“集成电路芯片上所集成的电路的数目，每隔18-24个月就翻一倍；微处理器的性能提高一倍，或价格下降一半。”根据摩尔定律，制程节点以0.7倍（实际为根号2的倒数）递减逼近物理极限，从1 μ m、0.8 μ m、0.5 μ m、0.35 μ m、0.25 μ m、0.18 μ m、0.13 μ m、90nm、65nm、45nm、32nm、22nm、16nm、10nm、7nm，一直发展到未来的5nm、3nm，事实上90nm节点以前特征尺寸完全对应栅极长度，自65nm开始各厂商节点名称的定义越来越模糊，已不能完全对应器件的物理尺寸。目前14nm、10nm的节点名称大致对应栅极长度的一半。

图 1：集成电路制程节点演进

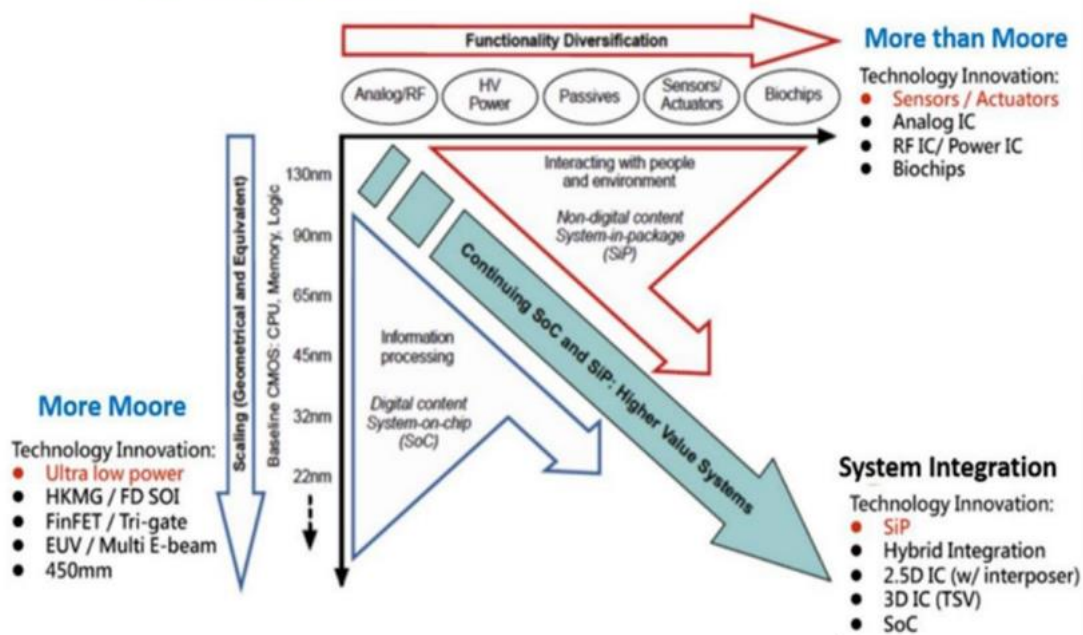


资料来源：中信证券研究部整理

遵循摩尔定律，缩小晶体管尺寸，依旧可以提升产品性能。但是高昂的开发费用和资本支出导致单个晶体管成本不像之前随着性能的提升而下降，开发更先进的制程已经不再经济。另一方面摩尔定律已经接近极限。2017年10nm制程已经发展到量产的阶段，非常接近FinFET工艺物理极限5nm。

在这种情况下，集成电路产业将走向何方，产业界和学术界给出了比摩尔定律更为多元化的答案：More Moore（深度摩尔）、More than Moore（超越摩尔）、Beyond CMOS将是未来的发展方向。

未来集成电路发展方向



资料来源: ITRS、IEK、联讯证券

半导体材料与工艺

深度摩尔是在现有硅基CMOS基础上，在器件结构、沟道材料、连接导线、高介质金属栅、架构系统、制造工艺等方面进行创新研发，沿着摩尔定律进行升级，延续摩尔定律（18个月左右晶体管数量翻番）的生命。同时更加注重功耗的降低。FinFET技术、EUV光刻是典型代表。业界认为5 nm将会是硅基CMOS技术的物理极限。

超越摩尔侧重于根据应用场景来实现芯片功能的多样化。这可以通过三条路径来实现：优化[算法](#)和[电路设计](#)；多个功能模块封装于一个芯片中；开发新功能芯片。因此封装将会发挥越来越重要的作用。

Beyond CMOS是指打破硅基晶体管结构和材料限制，研发全新的晶体管来取代硅基CMOS。新的器件要具有高性能、低功耗、可接受的制造成本、足够稳定以及适合于大规模制造等特性。潜在的技术主要有：隧穿 FET (Tunneling FET, TFET)、Nano-electromechanical Switch (NEMS)、单电子晶体管 (Single Electron Transistor, SET)、量子元胞自动机 (Quantum Cellular Automata, QCA)、Atomic Switch、自旋 FET (Spin FET)、石墨烯FET (Graphene FET)、碳纳米管FET (Carbon Nanotube FET)、纳米线FET (Nanowire FET) 等。

此外，[半导体](#)产业也将逐渐从技术驱动转变为应用驱动。目前移动产品仍是半导体产业主要的推动力，其朝小尺寸、多功能、高速化发展，带动先进封装技术导入。未来[物联网](#)、[5G](#)、[人工智能](#)、[汽车电子](#)、[AR/VR](#)、[云计算](#)等将会兴起，市场驱动力将多元化，对产品多样化也提出了需求。先进封装

是满足不同应用需求的重要手段。随着晶圆代工制程不断缩小，摩尔定律逼近极限，先进封装是后摩尔时代的必然选择，包括倒装、晶圆级封装、扇外型封装、3D封装、系统级封装等。

二、封测技术及发展方向

半导体的生产过程可分为晶圆制造工序 (Wafer Fabrication)、封装工序 (Packaging)、测试工序 (Test) 等几个步骤。其中晶圆制造工序为前道 (Front End) 工序，而封装工序、测试工序为后道 (Back End) 工序。封装是指将生产加工后的晶圆进行切割、焊线塑封，使电路与外部器件实现连接，并为半导体产品提供机械保护，使其免受物理、化学等环境因素损失的工艺。测试是指利用专业设备，对产品进行功能和性能测试，测试主要分为中测和终测两种。

根据Yole的数据，全球封测行业市场规模保持平稳增长，预计从2019年的680亿美元增长到2025年的850亿美元，年均复合增速约4%。根据中国半导体行业协会的数据，中国封测行业市场规模从2011年的976亿元增长到了2019年的2350亿元，年均复合增速约11.6%，显著高于全球增速。

图：全球封装市场规模



资料来源：Yole，华金证券研究所

图：中国封测行业市场规模



资料来源：CSIA，华金证券研究所

1、封测生产流程

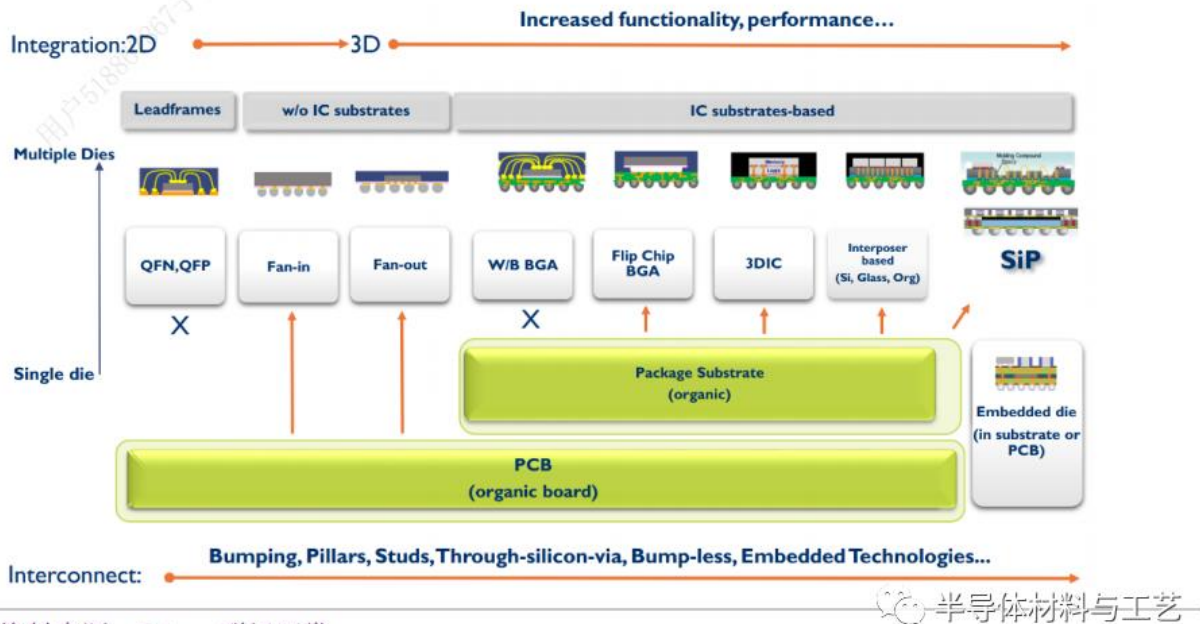
晶圆代工厂制造完成的晶圆在出厂前会经过一道电性测试，称为晶圆可接受度测试 (Wafer Acceptance Test, WAT)，WAT测试通过的晶圆被送去封测厂。封测厂首先对晶圆进行中测 (Chip Probe, CP)。由于工艺原因会引入各种制造缺陷，导致晶圆上的裸Die中会有一些量的残次品，CP测试的目的就是在封装前将这些残次品找出来，缩减后续封测的成本。在完成晶圆制造后，通过探针与芯片上的焊盘接触，进行芯片功能的测试，同时标记不合格芯片并在切割后进行筛选。CP测试完成后进入封装环节，封装工艺流程一般可以分为两个部分，用塑料封装之前的工艺步骤称为前段操作，在成型之后的工艺步骤称为后段操作。基本工艺流程包括晶圆减薄、晶圆切割、芯片贴装、固化、芯片互连、注塑成型、去飞边毛刺、上焊锡、切筋成型、打码等。因封装技术不同，工艺流程会有所差异，且封

装过程中也会进行检测。封装完成后的产品还需要进行终测（Final Test, FT），通过FT测试的产品才能对外出货。

2、封装技术不断演进

封装技术正逐渐从传统的引线框架、引线键合向倒装芯片、硅通孔、**嵌入式封装**（ED, Embedded Die Package）、扇入/扇外型晶圆级封装、SiP封装、系统级封装（SoP, System on Package）等先进封装技术演进。芯片的尺寸继续缩小，引脚数量不断增加，集成度持续提升。

图表：先进封装技术

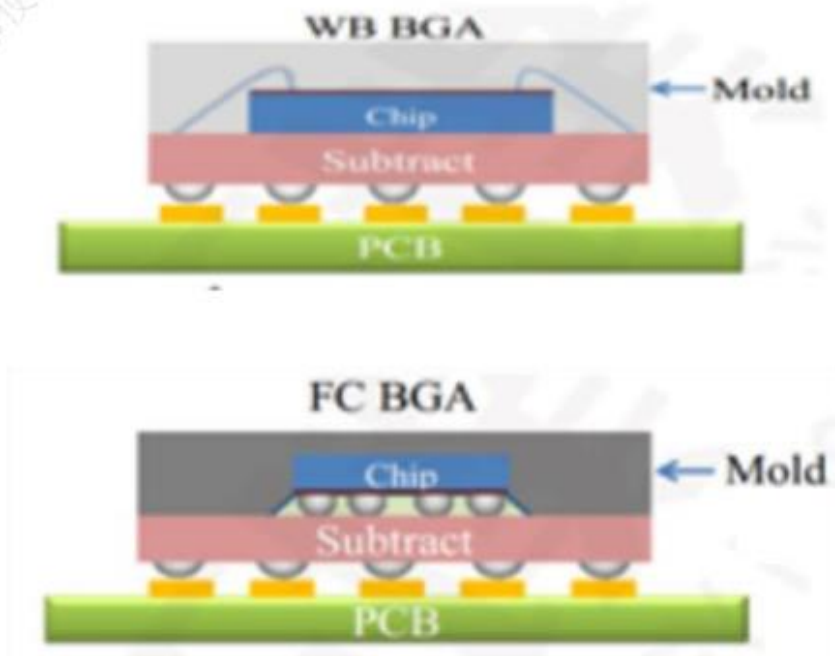


资料来源：Yole、联讯证券

半导体材料与工艺

倒装芯片与传统的引线键合技术的区别在于前者将芯片面朝下，与基板直接通过焊球连接，不再需要引线，芯片与外部电路的距离缩短。芯片I/O密度提高、尺寸缩小、**电气性能改善**。

图：WB BGA 和 FC BGA 示意图

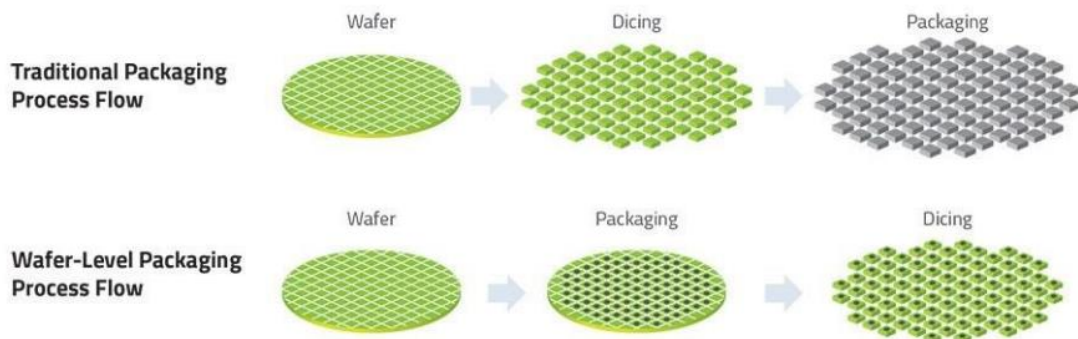


资料来源：拓璞产业研究所，华金证券研究所

半导体材料与工艺

晶圆级封装通常直接在晶圆上进行大部分或全部封测工艺，再切割成单颗芯片。再分布层(RDL, Redistribution Layer)与凸块(Bump)技术为其I/O布线的一般选择，由此无需使用IC载板，从而降低了厚度和成本。

图：晶圆级封装与传统封装对比



资料来源：Semiconductor Engineering，华金证券研究所

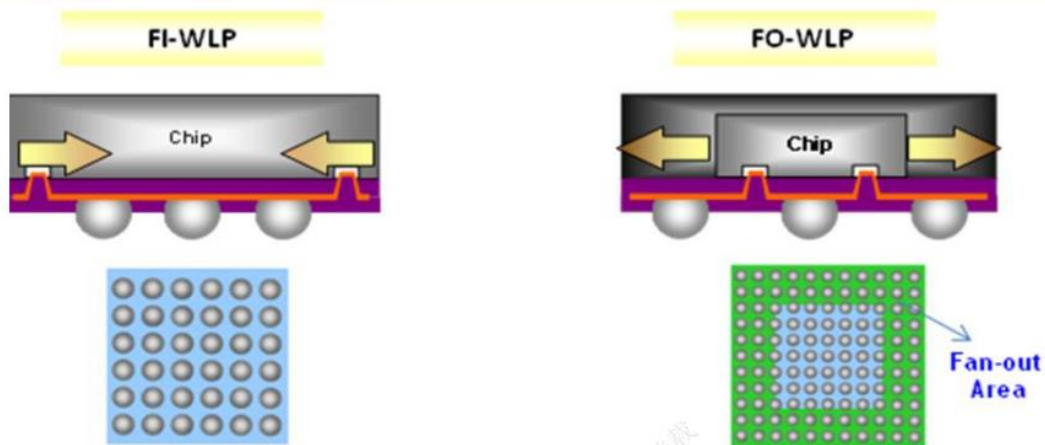
半导体材料与工艺

晶圆级封装可以实现较小尺寸封装，如：芯片尺寸封装（CSP，Chip Scale Package）。由于引脚全部位于芯片下方，I/O数受到限制，该类型一般又称为晶圆级芯片尺寸封装（WLCSP，Wafer

Level Chip Scale Package) 或扇入型晶圆级封装 (Fan-In WLP)。目前多用于低引脚数消费类芯片。

WLP可分为扇入型晶圆级封装 (Fan-In WLP) 和扇外型晶圆级封装 (Fan-Out WLP) 两大类。扇入型直接在晶圆上进行封装，封装完成后进行切割，布线均在芯片尺寸内完成，封装大小和芯片尺寸相同；扇外型则基于晶圆重构技术，将切割后的各芯片重新布置到人工载板上，芯片间距离视需求而定，之后再行晶圆级封装，最后再切割，布线可在芯片内和芯片外，得到的封装面积一般大于芯片面积，但可提供的I/O数量增加。

图：扇入型和扇外型晶圆级封装对比



资料来源：砂品官网，华金证券研究所

半导体材料与工艺

随着I/O数目增加，焊球间距不断减小。持续降低焊球间距将会导致下游PCB制造成本增加。扇外型晶圆级封装 (Fan-Out WLP) 应运而生。

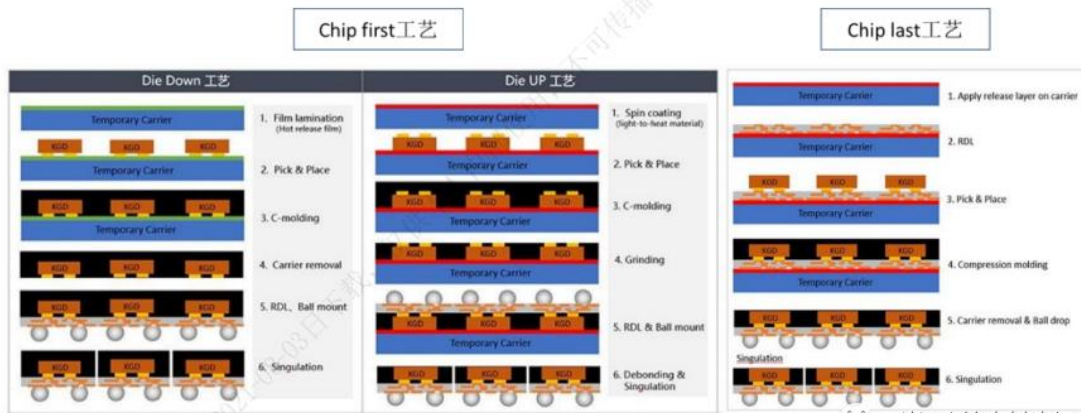
扇出 (Fan Out, FO) 是相对扇入而言，“扇入”只能向内走线，而在扇外型封装中，既可以向内走线，也可以向外走线，从而可以实现更多的I/O，以及更薄的封装。目前量产最多的是晶圆级扇外型产品。

扇外型封装工艺主要分为Chip first和Chip last两大类，其中Chip first又分Die down和Die up两种。

扇外型封装生产工艺的关键步骤包括芯片放置、封装和布线。芯片放置对速度和精度的要求很高，放置速度直接决定生产效率，从而影响制造成本；放置精度也是决定后续布线精度的关键性因素。封装需要对封装材料进行填充和加热，这一过程不仅可能导致已放置好的芯片发生移位，还有可能因封装

材料与芯片的膨胀系数的不同而造成翘曲，这两者都会影响后续的布线环节。布线成功率是决定最终封装成品率的关键因素，另一方面，布线设备是整个生产设备中最昂贵的，对制造成本的影响很大。

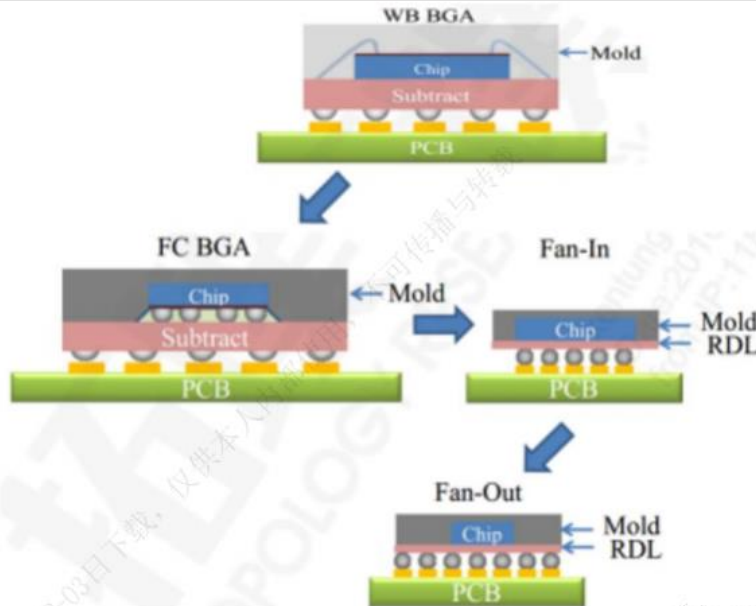
图：扇外型封装工艺



资料来源：网络图片，华金证券研究所

Fan-Out是指通过再分布层将I/O凸块扩展至芯片周边，在满足I/O数增大的前提下又不至于使焊球间距过小而影响PCB工艺。Fan-Out封装是近期先进封装技术中的热门话题。台积电的InFO（Integrated Fan Out）封装技术用于iPhone处理器。

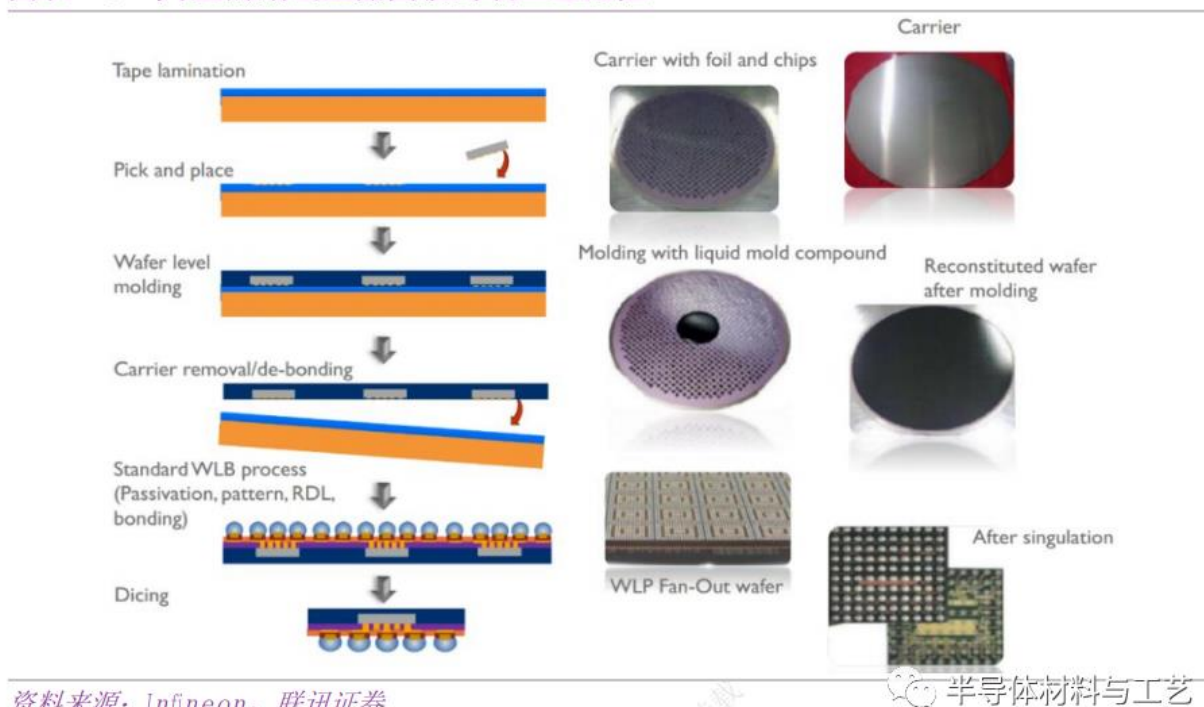
图表：传统封装向倒装芯片、晶圆级封装演进



资料来源：拓璞产业研究院、联讯证券

扇外型晶圆级封装的优势在于缩小芯片尺寸，降低成本（无需载板），散热、能耗及性能方面较倒装也有改善。工艺上也面临着加工过程中翘曲、裸晶在载板上的位置精度、裸晶与载板界面处的平整性、多芯片封装等问题。

图表：典型的扇外型晶圆级封装工艺流程



资料来源：Infineon、联讯证券

半导体材料与工艺

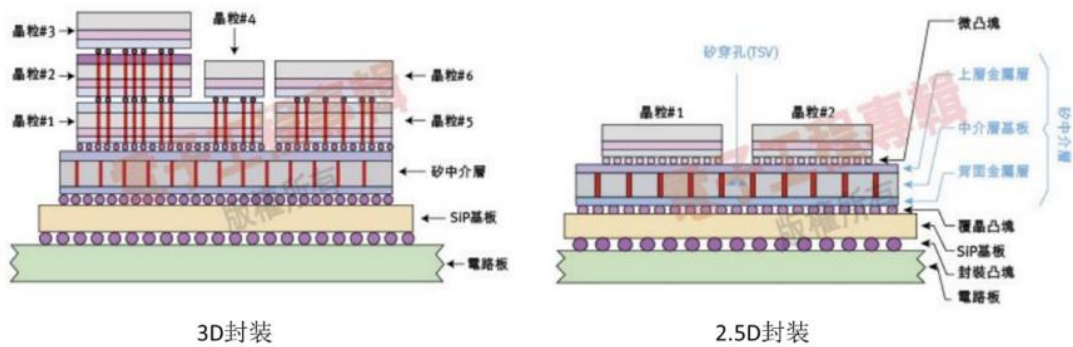
硅通孔技术（TSV）是指在晶圆片上打孔，在孔中填充导电材料实现芯片之间、芯片与外部之间互联的技术，被认为是目前半导体行业最先进的技术之一。硅通孔技术具有互连距离短、集成度高的优点，能够使芯片在三维空间堆叠密度最大，并提升芯片性能、降低功耗、缩小尺寸。该技术是实现异质集成的重要手段，未来将广泛的用于2.5D/3D IC。

3D封装又称为叠层**芯片封装**技术，是指在不改变封装体尺寸的前提下，在同一个封装体内于垂直方向叠放两个以上芯片的封装技术，它起源于快闪存储器(NOR/NAND)及SD**RAM**的叠层封装，可以实现不同类型芯片的异质集成，目前在存储芯片上已有较多应用。

3D封装可采用凸块或硅通孔技术（Through Silicon Via, TSV），TSV是利用垂直硅通孔完成芯片间互连的方法，由于连接距离更短、强度更高，能实现更小更薄而性能更好、密度更高、尺寸和重量明显减小的封装，而且还能用于异种芯片之间的互连。

2.5D封装是在基板和芯片之间放一个硅中间层，这个中间层通过TSV连接上下部分。

图 1: 3D/2.5D 封装



资料来源: 网络图片, 华金证券研究所

根据国际半导体路线组织 (ITRS, International Technology Roadmap for Semiconductors) 的定义, SiP是对不同芯片进行并排或叠加的封装方式。叠加的芯片可以是多个具有不同功能的有源电子元件与/或无源器件, 也可以是MEMS或者光学器件。封装在一起之后成为可以实现一定功能的系统。

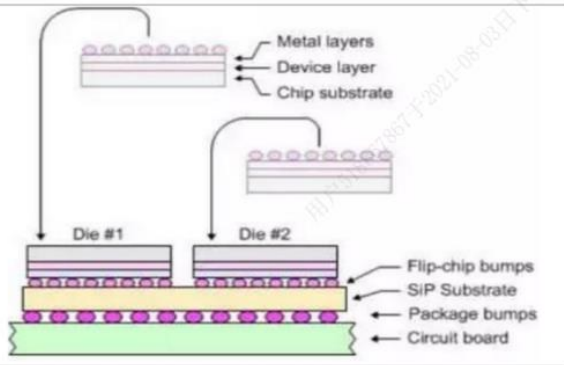
图表 1: SiP 封装类型

Package Structure	Solutions
Horizontal Placement 	W/B, Flip Chip
Stacked Structure 	W/B, W/B+FC, PiP, PoP
Embedded Structure 	LTCC, Embedded Passives, IPD
Advanced Technology 	Embedded Chip, TSV, Multi-Chip Fan-Out WLP, 3D Fan-Out WLP, 2.5D Interposer

资料来源: 拓璞产业研究院 (2016.9)、联讯证券

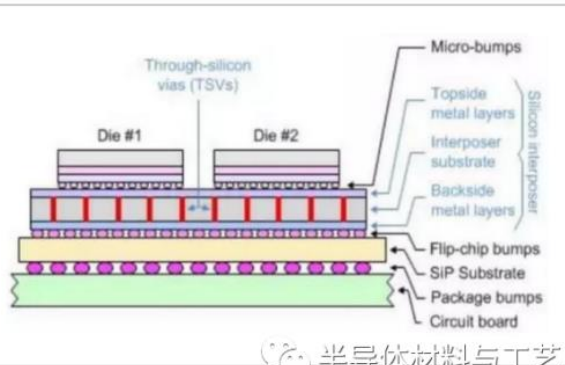
相对简单的Side by Side的多芯片模组 (MCM, Multi-chip Module) 技术 (2D Package)、更复杂的多芯片封装 (MCP, Multi-chip Package) 技术、芯片堆叠(Stack Die)技术等均可以用来构建集成多种功能的SiP系统 (2.5D/3D IC)。SiP可以有效突破SoC在整合芯片过程中的限制, 大幅降低设计端和制造端成本, 同时具备定制化的灵活性。SiP在超越摩尔的发展路径中具有十分重要的地位。

图表：2D IC/SiP 封装



资料来源：网络资料、联讯证券

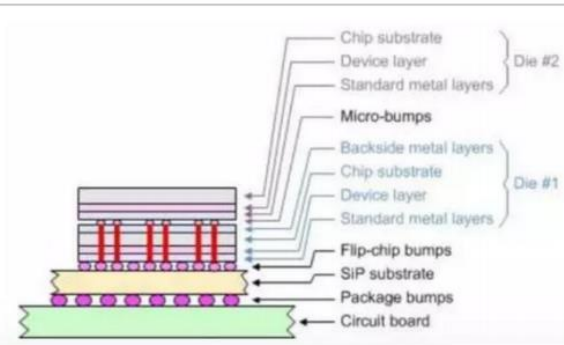
图表：2.5D IC/SiP 封装



资料来源：网络资料、联讯证券

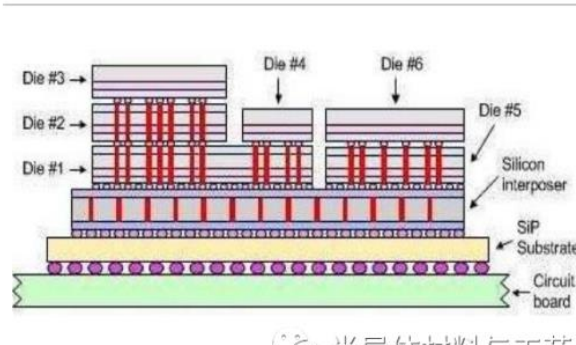
台积电推出的InFO和CoWoS (Chip-on-Wafer-on-Substrate) 属于2.5D IC封装。该技术是把不同的芯片集成在一块硅载板 (silicon interposer) 上，并在载板上布线实现互连。CoWoS针对高端市场，连线数量和封装尺寸都比较大。InFO针对性价比市场，封装尺寸较小，连线数量也比较少。2.5D比3D IC封装成本更低，但是堆叠芯片的3D封装比同样的SiP系统的2.5D封装尺寸更小。此外堆叠芯片还可以带来功耗降低、传输速率提升等性能方面的改善。

图表：3D IC/SiP 封装



资料来源：网络资料、联讯证券

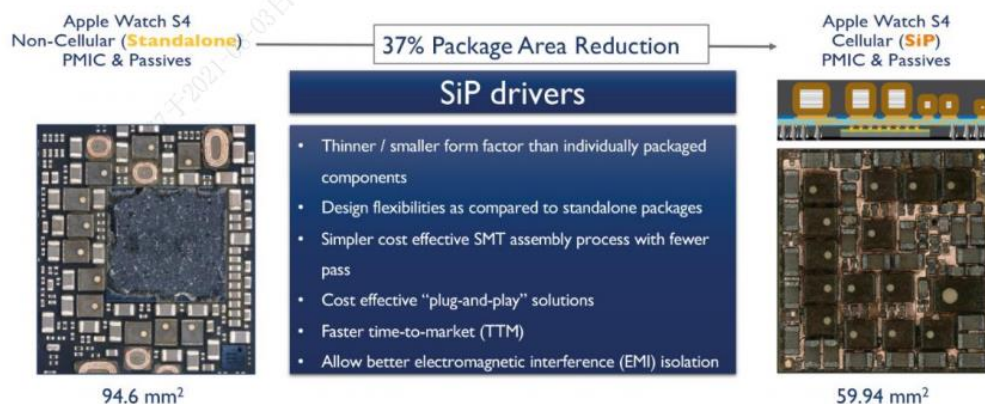
图表：复杂度更高的 3D IC/SiP 封装



资料来源：网络资料、联讯证券

SoC (系统级芯片, System-on-a-Chip) 与SiP的区别在于SoC的集成是从晶圆片上制作出来，而SiP的集成是将不同的芯片或裸晶 (Die) 封装在一起。目前高端数字工艺 (例如16nm FinFET) 用于模拟和射频模块并不适合。首先高端工艺的额定电源电压很低，导致模拟/射频模块设计非常困难。其次高端工艺的掩模制造成本非常高，而模拟/射频模块的晶体管密度远低于数字模块，使用高端工艺制造模拟/射频模块并不划算。采用SoC方式集成研制难度大、开发时间长、制造成本高。因此采用先进封装技术将高端工艺制造的数字模块，比较成熟的工艺来实现模拟/射频模块，用硅通孔等技术实现模块间互连，封装在一起形成SiP系统，可以加快开发速度，制造低成本和高集成的芯片。

图：SiP 封装大幅减小面积



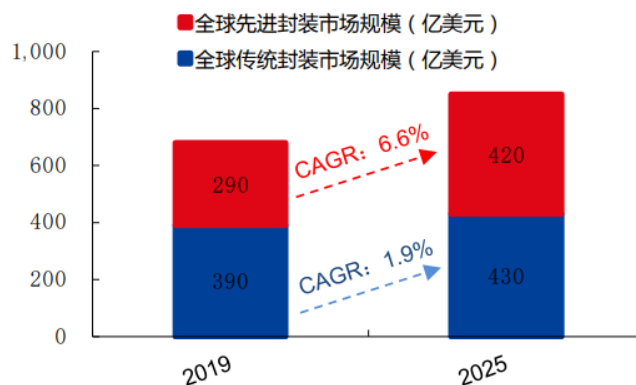
资料来源: Yole Development, 华金证券研究所

半导体材料与工艺

3、先进封装市场规模

摩尔定律的放缓、异质集成和各种大趋势（包括5G、AI、HPC、物联网等）推动着先进封装市场强势发展。根据Yole的数据，2019年全球先进封装市场规模约290亿美元，预计2025年增长到420亿美元，年均复合增速约6.6%，高于整体封装市场4%的增速和传统封装市场1.9%的增速。

图：先进封装市场规模

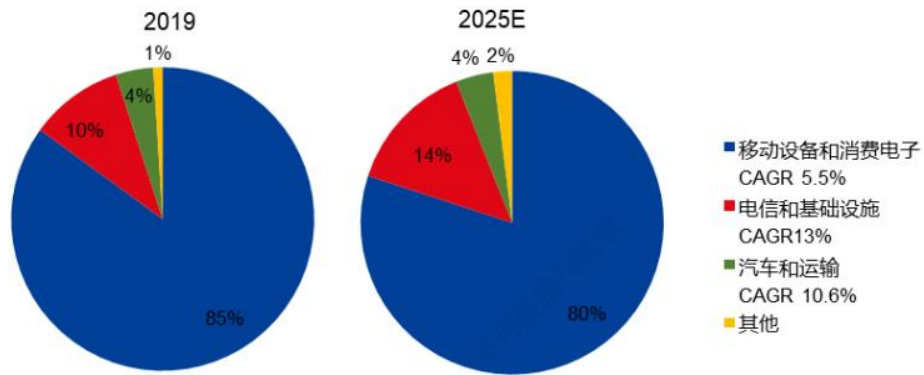


资料来源: Yole, 华金证券研究所

半导体材料与工艺

从下游应用市场来看，移动设备和消费电子对集成度要求高，是先进封装最大的细分市场，2019年占比达85%，2019-2025的CAGR为5.5%，略低于整体增速，2025年将占先进封装市场的80%。电信和基础设施是先进封装市场中增长最快的细分市场，CAGR约为13%，市场份额将从2019年的10%增至2025年的14%。汽车与运输细分市场在2019年至2025年期间将以10.6%的CAGR增长，到2025年达到约19亿美元，但其在先进封装市场中所占的份额仍将持平，约4%。

图：先进封装应用领域分布

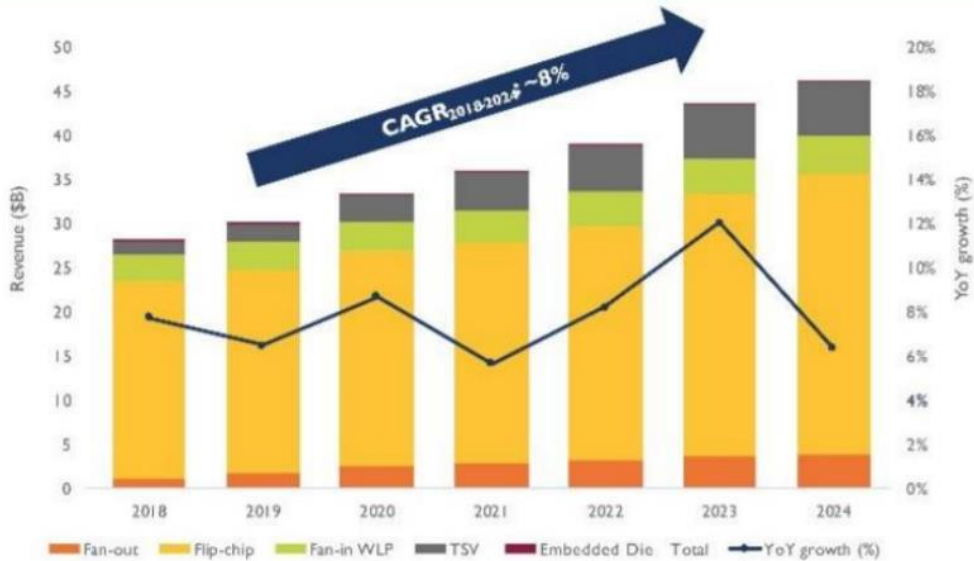


资料来源: Yole, 华金证券研究所

半导体材料与工艺

从技术分类来看, 3D堆叠封装、嵌入式芯片封装、扇外型封装在2019年到2025年的增速更高, CAGR分别为21%、18%、16%。扇外型技术进入移动设备、网络和汽车领域; 3D堆叠技术进入AI/ML、HPC、数据中心、CIS、MEMS/传感器领域; 嵌入式芯片封装进入移动设备、汽车和基站领域。

图：2018-2024年先进封装市场规模预测

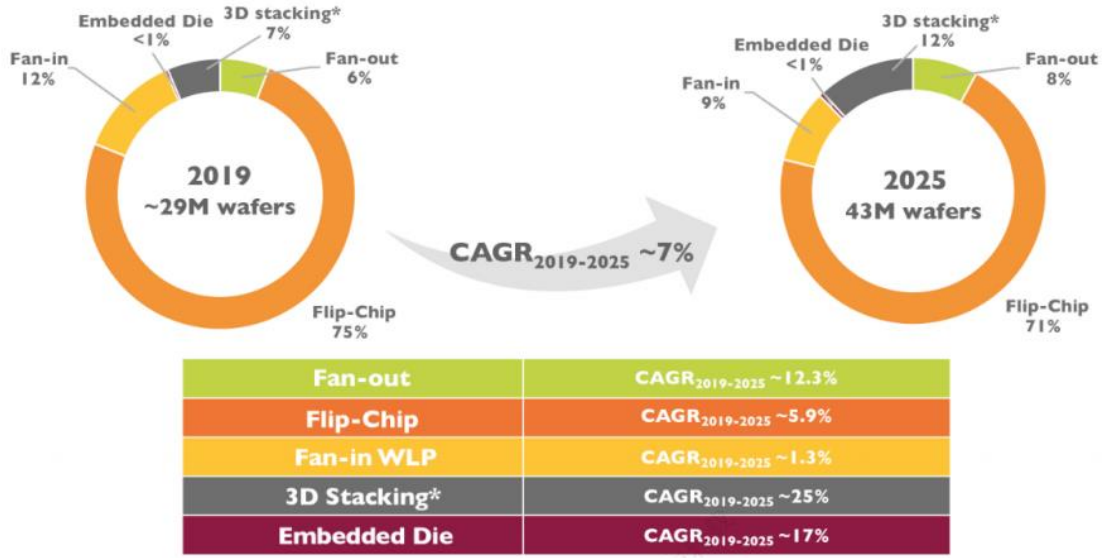


资料来源: Yole, 华金证券研究所

半导体材料与工艺

从晶圆数来看, 2019年约2900万片晶圆采用先进封装, 到2025年增长为4300万片, 年均复合增速为7%。其中倒装技术占比最高, 3D封装增速最快。

图：先进封装晶圆数（折合成 8 寸）



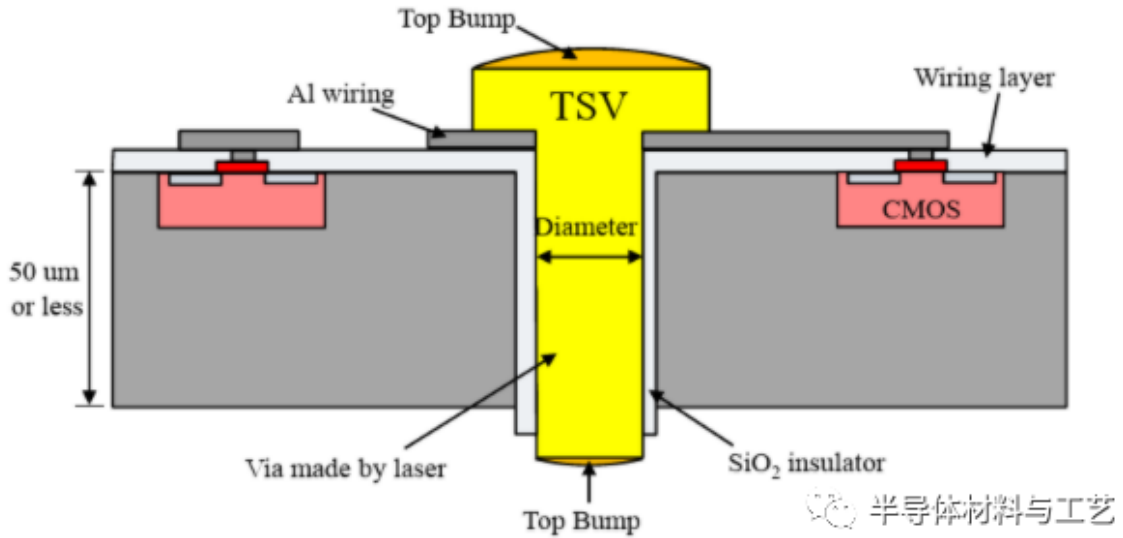
*3D stacking includes portion of wafers not included in Flip-Chip or Fan-in
 **Values represent packaging services (assembly and test) and do not include materials

资料来源: Yole Development, 华金证券研究所

三、硅通孔技术 (TSV)

TSV 互连具有缩短路径和更薄的封装尺寸等优点，被认为是三维集成的核心技术。

TSV 结构如下图所示，在硅板上面有加工完成的通孔；在通孔内由内到外依次为电镀铜柱、绝缘层和阻挡层。绝缘层的作用是将硅板和填充的导电材料之间进行隔离绝缘，材料通常选用二氧化硅。由于铜原子在 TSV 制造工艺流程中可能会穿透二氧化硅绝缘层，导致封装器件产品性能的下降甚至失效，一般用化学稳定性较高的金属材料在电镀铜和绝缘层之间加工阻挡层。最后是由于信号导通的电镀铜。



在三维集成中 TSV 技术可分为三种类型：在 CMOS 工艺过程之前在硅片上完成通孔制作和导电材料填充的是先通孔技术；而中通孔，在 CMOS 制程之后和后端制程（BEOL）之前制作通孔。最后一种后通孔技术是在 CMOS 工艺完成后但未进行减薄处理时制作通孔。最终技术方案的选择要根据不同的生产需求。

	步骤 1	步骤 2	步骤 3	步骤 3	步骤 5
前通孔	TSV 刻蚀	TSV 填充	前道制程 10000 °C	后道制程 450 °C	键合后减薄
中通孔	前道制程 10000 °C	TSV 刻蚀	TSV 填充	后道制程 450 °C	键合后减薄
后通孔	前道制程 10000 °C	后道制程 450 °C	键合后减薄	TSV 刻蚀	TSV 填充

1、TSV 制造的工艺流程

TSV 制造的工艺流程举例如下：

步骤1：首先在晶圆上制作IC组件(Devices)。

步骤2：使用化学机械研磨(CMP)制程，将氧化物(Oxide)进行平坦化。

步骤3：蚀刻介电堆积层(Dielectric Stack)。

步骤4：将硅蚀刻达深度4~9 μm 。

步骤5：沉积氧化物(Oxide)和氮化物(SiN)层，以作为阻障层(Barrier Layer)及钝化层(Passivation Layer)。

步骤6及7：制作沟渠(Trench)和导孔(Via)，以作为晶圆间之接合(Bonding)使用。

步骤8及9：沉积Ta或TaN阻障层(Barrier Layer)，铜晶种层(Copper Seed Layer)，接着进行电镀铜以填充导孔(Via Filling)，使用化学机械研磨(CMP)制程，去除多余之Ta层及铜，此时以完成晶圆后段导线制程(Backend of the Line; BEOL)，包括结合铝与铜导线层。

步骤10：在铜垫上沉积无电镀金属层(Electroless Metal Deposition)，或去除介电层(Dielectric Layer)，以形成晶圆对晶圆(Wafer to Wafer)之接合垫。

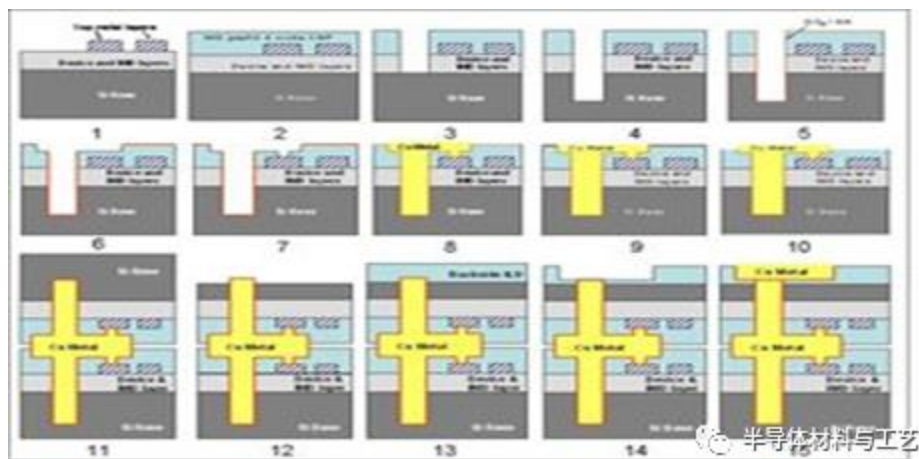
步骤11：制作铜对铜(Copper to Copper)之热扩散接合(Thermal Diffusion Bonding)。

步骤12：使用化学机械研磨(CMP)及研磨(Grinding)方式，将上层晶圆进行薄化(Thinning)，并以化学蚀刻法(Chemical Etching)去除12 μm 厚度的硅。

步骤13：使用PE-CVD沉积氧化物于薄化晶圆之背面，如此可防止上层晶圆因进行整合堆栈另一片晶圆时，所造成硅之污染。

步骤14：进行氧化层蚀刻，以形成沟渠(Trench)，接着沉积铜，以作为导线连接之使用。

步骤15：形成铜垫(Copper Pad)，以作为上层晶圆进行晶圆堆栈之接合点。



2、TSV制作流程中关键技术

2.1 TSV 刻蚀

TSV 刻蚀是三维集成的关键技术，并且目前深硅刻蚀首选技术为干法刻蚀或称**博世刻蚀**。博世刻蚀工艺的刻蚀速率高达 $5 \sim 10 \mu\text{m} / \text{min}$ ，对光刻胶的选择性为 $50 \sim 100$ ，对氧化物掩膜的刻蚀率高达 200。博世工艺包括以下流程：（1）利用六氟化硫(SF_6)作为蚀刻剂进行硅刻蚀；（2）填充八氟环丁烷 (C_4F_8) 气体，以产生良好的钝化膜来保护刻蚀出的侧壁；（3）用定向离子进一步刻蚀六氟化硫 (SF_6)等离子体中的钝化层和硅层。然后，使用 O_2 和 Ar 等离子体清洗钝化层。然而，这种工艺造成侧壁缺口粗糙，可能会造成接下来的步骤出现差错，引发漏电和可靠性问题。在深硅刻蚀中，侧壁粗糙度受刻蚀和钝化到两个流程的影响。侧壁粗糙会增大 TSV 的空隙，进而影响到绝缘层、阻挡层和铜种子层的覆盖范围。因此，随着 TSV 尺寸的减小，侧壁糙度需要控制在最小。

2.2 TSV绝缘层

TSV 的金属填充需要用到绝缘层来对硅衬底进行充分的电气隔离。绝缘层的工艺要求包括良好的阶梯覆盖率，无漏电流，低应力，高击穿电压，以及不同的 TSV 集成引起的加工温度的限制。二氧化硅 (SiO_2) 或氮化硅 (Si_3N_4) 是常用于等离子体增强化学气相沉积 (PECVD) 或减压化学气相沉积 (SACVD) 的绝缘层。然而，当 TSV 直径小于 $3 \mu\text{m}$ 时，绝缘层更适用于原子层沉积 (ALD)。ALD 有几个优势，如较低的热预算，比现有流程更好的阶梯覆盖率，无需再进行表面处理，并且由于较薄的绝缘层，降低了 TSV 的 CMP 加工时间。

2.3 TSV阻挡层和种子层

接下来的过程是阻挡层沉积，目的是防止铜原子在温度 400 °C 下的退火过程的 TSV 中扩散。另外，阻挡层也作为绝缘层和铜层之间的粘合层。常见的作为阻挡层的材料是 Ti、Ta、TaN、TiN；根据 TSV 的尺寸来选择物理气相沉积（PVD）、化学气相沉积（CVD）或原子层沉积（ALD）法来实现。

金属阻挡层使用 PVD 沉积，如钽和钛。温度要求低是这种方法最大的特点，但是其阶梯覆盖率也低，很容易产生较高纵横比 (>10:1) 的 TSV[6]。沉积较厚的金属阻挡层可以克服阶梯覆盖低的缺点，但会使生产成本变高。TiN 或 TiN 阻挡层可以用化学气相沉积法沉积，具有均匀性好的优点、但需要较高的加工温度。

在下面的过程中，铜种子通常采用物理气相沉积法沉积在 TSV 中。在 IMEC 研究中，采用 ALD 法 TiN 作为阻挡层，制造了均匀性约 80%，尺寸 2×30 μm 的 TSV（纵横比 =15）。成本和减少阻挡层和种子层过程的热预算是 TSV 应用中的关键挑战。

在后端工序互联之后用于设备可靠性检测的温度是一个值得关注的问题。采用低温下进行的全湿法对高纵横比的 TSV 的阻挡层和铜种子层实现无电镀沉积，用金纳米粒子（Au NPs）或钯纳米粒子（Pd NPs）作为催化剂实现钴-钨和铜的阻挡层/种子层的无电镀沉积。一个 TSV 不同位置的吸附钯纳米粒子在室温下 3 小时后的形态，如图 3 所示。Pd NPs 沉积均匀地分布在整个尺寸为 2×24 μm 的 TSV 中，没有观察到钯结块。尽管全湿法阻挡层和种子层在较低温度下有较好的阶梯覆盖率，但它的可靠性还需要更多的实验来证明。

2.4 TSV 填充

TSV 填充电镀铜有三种方法：共形电镀，自下而上的密封凸点电镀，和超共形电镀。电镀方法是以各种三维集成应用为基础的。总的来说，TSV 的结构是深度在 10 到 200 μm 之前的典型的圆柱形孔。TSV 的深度取决于芯片或晶圆键合时的所需厚度，而 TSV 纵横比的大小则由介电膜、阻挡层和种子层和填充过程决定的。

2.4.1 共形电镀

共形度铜与晶圆级芯片规模封装中线路镀铜相似。以 CIS 应用作为一个例子，它的主要过程包括硅的深反应离子刻蚀到 CMOS 金属层，通孔的氧化物隔离，阻挡层和种子层 PVD 沉积，最后对 RDL 共形镀铜。在抗蚀剂掩模中铜厚 5~10 μm。然而，由于铜种子层的不连续性，仅有纵横比为 3 的 TSV 得以应用。

2.4.2 自下而上密封凸点电镀

TSV 自下而上密封凸点电镀法的一个优点是能够有效避免通孔填充过程中产生空隙。此外，自下而上填充法适合后通孔工艺。它通常需要在底部的铜种子层的临时键合或粘贴技术来完成填充过程。载体晶圆的去除会带来额外的花费和可靠性问题，因此有一种新型的 TSV 自下而上密封凸点电镀铜填充法。该工艺流程为：

(1) TSV 刻蚀，(2) 减薄，(3) 氧化隔离，(4) 种子层沉积，(5) 光刻胶标记，(6) 制造密封凸点，(7) TSV 凸点电镀，(8) 最终刻蚀。扫描电镜、光学显微镜和 X 射线分析都能观察到，自下而上填充法不会产生缺陷。

2.4.3 超共形电镀

超共形电镀铜填充的适用尺寸有较大的范围，从镶嵌尺寸到用于应用设备的较大尺寸。通过 X 射线观测到铜覆盖层和阻挡层用 CMP 去除后，TSV 中没有缝隙。

此外，三步 PPR [电流](#)波形法减少了铜填充时间和 TSV 填充的缺陷。然而，由于使用可以减少通孔侧壁铜离子的脉冲反向电流，填充高纵横比的 TSV 需要很长的时间。因此，三维集成中缩短 TSV 填充时间是很有必要的。提高充填效率的优化方法有多种，包括阳极位置优化，多级 TSV 填充，电镀电流密度优化。

最后，使用 CMP 来去除晶片表面的铜覆盖层和阻挡层。总的来说，这项技术需要两个步骤。第一步是去除通孔填充后的厚的铜凹坑或凹槽，到阻挡层停止。第二步是去除阻挡层，到绝缘层停止。选择不同的浆料来实现隔离，避免凹陷和侵蚀。

2.5 TSV铜暴露

另一个关键步骤是由于铜材料和硅衬底之间热膨胀系数不匹配带来的 TSV 挤压或 TSV 凸点问题。铜的热膨胀系数为 17.6 ppm / °C，高于硅的 2.6 ppm / °C，引起电介质层开裂和分层等可靠性问题。通过对一系列不同条件下退火工艺的实验，得出了退火工艺的影响。Cu 从退火温度在 350 °C 开始凸起，一直到 450 °C。铜的突出现象，有两种可能的机制。第一个机制是在退火过程中垂直扩展的铜材料塑性变形。第二种机制是由于当 TSV 中应力分布不均匀引起的扩散蠕变。通过对电镀工艺之后的 TSV 进行适当的预退火处理来减少硅应力是很有必要的，然后，用 CMP 去除多余铜。

3、TSV制程关键工艺设备

TSV制作工艺包括以下几步：通孔制作；绝缘层、阻挡层和种子层的沉积；铜填充；通过化学机械抛光去除多余的金属；晶圆减薄；晶圆键合等。

每一步工艺都有相当的技术难度，在通孔制作步骤，保持孔的形状和控制角度非常重要，通过Bosch工艺来实现深孔刻蚀；在沉积绝缘层、阻挡层和种子层时，需要考虑各层的均匀性和粘附性；铜填充时必须避免空洞等缺陷，这样填充的铜可以在叠层器件较高的温度下保持正常的电性能；一旦完成了铜填充，则需要对晶圆进行减薄；最后是进行晶圆键合。

TSV制作流程会涉及到深刻蚀、PVD、CVD、铜填充、微凸点及RDL电镀、清洗、减薄、键合等二十余种设备，其中通孔制作、绝缘层/阻挡层/种子层的沉积、铜填充、晶圆减薄、晶圆键合等工序涉及的设备最为关键，在某种程度上直接决定了TSV的性能指标。

3.1 深硅刻蚀设备

通常情况下，制造硅通孔（经常穿透多层金属和绝缘材料）采用深反应离子刻蚀技术（DRIE），常用的深硅刻蚀技术又称为“Bosch（博氏）”工艺，有最初发明该项技术的公司命名。

如下图所示，一个标准Bosch工艺循环包括选择性刻蚀和钝化两个步骤，其中选择性刻蚀过程采用的是SF₆和O₂两种气体，钝化过程采用的是C₄F₈气体。在Bosch工艺过程中，首先利用SF₆等离子体刻蚀硅衬底，接着利用C₄F₈等离子体作为钝化物沉积在硅衬底上，在这些气体中加入O₂等离子体，能够有效控制刻蚀速率与选择性。因此，在Bosch刻蚀过程中很自然地形成了贝壳状的刻蚀侧壁。

目前深硅刻蚀设备主要由美国应用材料、泛林半导体等设备厂商控制。从国内看，近年来在国家科技重大专项支持下，中微半导体、北方微电子等厂家研制的深硅等离子刻蚀机可以投入硅通孔刻蚀的研发及量产中。尤其DSE200系列刻蚀机是北方微电子公司于2012年推出的首款深硅等离子刻蚀机，该刻蚀机能实现高达50:1的硅高深宽比刻蚀，并同时实现优良的侧壁形貌控制、稳定的均匀性、极高的刻蚀选择比。



图 ICP-PECVD 沉积反应腔室示意图

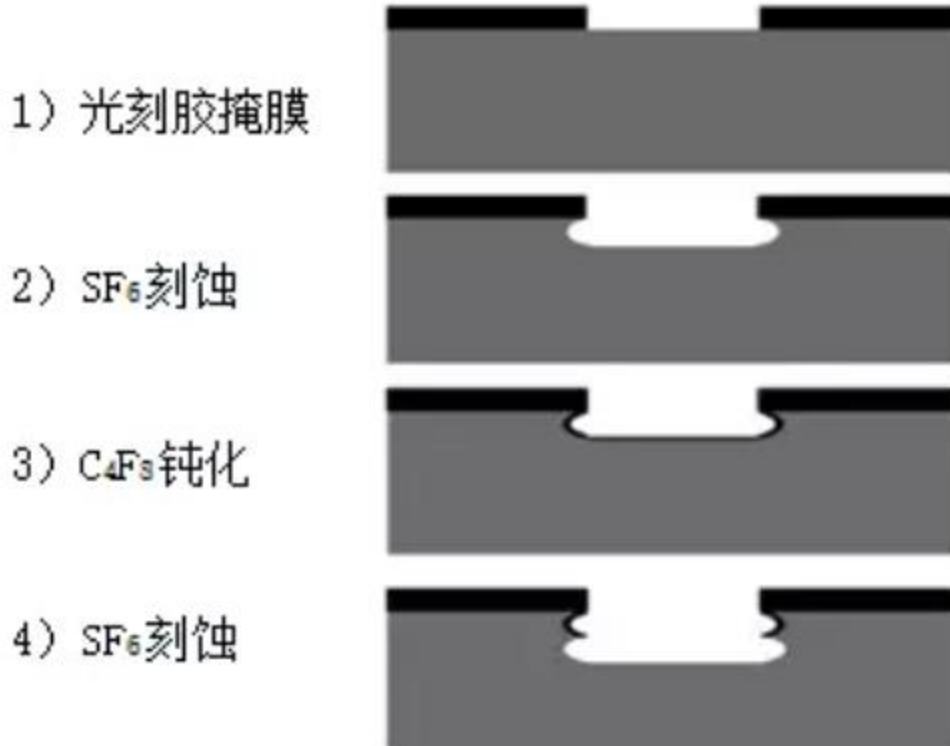


图 Bosch 工艺原理图

3.2 PVD/CVD沉积设备

硅通孔形成后，通过等离子体增强化学气相沉积法（PECVD）在硅孔内表面沉积一层绝缘材料SiO₂，工艺温度低，在100~400℃进行沉积，是TSV孔绝缘的主流技术之一。近年来ICP-PECVD新型等离子气相增强化学沉积设备被引入进行TSV孔绝缘层的填充，与常规PECVD不同之处在于，其射频功率通过电感耦合至工艺腔室，配合耦合至反应室衬底的射频源可以提高反应离子的方向性，典型的ICP-PECVD工艺腔设计如下图所示。ICP-PECVD沉积SiO₂的工艺温度低至20~100℃，反应离子浓度高，有助于提高对TSV孔的填充效率。

绝缘层做好后，通过物理气相沉积法（PVD）沉积金属扩散阻挡层和种子层，为后续的铜填充做好准备。如果填充材料为多晶硅或者钨，则不需要种子层。

后续的电镀铜填充要求TSV侧壁和底部具有连续的阻挡层和种子层。种子层的连续性和均匀性被认为是TSV铜填充最重要的影响因素。根据硅通孔的形状、深宽比及沉积方法不同，种子层的特点也各有不同，种子层沉积的厚度、均匀性和粘合强度是很重要的指标。

3.3 电镀铜填充设备

很多成本模型显示，TSV填充工艺是整个工艺流程中最昂贵的步骤之一。TSV的主要成品率损耗之一是未填满的空洞。电镀铜工艺作为最合适的硅通孔填充技术受到业内的普遍关注，其关键技术在于TSV高深宽比（通常大于10:1）通孔的全填充电镀技术。

国外有诸多公司已经成功研发该项目技术并已形成成熟产品，包括NEXX、TECHNIC、Semitool等公司。尤其是美国NEXX公司是先进封装领域的专用设备供应商，其中Stratus S200（4~8英寸）、S300（8~12英寸）全自动电镀设备已应用于全球各大封装厂家的12英寸及以下规格的晶圆量产生产中，可用于TSV、凸点、UBM、RDL、铜互连等制程。见图。

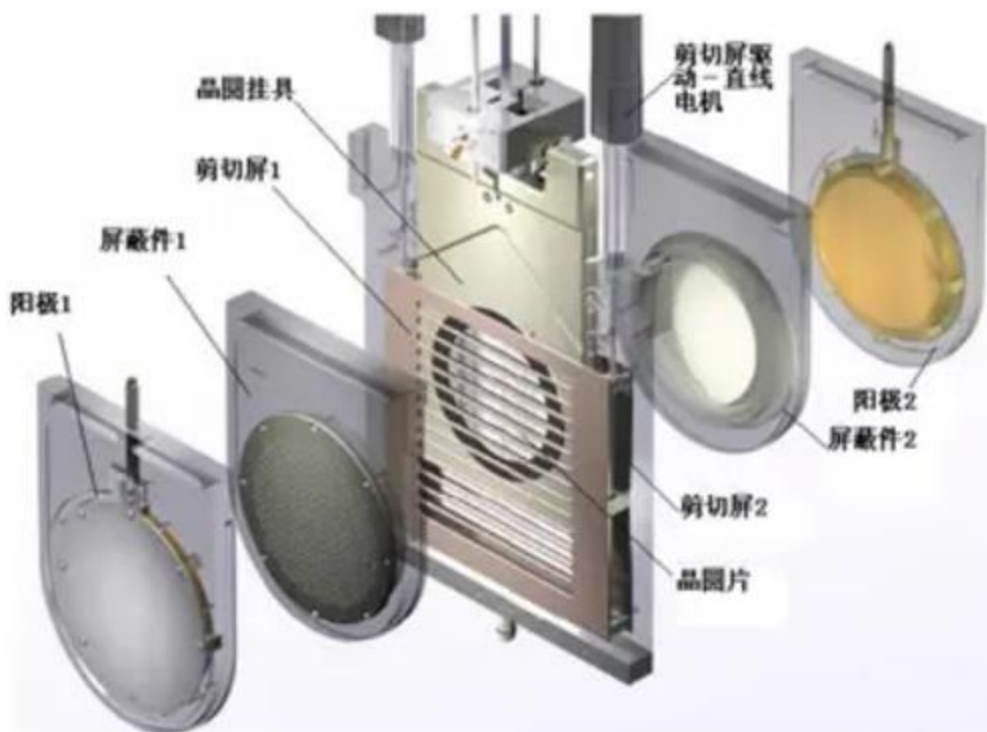


图 垂直剪切镀单元结构示意图

NEXX公司系列电镀设备销往全球，其中亚洲封测厂家占75%。据了解国内封装龙头企业长电、富士通的产线上都在使用Stratus系列设备。该系列设备采用剪切电镀方式，具有镀层均匀、结构紧凑、易于扩展等优点，为封测厂家提供了质量稳定、生产效率高、占地小的一款自动设备。

垂直剪切镀单元作为该设备的核心部分（见图），主要包括阳极、屏蔽件、晶圆夹具、剪切屏及驱动电机等。整体单元框架上分别布置以上各件的安装导槽、提高镀层均匀性的剪切屏、直流导电夹紧机构。各个部件主体均采用氟塑料材质板，单元整体为用螺栓、密封件将各个部件连接组合。

目前国内研究机构在TSV单项技术上取得一些研究结果，但是对于电镀相关工艺设备几乎并无厂家涉及，只有中国电子科技集团公司第二研究所在进行TSV铜填充工艺技术的研究，并有相关实验设备交付客户使用。

3.4 晶圆减薄设备

TSV要求晶圆减薄至50 μm 甚至更薄，要使硅孔底部的铜暴露出来，为下一步的互连做准备。目前晶圆减薄可以通过机械研磨、化学机械抛光、湿法及干法化学处理等不同的加工工序来实现，通过它们之间有机的结合，并优化这几道工序的比例关系，保证晶圆既能减薄到要求的厚度，又要有足够的强度。目前四种主要晶圆减薄方法对比见下表。

表 四种主要晶圆减薄方法比较

工艺	化学机械抛光	湿法刻蚀	干法刻蚀	机械研磨
减薄介质	悬浮硬质颗粒	氢氟酸+硝酸+乙酸	氟气	硅质研磨剂
刻蚀速率/ $\mu\text{m} \cdot \text{min}^{-1}$	1	>10	2	1
刻蚀效率	低	高	中	低
晶圆强度	高	高	高	高
环境污染	硬质颗粒	氮氧化物	六氟化硫	无
运营成本	高/中	高	低	

在要求 < 50 μm 这个厚度上，晶圆很难容忍减薄过程中的磨削对晶圆的损伤及内在应力，其刚性也难以使晶圆保持原有的平整状态，同时后续工艺的晶圆传递、搬送也遇到了很大的问题。目前业界的主流解决方案是采用一体机的思路，将晶圆的磨削、抛光、保护膜去除、划片膜粘贴等工序集合在一台设备内，晶圆从磨片一直到粘贴划片膜为止始终被吸在真空吸盘上，始终保持平整状态，从而解决了搬送的难题。

右图是东京精密公司的一体机PG200/300的基本配置示意图。图中PG部分是磨片和抛光的集成体。通过一个带有4个真空吸盘的大圆盘回转台360°顺时针旋转，使晶圆在不用离开真空吸盘的情况下就可以依次送到粗磨、精磨、抛光等不同的加工工位，完成整个减薄过程。

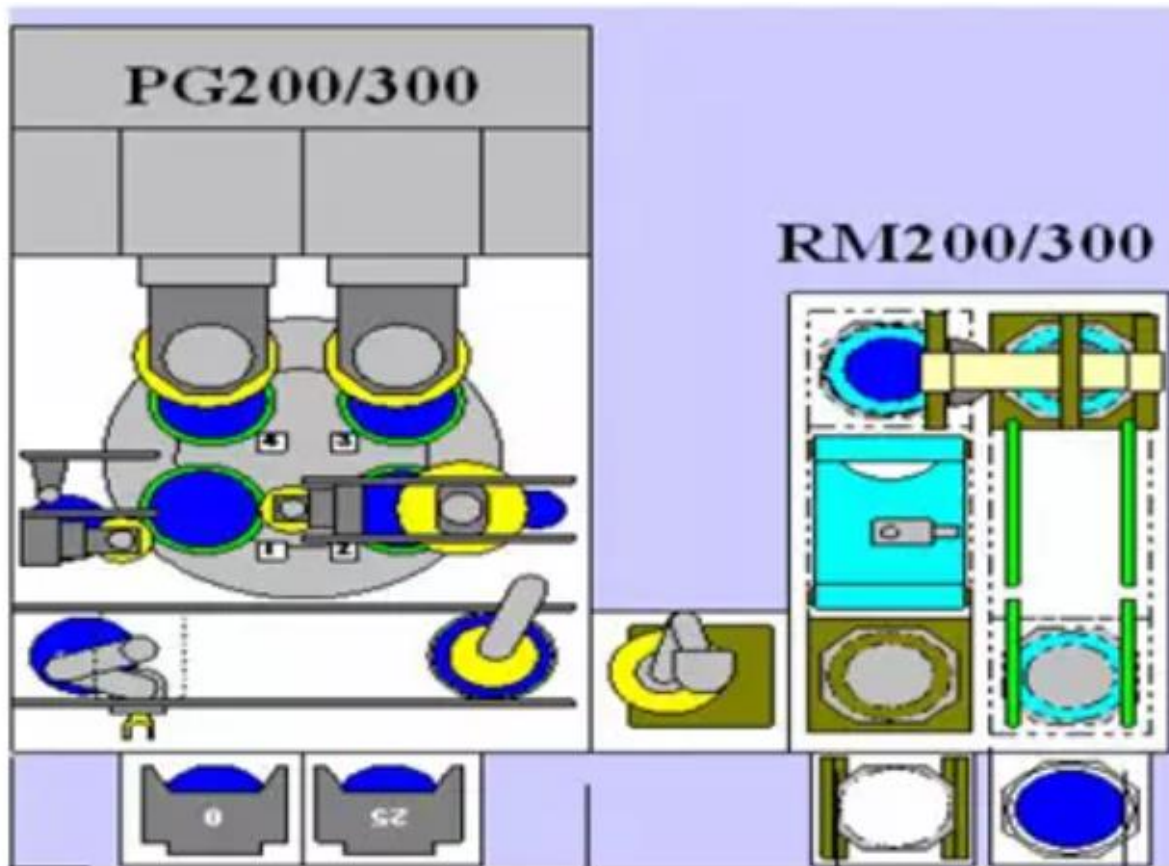


图 东京精密 PG200/300 一体机示意图 微电子制造
半导体材料与工艺

减薄好的晶圆从PG处转移到RM处，它是通过一个多孔陶瓷吸盘来完成。RM部分主要是完成保护膜的去膜和划片膜的粘贴。由于保护膜的剥离需要在晶圆的正面动作，所以必须将晶圆进行反转。由于晶圆厚度很薄，翻转难度很大。东京精密公司把传统剥膜工艺的后续工艺——贴膜工艺前移，利用划片膜粘贴到框架上所具有的平整性和张力来给晶圆提供支撑，从而解决这一问题。

3.5 晶圆键合设备

晶圆键合最初是为MEMS制造工艺而开发，主要作为晶圆级覆盖技术。现在晶圆键合不仅用于覆盖MEMS晶圆，而且也用于堆叠具有不同功能的晶圆，通过TSV实现晶圆的3D堆叠。

目前晶圆键合主要有直接氧化物键合、阳极键合、粘接键合、基于焊料的键合、金属—金属直接键合、超声键合、玻璃介质键合等等。但是，因为CMOS器件热预算的缘故，与TSV互连的CMOS晶圆兼容的键合工艺仅仅局限于直接氧化物键合、金属键合（Cu-Cu或Cu-Sn-Cu）、粘接键合和这几种

方法的组合。其中Cu-Cu直接键合与其它键合方法对比有种种优点：电阻率较低、抗EM较好、互连RC延迟减少，可以同时实现机械和电学的接触界面。

不过，可靠地Cu-Cu键合对于大多数应用仅从高温、[高压](#)和长工艺时间产生，主要是因为它有形成自然氧化物的倾向，对器件可靠性有不利影响。现在，工艺温度高是Cu-Cu直接键合的主要瓶颈之一，因为它给器件可靠性及制造良率产生负面影响。另外，高温下对晶圆之间的对准精度也产生了不利影响。

基于此，领先地晶圆键合设备供应商奥地利EVG公司开发了光学对准、低温Cu-Cu热压键合工艺，对准精度达到了亚微米。

四、玻璃穿孔技术（TGV）

硅基转接板2.5 D集成技术作为先进的系统集成技术，近年来得到迅猛的发展。但硅基转接板存在两个的主要问题：1) 成本高，硅通孔（TSV）制作采用硅刻蚀工艺，随后硅通孔需要氧化绝缘层、薄晶圆的拿持等技术；2) 电学性能差，硅材料属于半导体材料，传输线在传输信号时，信号与衬底材料有较强的电磁耦合效应，衬底中产生涡流现象，造成信号完整度较差（插损、串扰等）。作为另一种可能的替代硅基转接板材料，玻璃通孔（TGV）转接板正在成为半导体企业和科研院所的研究热点。

和TSV相对应的是，作为一种可能替代硅基转接板的材料，玻璃通孔（TGV）三维互连技术因众多优势正在成为当前的研究热点，与硅基板相比，TGV的优势主要体现在：

- 1) 优良的高频电学特性。玻璃材料是一种绝缘体材料，介电常数只有硅材料的1/3左右，损耗因子比硅材料低2-3个数量级，使得衬底损耗和寄生效应大大减小，保证了传输信号的完整性；
- 2) 大尺寸超薄玻璃衬底易于获取。Corning、Asahi以及SCHOTT等玻璃厂商可以提供超大尺寸（>2m × 2m）和超薄（<50μm）的面板玻璃以及超薄柔性玻璃材料。
- 3) 低成本。受益于大尺寸超薄面板玻璃易于获取，以及不需要沉积绝缘层，玻璃转接板的制作成本大约只有硅基转接板的1/8；
- 4) 工艺流程简单。不需要在衬底表面及TGV内壁沉积绝缘层，且超薄转接板中不需要减薄；
- 5) 机械稳定性强。即便当转接板厚度小于100μm时，翘曲依然较小；

6) 应用领域广泛。除了在高频领域有良好应用前景，作为一种透明材料，还可应用于光电系统集成领域，气密性和耐腐蚀性优势使得玻璃衬底在MEMS封装领域有巨大的潜力。

近年来，国内外许多研究者致力于研发低成本、小尺寸、细间距、无损快速玻璃成孔技术的开发，如喷砂法、光敏玻璃、等离子体刻蚀、聚焦放电、激光烧蚀等。但是由于玻璃材料的易碎性和化学惰性，当前已有的方法都还存在许多问题，距离实际应用和大规模的量产，还有很长的路要走。截止目前，玻璃通孔三维互连技术发展的主要困难包括：

- 1) 现有的方法虽然可以实现TGV，但有些方法会损伤玻璃，造成表面不光滑；有些方法的加工效率低，没法大规模量产；
- 2) TGV的高质量填充技术，与TSV不同，TGV孔径相对比较大且多为通孔，电镀时间和成本将增加；
- 3) 与硅材料相比，由于玻璃表面平滑，与常用金属（如Cu）的黏附性较差，容易造成玻璃衬底与金属层之间的分层现象，导致金属层卷曲，甚至脱落等现象。

1、玻璃穿孔主要技术

1.1玻璃穿孔成孔技术

制约玻璃通孔技术发展的主要困难之一就是玻璃通孔成孔技术，需要满足高速、高精度、窄节距、侧壁光滑、垂直度好以及低成本等一系列要求。玻璃通孔成孔技术可以分为喷砂法、光敏玻璃法、聚焦发电法、等离子体刻蚀法、激光烧蚀法、电化学放电加工法、激光诱导刻蚀法。

表 不同 TGV 成孔技术的优缺点

玻璃通孔制作方法	优点	缺点
喷砂法	工艺简单	制作的玻璃通孔孔径大、孔间距大
光敏玻璃法	工艺简单,可制作高密度、高深宽比的玻璃通孔	价格昂贵,不同图形的精度区别较大
聚焦放电法	成孔快,可制作高密度、高深宽比的玻璃通孔	玻璃通孔不太垂直
等离子刻蚀法	玻璃通孔侧壁粗糙度小,无损伤	工艺复杂,成本高,刻蚀速率低
激光烧蚀法	可制作高密度、高深宽比的玻璃通孔	存在侧裂纹,粗糙度略大
电化学法	成本低,设备简单,成孔快	玻璃通孔不太垂直,激光设备昂贵
激光诱导刻蚀法	成孔快,可制作高密度、高深宽比的玻璃通孔,玻璃通孔无损伤	

审核编辑：汤梓红

<https://www.elecfans.com/article/89/2023/202305232088526.html>