



(China)

Development and Application of Baineng Cloud Core-Copper Hybrid Bonding (1): Technical Profile – May 5, 2023

百能云芯-铜混合键合的发展与应用（一）：技术轮廓

发布人：百能云芯 时间：2023-05-05

先进封装大概可以分为两大类趋势：一个是小芯片（chiplet）。

小芯片将传统上较大型的积体线路分拆成许多较小的功能模组，先个别予以优化。再使用这些已优化的小芯片组织新的次系统。这样可以重复使用IP，大幅加速产品设计的速度以及降低设计成本。

至于各个小芯片之间的连接，倚靠底下中介层（interposer）内的金属连线。此连线的密度当然远高于传统的线路板或封装I/O所能支持的密度，大幅增加线路运作频宽（bandwidth）、增大平行运算的操作空间。

另一个方向自然是异质整合（heterogeneous integration）。

将不同制程或不同材料的芯片堆叠在一起，以整合方式提升、扩充组装元件的功能。除了已经商业化的方法外，基本上有芯片—晶圆（Chip-on-Wafer; CoW）及晶圆—晶圆（Wafer-on-Wafer; WoW）等2种键合型态。二者在键合后都需要再切割晶粒，但是也有例外。CoW程序较复杂，所以WoW可能早些普及。

晶圆间键合的技术又有很多种，现在已经进入商业化的技术之一是「铜—铜混合键合」（Cu-Cu hybrid bonding），这也是本文讨论的主题。

铜—铜混合键合技术是将2片欲键合在一起的晶圆，各自完成制程最后一步的金属连线层，此层上只有2种材质：铜及介电质。介电质可以是氧化硅或高分子材料，二者各有优缺点，使用何种物质依制程需要而定。由于晶圆键合时牵涉到铜及介电质两种材料界面，所以称之为混合键合。

2片晶圆面对面键合时是铜金属对铜金属、介电质对介电质，两边键合界面的形状、位置完全相同，晶粒大小形状也必须一样。所以使用混合键合先进封装技术的次系统产品各成分元件必须从产品设计、线路设计时就开始共同协作。

混合键合制程约略如下：两边晶圆在完成最上层之金属制程后，经化学机械研磨（Chemical-Mechanical Polishing; CMP）及清洗后，2片晶圆面对面对齐（alignment）。介电质先经离子活化（ion activation），两边介电质接触后产生共价键。两边铜的表面原先较介电质稍低，在退火（annealing）时因膨胀系数较介电质为大而增高接合，两边铜离子因相互扩散（diffusion）进入对方而形成密切的永久性接合。

晶圆平坦化（planarization）不足、残留粒子、对齐误差及金属界面孔隙（void）等均有可能影响元件特性或失效。

目前混合键合机台已有多家设备厂商投入量产。如EVG、SUSS MicroTech、TEL、AML等，典型机台如EVG的Gimini系列。由于现代设备厂商在销售机台时多附有机台相关之基础制程，混合键合制程的开发通常不算是严峻的挑战。

目前铜混合键合的封装制程良率已经可以到达一般后段封装的典型良率99%以上。一部分原因是于此技术的累积发展与已经商业化的机台设备同步，但是更重要的原因是两边芯片的设计团队期前的设计沟通，在重复单元区留下适度的冗余（redundancy），当键合时发生缺陷时，有足够的空间来腾挪。

*免责声明：文章来源于百能云芯，如有争议，请联系客服。

*博客内容为网友个人发布，仅代表博主个人观点，如有侵权请联系工作人员删除。

<http://www.eepw.com.cn/zhuolan/304213.html>