

**Read the future challenges facing Fan-out in one article – March 29, 2022**

一文读懂Fan-out面临的未来挑战

来源：内容来自semiengineering，作者Mark Lapedus，谢谢。

Fan-out 晶圆级封装市场正在升温。比如在高端市场，几家封装厂正在开发能达到新里程碑的新 Fan-out 封装技术——可以达到或突破神奇的  $1\mu\text{m}$  线/空间 (line/space) 限制。但这项技术也面临着一些挑战，因为其可能需要成本更高的处理流程和光刻这样的设备。

今天，这个行业正在开发着多种类型的具有不同规格和流程的封装技术。一个常见的规格是重新布线层 (RDL/redistribution layer) 中的线和空间特征。一个 RDL 是由在一个 die 上形成的一层或多层构成的，其中包含了铜金属连接线或从一个位置重新布线到 die pad 的迹线 (trace)。线和空间分别是指金属迹线和它们之间的空间的宽度。

图 1: 重新布线层, 来自 Lam Research

随着 Fan-out 所集成的芯片越来越复杂，就可能需要越来越多的层，而且线和空间也更加精细。比如，今天的 Fan-out 封装的范围是  $5\mu\text{m}$  线和  $5-5\mu\text{m}$  空间及以上，也有  $2-2\mu\text{m}$  在运作。在研发方面，一些人在研究  $1-1\mu\text{m}$  及以下的高端 fan-out 技术，包括能够支持高带宽内存 (HBM) 的封装。 $2-2\mu\text{m}$  的 fan-out 针对的是网络/服务器应用，这项技术可能很快就将出现，而  $1-1\mu\text{m}$  则可能在 2020 年左右诞生。

分析师称 Amkor、ASE、台积电等公司正在开发  $1-1\mu\text{m}$  左右及以下的 Fan-out 封装。Yole Développement 的分析师 Jérôme Azémar 说：“这种线和空间水平的 Fan-out 在多个玩家那里都处于研发阶段。到目前为止，路线图的主要目标是在标准 RDL 工艺下达到  $2-2\mu\text{m}$ 。但通过使用晶圆厂的 BEOL 作为补充步骤，是有可能达到甚至超过  $1-1\mu\text{m}$  的。”

Azémar 所指的工艺步骤既在封装厂中有所应用，也被用在了晶圆厂的后端处理 (BEOL) 中。但也许在 fan-out 流程中的最大改变涉及到光刻设备，其可被用于对 RDL 迹线电路、通孔和封

装中的其它结构进行图案化处理。对于 1-1 $\mu$ m 及以下的 fan-out，供应商必须切换波长并迁移到 i-line 或 365nm 光刻工具，这可能会导致成本和复杂性的增长。

考虑了这些问题后，对成本敏感的封装厂就会面临一些艰难的抉择。一方面，2-2 $\mu$ m 及以下的 fan-out 仅针对高端客户群。并不是所有客户都需要这种水平的 fan-out 封装，因为 5-5 $\mu$ m 及以上就已经很适合大多数应用了。

所以在回报不确定的情况下，封装厂有必要投资研发高端 fan-out 吗？还是说应该缓一缓，关注更加主流的技术？封装厂需要根据几个方面来进行权衡。在一个关键的设备方面，他们需要仔细考虑光刻技术这个选择。对于封装，主流的光刻工具是掩模对准器（mask aligner）和 stepper。现在也有一些供应商在开发新的光刻工具，包括激光烧蚀以及使用多个光束的直接成像或无掩模光刻系统。另一种值得关注的技术是适应性图案（adaptive patterning）。

### 封装趋势

一种 IC 封装会集成多种互连方案，即将封装中的一个结构与另一个结构相连。主要的互连技术有 wire bond、flip-chip、晶圆级封装（WLP）和穿透硅通孔（TSV）。

wire bond 是使用微细的线将一个结构缝合到另一个结构。flip-chip 会形成微小的凸块或铜柱来提供封装中的电连接。

在高端层面，业界在继续使用 TSV 来攻关 2.5D/3D 芯片，无论这些 TSV 是工作在整个 die 上，还是在一个单独的 interposer 上。interposer 集成了微细的迹线来实现到 die 的电连接。

#### *图 2：使用 TSV 和高带宽内存的 2.5D，来自三星*

举个例子，GlobalFoundries 可以实现 0.8-0.8 $\mu$ m 的带 interposer 的 2.5D 设计。

GlobalFoundries 封装部门副总裁 David McCann 说：“2.5D 的 interposer 需要精细的线和空间来实现大规模并行接口，比如在用于网络 and 图形的处理器与高带宽内存之间。”

2.5D 在高端应用中已经得到了推动发展，比如 FPGA、图形芯片和网络。但 interposer 的成本和其它因素让 2.5D 难以变成一种更加主流的技术。

为了找到一种更低成本的解决方案，业界正在开发一种新型的高端 fan-out 封装。供应商继续为传统的中端空间开发 fan-out。因为 fan-out 不需要 interposer，所以它比 2.5D 更便宜。

“我们看到越来越多的关于服务器应用的查询。而且我们也看到在服务器应用上使用 fan-out 的兴趣也越来越大。”Advanced Semiconductor Engineering (ASE) 高级工程总监 John Hunt 说, “(客户) 想要我们能在 fan-out 上做 HBM。原因有两个。一是 interposer 的成本很高, 二是 fan-out 确实能带来更好的电性能。但你需要精细的几何学才能做到。要在 HBM 上完成所有 4000 个 I/O 的布线, 尤其是当你有多个 HBM 连接到 GPU 时, 你就需要非常精细的线。”

为此, 业界希望超越 2-2 $\mu$ m。Hunt 说: “我们希望至少降至 1 $\mu$ m。那可能足够支撑两三年。后面的任何事情只能是猜测了。”

降至 2-2 $\mu$ m 及以下可以带来很多好处。“你既能减少 RDL 的数量, 也能有高密度的互连。”ASM Pacific Technology 高级技术顾问 John Lau 说, “当然, 这针对的是超级计算机、服务器、电信和网络等高端产品。”

如果业界成功开发出了高端 fan-out, 那么它将能给 2.5D 带来一些竞争。但一般而言, 2.5D 和高端 fan-out 都将会有自己的市场空间。

fan-out 本身是一种 WLP 技术, 即在 IC 还在晶圆上时就进行封装。在 fan-out 中, 单个 die 会被嵌入在一种环氧树脂材料中。在封装中, 互连会被扇出, 从而实现更多的 I/O。

fan-out 技术主要有三种类型: 先芯片/面向下方 (chip-first/face-down)、先芯片/面向上方 (chip-first/face-up) 和后芯片 (chip-last, 有时候也被称为 RDL first)。

*图 3: chip-first 与 chip-last, 来自 TechSearch International*

fan-out 的第一波浪潮被称为嵌入式晶圆级球栅阵列 (eWLB/ embedded wafer-level ball-grid array), 出现于 2009 年。今天, eWLB 封装的涵盖范围是 500 到 1000 I/O, 并在 10-10 $\mu$ m 及以下使用 1 或 2 层的 RDL。

*图 4: eWLB 的演化, 来自STATS ChipPAC*

去年, 当苹果公司将 fan-out 用于其 iPhone 7 后, 这项技术达到了一个里程碑。传统上, 苹果和其它智能手机 OEM 都已经为其应用处理器集成了一种层叠封装 (PoP) 技术。PoP 可靠又便宜, 但在 0.5 mm 到 0.4mm 的厚度上, 它就难以为继了。

为了 iPhone 7，台积电制造了苹果的 A10 应用处理器。基于 16nm finFET 工艺，苹果的 A10 是用台积电的 InFO (Integrated Fan-Out) 封装的。据 TechInsights，A10 的封装厚度为 0.33mm 到 0.23 mm。据了解其使用了 5-5 $\mu\text{m}$ 、10-10 $\mu\text{m}$  和 10-10 $\mu\text{m}$  三层 RDL。

今天，fan-out 的甜蜜点是 5-5 $\mu\text{m}$  及以上。“对于移动或 RF 产品，10 $\mu\text{m}$  线和空间就足够好了。”STATS ChipPAC 产品技术营销总监 Seung Wook Yoon 表示，“对于应用处理器，你可能需要 7-7 $\mu\text{m}$ 。最小为 5-5 $\mu\text{m}$ 。”

然而在研发方面，业界正在研发 2-2 $\mu\text{m}$  及以下的高密度 fan-out 或相关封装技术。比如去年，ASE 介绍了一种名叫 Fan Out Chip on Substrate (FOCoS) 的技术。这项技术针对的是服务器领域，FOCoS 的第一个客户将单独的 16nm 和 28nm die 集成到了同一个封装中。

*图 5: ASE 的 FOCoS 封装; 来自 TechSearch International*

FOCoS 是一种基于 fan-out composite die 技术的混合解决方案。“你在上面放上凸包。然后我们将其按照一个单个 die 进行处理，然后我们将其倒装 (flip-chip) 到一个 BGA 基板上。”ASE 的 Hunt 说，“这里基本的一点是消除了对 interposer 的需求。它在电性上比 interposer 表现得更好。”

这种封装有 4 层 2-2.5 $\mu\text{m}$  的金属层，而 ASE 还在研发新的版本。他说：“我们已经演示过 1.5-1.5 $\mu\text{m}$ 。”

下一步是推进到 1-1 $\mu\text{m}$  或更低，这面临着一些挑战。很显然，客户想要高端 fan-out 封装达到或超越 2.5D 的表现，同时价格还要合理。“封装尺寸也是一个难题，因为为 fan-out 所演示过的舒适区仍然相对很小。”Yole 的 Azémar 说，“总体而言，在如此之高的连接密度和封装尺寸上，fan-out 的可靠性和成本方面都还不太清楚。我们将在一两年后知道答案。”

但可以肯定，和当前的流程相比，1-1 $\mu\text{m}$  或以下的 fan-out 将会需要不同的工艺和设备，尤其是在开发 RDL 方面。

制造 RDL 的方法有好几种。最常见和最低成本的方法是一种基于聚合物的流程。另一种被称为镶嵌工艺 (damascene process) 的方法则是在 RDL 中沉积铜迹线。

*图 6: 常见的 RDL 流程; 来自 Chipbond*

STATS ChipPAC 的 Yoon 说：“如果你达到了 2-2 $\mu\text{m}$ ，就可能需要一种铜镶嵌工艺或类似于镶嵌的工艺。即使使用 TSV 2.5D interposer，你也需要为 1 $\mu\text{m}$  线/空间使用一种铜镶嵌工艺。这是一种不同于当前的晶圆级工艺的方法。”

最大和最关键的变化涉及到光刻。“为了满足需求，这种工具需要更新。”Yoon 说，“目前我们在使用 stepper，这是一种宽带资源。当你达到低于 2-2 $\mu\text{m}$  的更精细的线和空间时，你就需要 i-line。”

另外还需要新材料。他说：“我们还必须使用一种不同程度的光刻胶来制造更精细的线宽间距。所以，这项工艺需要一种不同的光刻工具、检测工具和不同光刻胶材料。我预计 RDL 结构还需要是镶嵌类型。”

### 什么是光刻？

光刻是一种在结构上形成细微特征图案的方法，在晶圆厂和封装厂都有使用。在晶圆厂，这种工具可以处理纳米级的特征。而在封装过程中，光刻与其它工具则被用于处理凸包、铜柱、RDL 和 TSV。这些结构是在微米级尺度上。

### *图 7: fan-out 设备和材料预期；来自 Yole Developpement*

封装领域存在 4 种主要的光刻设备类型：掩模对准、投影（steppers/scanners）、直接成像和激光烧蚀。掩模对准和 stepper 是最常见的工具，而其它技术给这些传统系统带来了威胁。

掩模对准已经被业界使用了很多年，是目前成本最低的工具。EV Group 和 Suss 是掩模对准业务的主要参与者。

在掩模对准时，晶圆会移动到该工具中。然后，一个带有设定图案的掩模被插入该系统。该掩模与晶圆对准，然后曝光，从而在晶圆表面形成 1:1 比例的图案。

掩模对准被用于处理 5-5 $\mu\text{m}$  及以上的特征，尽管 3-3 $\mu\text{m}$  也是可能的。“目前大多数人在 12-12 $\mu\text{m}$  水平或 7-7 $\mu\text{m}$  水平，正在接近 5-5 $\mu\text{m}$ 。”EV Group 业务发展总监 Thomas Uhrmann 说，“如果你考虑 eWLB，你就可以在很大程度上用掩模对准做到所有事情。”

掩模对准也有一些局限性，但它们是最具成本效益的解决方案。Uhrmann 说：“如果你想在 5-5 $\mu\text{m}$  或低于 5-5 $\mu\text{m}$  的线和空间水平上投入生产，掩模对准仍然是完美的，而且具有优异的成本价值。”

但是对于更加精细的线和空间，封装厂会使用 stepper。光刻封装业务的领先供应商 Ultratech 就在销售 1X stepper 和其它设备。其它 stepper 供应商还包括 Canon、Nikon、ORC、SMEE、Rudolph 和 Ushio。最近 Kulicke & Soffa 通过对封装光刻创业公司 Liteq 的收购而进入了这一领域。

stepper 可以将特征的图像从掩模转移到更小比例的晶圆上。这个流程不断重复，直到晶圆被加工完成。一些系统按 1:1 或 1X 的比例处理特征。同时，reduction stepper 可以在 2X、4X 或 5X 的比例上成像。

stepper 使用不同的曝光波长来对图案进行图案化。对于主流应用，封装厂使用结合了多种不同波长（g、h 和 i）的传统 stepper。一般而言，这种宽带技术可被用于 2-2 $\mu\text{m}$  左右及以上的图案化。

Ultratech 光刻产品副总裁兼总经理 Rezwan Lateef 说：“对于大于 2 $\mu\text{m}$  的应用，通常使用 ghi 波长（436nm、405nm 和 365nm），这通常是由一个宽带光谱汞灯产生的。”

2-2 $\mu\text{m}$  以下时，stepper 就需要不同的配置了。Lateef 说：“对于 1 $\mu\text{m}$  和更小的特征，只有 i-line（365nm）能被用于支持这些精细的分辨率。”

Ultratech 和其它公司支持在同一工具中使用不同波长。“你可以通过使用一个 inline filter 将一个‘ghi’波长系统放到‘i-only’模式中。这可以带来很好的用户灵活性，可以开发配方以无缝的自动化的方式使用最合适的波长。”他说，“所以你可以使用‘ghi’波长并过滤掉其中的‘gh’。这种使用可选波长的能力增加了光刻系统的复杂性，但也为用户提供了灵活性。”

但并非所有的‘ghi’工具都是类似的。据分析师称，一些工具可以操作精细的线和空间，另一些则难以下降到 5-5 $\mu\text{m}$  水平以下。

也有其它一些选择。对于 2-2 $\mu\text{m}$  及以下，许多封装厂都使用“纯”i-line 的 stepper，而并不带有“gh”技术。一些 i-line stepper 是 2X reduction 系统，它们针对的是 1.5-1.5  $\mu\text{m}$  及以下。

一些 i-line 工具已经能处理 0.8-0.8 $\mu$ m 的 interposer 了。GlobalFoundries 的 McCann 说：“在这个范围上，i-line 光刻工具是完美的。”

不管 stepper 的类型如何，其封装流程中还是有一些难题。比如说，“纯”i-line 工具在晶圆厂中被用于处理非关键的层。在晶圆厂中，这些工具可被用于在平面晶圆上处理特征。

但是在 fan-out 中，情况却不一样了。Ultratech 的 Lateef 说：“它们通常是重构晶圆（reconstituted wafer）。它们有很多翘曲（warpage）。确保你有合适的焦点深度（depth-of-focus）是必需的。”

此外，在 fan-out 中，die 被嵌入在一个环氧树脂模塑料中。其在 die 上的放置准确度是很关键的。但有时候，die 会在处理过程中移动，得到我们不想要的结果，这被称为 die shift。这导致 fan-out 工艺需要使用光刻工具改进后的对准技术来补偿 die shift。

“根据晶圆或面板的不同，关于高级封装中更小几何尺寸的主要问题也是有差异的。”Rudolph Technologies 光刻系统组副总裁兼总经理 Rich Rogoff 说，“对于晶圆和面板，为了通过更高的 NA 实现对更小焦点深度的处理，基板的平面化是一个关键的挑战。另外，更严格的 registration 要求意味着需要改进对准和 stage 系统。”

其中一种可能的解决方案是 Deca Technologies 开发的名叫“适应性图案（adaptive patterning）”的技术。这项技术是为其即将到来的 fan-out 线开发的。fan-out 封装专业公司 Deca Technologies 的销售和营销副总裁 Garry Pycroft 说：“fan-out 封装所面临的一个难题是 IC 在重构晶圆中的移动。在传统的使用掩模的 fan-out 封装工艺中，这种错位可能导致与焊盘之间缺乏互连，显然会导致出现故障单元。”

Pycroft 说：“适应性图案工艺集成了一个检查步骤，用以确定重构晶圆中半导体的位移，然后调整后续的工艺步骤来处理这个位移，由此可以得到更高产的互连。在你开始处理高级设计规则和多 die 封装时，对适应性工艺的需求将变得更加紧迫。”

但可以肯定的是，成本也是一个因素。“纯”i-line stepper 的价格高于传统的“ghi”系统。因此，封装厂需要考虑购置成本。如果高端 fan-out 市场是实实在在的，那么投资 i-line 工具也在情理之中。风险在于这个市场可能永远无法腾飞或产品无法达到预期。

## 其它选择

除了 stepper，还有一些其它选择。比如 Orbotech 和 Screen Semiconductor Solutions 正在开发的直接成像系统（direct imaging system），这有点像是直接写入或无掩模光刻。

Screen，也叫 Dainippon Screen，其系统的目标是面板级的 fan-out 市场。同时，Orbotech 的技术也在 PCB 行业有所应用。其也被用于封装中的 IC 基板。

Orbotech 的激光直接成像技术使用了多个光束直接在表面打印特征，精度为 8-8 $\mu$ m，并且正计划推进到 5-5 $\mu$ m 和 2-2 $\mu$ m。Orbotech 的行业营销总监 Shavi Spinzi 说：“在高级封装领域，你可以使用 stepper 做的很多事情都可以使用直接成像更高效地完成。”

直接成像有一些优势。“通常来说，这是一个多光束系统，用以满足正确的通量。”Spinzi 说，“你不需要为 stepper 或对准器使用掩模，而可以直接使用激光来形成你需要的图案。因为你不需要掩模，所以你可以测量 die 的位置。而且你可以实时地计算你需要绘制的线的精确位置。”

另一家供应商 Suss 正在开发另一种被称为受激准分子激光烧蚀（excimer laser ablation）的方法。Suss 使用了 248nm 和 308nm 波长的激光烧蚀工具可以实现 5-5 $\mu$ m 到 2-2 $\mu$ m 的特征。激光烧蚀可以用于多种封装应用，比如沟槽和通孔。

激光烧蚀是一种干式图案工艺。该系统可以破坏表面的分子结构，直接蚀刻想要的电路图案。

分析师表示，激光烧蚀大有前景，但这项技术还不成熟，还需要进一步研发。同时，我们还不清楚直接成像还能扩展到什么程度。

显然，i-line 是有效的，但成本是关键。总而言之，封装厂必须找到一种解决方案，否则它们就可能错过高端 fan-out 的列车。

原文链接：<https://semiengineering.com/challenges-future-fan/?from=singlemessage&isappinstalled=0>

今天是《半导体行业观察》为您分享的第1331期内容，欢迎关注。

<http://news.eeworld.com.cn/mp/lcbank/a41647.jsp>