

Bypassing EUV lithography, the next generation of nanoimprint lithography technology breaks through from the storage field – July 15, 2023

原创

绕开EUV光刻，下一代纳米压印光刻技术从存储领域开始突围

[Robot Vision](#) · 来源：电子发烧友 · 作者：李宁远 · 2023-07-16 01:50 · 2040次阅读

电子发烧友网报道（文/李宁远）提及芯片制造技术，首先想到的自然是光刻机和光刻技术。众所周知在芯片行业，光刻是芯片制造过程中最重要、最繁琐、最具挑战也最昂贵的一项工艺步骤。在光刻机的支持下，摩尔定律得以延续。

在高速增长的半导体市场里，半导体制造商们不断创新，芯片集成度越来越高，对光刻技术也提出了越来越高的要求。随着芯片集成度的与日俱增正在对半导体产业链带来前所未有的挑战，制造商们渴求更高效、更低成本的制造技术。

在这种背景下，纳米压印技术成了备受期待有望替代EUV的新兴芯片制造技术。

### 光刻技术路线演进，纳米压印技术绕开EUV光刻机

摩尔定律指示了提高每个芯片中的晶体管数量降低计算成本的路线，光刻技术的演进也围绕着实现更高的晶体管密度和更低的成本。每一代光刻技术的大更迭都对光刻机等设备和材料提出了新挑战。

自1985年436nm波长的g-Line起，到波长为365nm的i-Line时期，波长为248nm的KrF时期，再到2000年初波长为193nm的ArF时期。现在则是波长为13.5nm的EUV时期。现如今凭借EUV以及High-NA EUV，ASML独霸高端光刻机市场，在行业内一骑绝尘。

但大家都知道，EUV光刻机产能有限而且成本高昂，业界一直都在探索可以绕开EUV光刻机生产高端芯片的技术和工艺。下一代光刻技术纳米压印技术（NIL）开始备受关注，成为最有机会替代EUV的光刻技术路线。

纳米压印技术是通过光刻胶辅助，将模板上的微纳结构转移到待加工材料上的技术，其概念最早在1995年由华裔科学家周郁提出。从其命名就可以看出，这种技术手段的加工尺度在纳米级，实现该技术的手段是通过压印。EUV等传统的光刻技术，想要实现更高的分辨率，无外乎从三个层面着手——选用更小波长的光源、通过界面材料提高数值孔径NA值以及通过获取更低的工艺因子，其中主要的实现手段是缩短光源波长。

而纳米压印的加工过程不使用可见光或紫外光加工图案，而是使用机械手段进行图案转移，所以能实现的分辨率完全不会受到光学光刻最短曝光波长的物理限制。传统光学光刻存在分辨率极限，光刻光源波长的每一次缩短背后是研制难度和成本的成倍增长，而纳米压印分辨率只与模板图案的尺寸相关，能做到高于传统光刻的分辨率。经过几十年的技术演进，纳米压印目前有三大类，热压印、紫外压印和软压印。

纳米压印使用模板，设计好后的模板可以反复使用，大大降低了加工成本也方便进行量产。现在纳米压印可用的模板已经十分多样，加工精度高的刚性模板、弹性模量较高的柔性模板、复合纳米压印模板都有各自的优势。

据日经中文网报道，纳米压印能与极紫外光刻相比，能将该工序的制造成本降低四成，耗电量降低九成，佳能的研究则显示其纳米压印光刻在吞吐量为80片时相对ArF光刻工艺可降低28%的成本，随着吞吐量增加成本降低幅度可达到50%以上。该技术在植入芯片制造产业过程中也不会过于繁琐，只需要将光刻步骤替换为纳米压印，其他工艺步骤是完全兼容的。

### **搅动光刻市场，纳米压印市场正在逐渐壮大**

随着行业发展，DUV、EUV光刻机的系统复杂度、技术瓶颈和成本问题等日益突出，沉寂许久的纳米压印技术在近年来又迎来了新的关注。这也得益于纳米压印技术产业在技术工艺上的不断突破，随着工艺进一步成熟，下游应用领域需求开始增多，纳米压印技术正走向大面积产业化的阶段。

根据新思界产业研究中心发布的《2023—2028年中国纳米压印技术（NIL）行业市场深度调研及发展前景预测报告》显示，2022年全球纳米压印技术市场规模达到22.9亿美元，同比增长13.6%。[TechNavio](#)的相关数据则预测纳米压印市场将以年复合增长率17.74%增长至2026年的33亿美元。

目前，不少科研机构 and [厂商](#)都加大了纳米压印上的投入。国外厂商如[Canon](#)、EV Group、Nanonex Corp、Obducat AB、SUSS MicroTec等公司已出产纳米压印光刻设备。

Canon一直在以纳米压印技术打造下一代nm级的光刻机，市面上也一直有Canon将纳米压印技术用于量产存储芯片的新闻，根据相关报道其纳米压印设备的套刻精度，吞吐量等参数指标均处于行业领先地位。根据Canon的相关报道，预计到2025年，Canon将进一步研发出生产5纳米芯片的设备。

奥地利设备厂商EV Group也在纳米压印技术上走在行业前列，旗下纳米压印系统结合了调准平台改进、[高精度](#)光学、多点间隙控制、非接触式间隙测量和多点力控制等技术，有着业内领先的调准精度。

国内也有不少厂商在纳米压印赛道上加紧布局，如青岛天仁微纳、苏州苏大维格、歌尔股份、苏州光舵微纳、昇印[光电](#)、新维度微纳、埃眸[科技](#)等。

获得华为哈勃青睐的国内头部厂商天仁微纳目前[产品](#)涵盖整机设备、模具、压印材料，研发了多款高精度紫外纳米压印设备，已经实现最大150 / 300mm基底面积上高精度（优于10nm）、高深宽比（优于10比1）纳米结构复制量产。

## 纳米压印设备



图源：天仁微纳

苏大维格此前也表示纳米压印设备除自用及向国内外高校及科研院所销售外，已经开始向企业拓展，除了相关关键器件，苏大维格根据客户需要开始向半导体领域企业相关客户提供纳米压印设备整机。

苏州光舵微纳同样致力于纳米压印设备及技术的研发及产业化推广应用，已研发制作出多款纳米压印设备、配套工艺和耗材，并成功推出全自动量产型纳米压印设备。

国内外厂商迅猛的发展势头大大加快了纳米压印技术大规模商业化量产的脚步，虽然在芯片制造领域这一技术仍还有不少短板需要补足，还要面对纳米压印光刻牵扯出来的配套工艺、设备、材料等问题，但其前景无疑是光明的。

纳米压印发挥芯片制造优势，从存储芯片开始

在芯片制造领域，目前最契合纳米压印技术的，就是存储芯片，尤其是3D NAND、[DRAM](#)等存储芯片。从纳米压印设备头部厂商Canon规划的纳米压印设备路线图来看，纳米压印应用将从3D NAND存储芯片开始，逐渐过渡到DRAM，最终实现[CPU](#)等逻辑芯片的制造。

存储厂商在芯片制造上对成本把控极为严苛，同时设计的余量可以承受一定的缺陷而不影响成品率，放宽对缺陷的要求，所以目前已经有不少存储厂商计划使用纳米压印技术来制造存储芯片。

凯侠、[东芝](#)等日系存储厂商很早便开始布局纳米压印技术。此前SK海力士也报道从Canon引进纳米压印设备，并计划在2025年左右使用该设备开始量产3D NAND闪存，从目前的报道来看，测试阶段表现良好。另一存储巨头[三星](#)同样开发了包括纳米压印技术在内的多种方案以解决多图案工艺导致的成本上升问题。

纳米压印技术与存储芯片相结合，将大大提高存储厂商的生产效率，并降低成本。纳米压印设备在芯片制造领域大规模商用化后，其优势将更加明显。

**小结**

目前纳米压印技术还存在模板缺陷和套准等问题，需要时间才能成熟地进入市场，但其超高分辨率、易量产、低成本、一致性高等优点已经很突出，是最有机会代替现有光刻技术的技术手段。在未来光学光刻难以向前演进，纳米压印光刻值得期待。

<https://www.elecfans.com/d/2184432.html>