

Hybrid bonding process enters the fast lane of development – July 28, 2022

混合键合工艺进入发展快车道

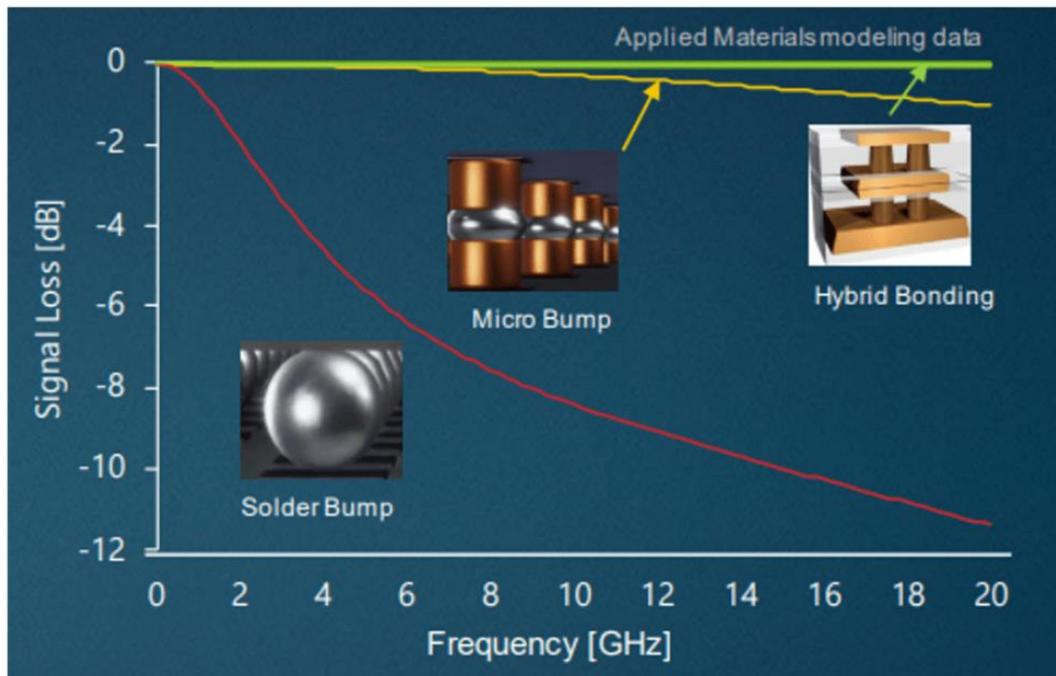
文 | LAURA PETERS

来源 | Semiconductor Engineering

编译 | 编辑部

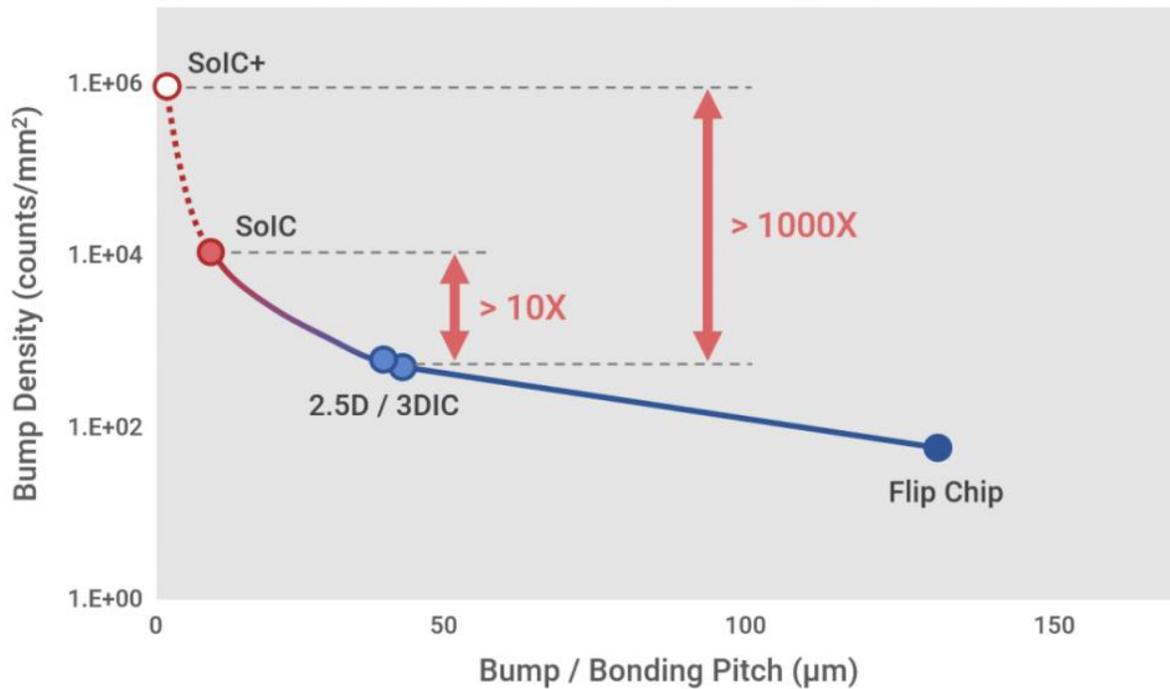
下游应用市场的飞速发展，让半导体产业对于芯片设计、制造、封测等技术的进步愈加重视。而后摩尔时代，市场的迫切需求也催生了业界对芯片I/O密度、互连接口等技术的创新。同时，这些需求也正在改变系统设计方法，推动业界寻求新封装、新材料、新架构来延续摩尔定律的演进。其中，混合键合技术逐渐成为未来半导体技术的重要发展方向。

混合键合技术涉及芯片到晶圆或晶圆之间铜焊点的连接，这些铜焊点承载着功率、信号以及周围的电介质，提供比铜微凸点多1000倍的连接性能。它将信号延迟降低到可忽略不计的水平，同时将凸点密度提高比2.5D积分方案还高三个数量级。虽然目前仅限于选择HBM和处理器/缓存等高端应用，但混合键合很快将会应用到3D DRAM、RF调制解调器和microLED的GaN/Si键合等领域。



图：混合键合几乎消除了信号丢失（来源：应用材料公司）

但在不同工艺间的竞争愈加激烈，以争夺关键的3D领域市场。“可以毫不夸张地说，混合键合代表了整个行业的一个转折点，因为它改变了芯片制造的方式，”EV Group（EVG）业务发展总监Thomas Uhrmann表示。



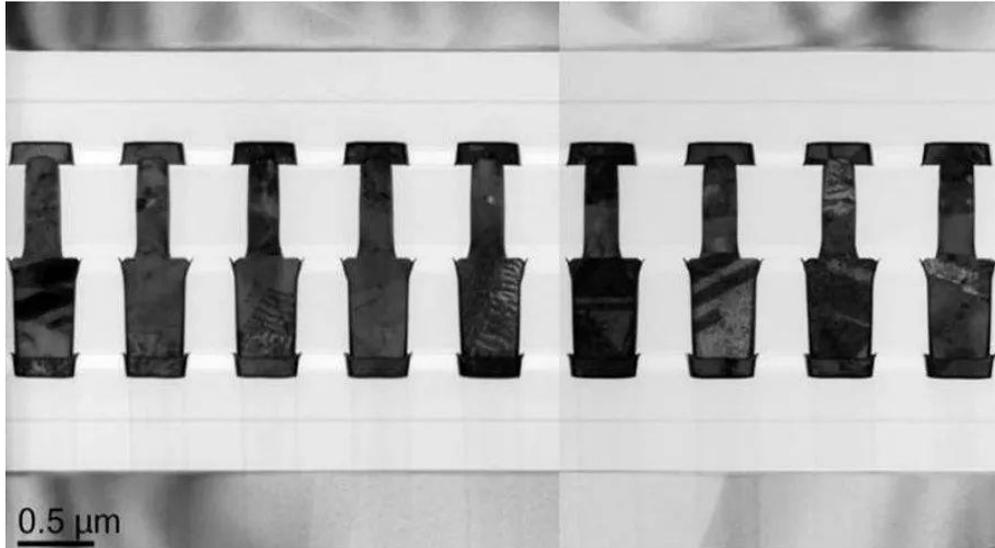
图：SolC和SolC+的凸块密度路线图（来源：台积电）

也许最令人印象深刻的是，在最需要提高性能和功率的时候，混合键合为晶体管节点缩放提供了一种可行的替代方案。

例如，AMD的Ryzen 7-5800X3D处理器采用台积电的SolC（集成芯片系统）7nm工艺制造。尽管并未使用5nm工艺，但芯片性能仍提高了15%，功耗降低了3倍。“AMD报告指出，通过混合键合，芯片在性能上能够实现相当于更低工艺节点性能。这是非常惊人的成绩，”Xperi公司Adeia半导体3D副总裁Laura Mirkarimi表示。2000年代初，Adeia也曾许可推出了基于Ziptronix开创的第一个室温混合键合工艺IP。

英特尔、台积电和三星均对芯片制造工艺提出了预警，即当接近10µm尺寸时，带有焊接尖端的铜凸点会遇到可靠性问题，从而导致向混合键合技术的转变。但即使使用混合键合，也需要严格控制。“例如，当我们考虑AR/VR时，希望将RGB像素和氮化镓连接到背板上。可以从晶圆到晶圆，但是将RGB放入单个GaN中会有很大的负担，实际上可以模拟200mm晶圆上可能的东西并将其重构为300mm晶圆以获得良好的吞吐量。必须能够控制对背板执行的操作以及对表面上的单个像素执行的操作。所以必须从最终要求开始，这可以有有多大容忍度的函数。硅光子学就是一个很好的例子。波导需要对氮化硅薄膜进行更高水平的控制，否则对于不同的应用来说，这是完全合理的，”GlobalFoundries技术工程和质量高级副总裁Gregg Bartlett指出。

键合工艺本身可以是室温，如Adeia工艺，也可以是更高的温度，如熔合键合，它连接介电材料而不是金属。熔合键合使用环氧树脂胶水层，正在开发用于背面配电方案以及DDR6 +和下一代存储器件。然而，混合键合总是连接金属和介电薄膜，没有中间薄膜。Imec去年在IEDM上展示了最先进的混合键合，采用700nm间距铜混合键合。



图：晶圆与晶圆混合键合，具有700nm金属间距（来源：伊梅克，IEDM）

混合键合的关键工艺步骤包括电镀（电化学沉积、ECD）、CMP、等离子体活化、对准、键合、分离和退火。虽然这些工具已经成熟，例如，用于制造双焊点铜互连和倒装芯片键合，但这些工艺需要进一步完善以满足混合键合的需求。其中包括小于100nm对准精度，芯片到晶圆键合和分离工具的清洁度达到新水平，具有0.5nm RMS粗糙度的出色CMP平面度以及用于最佳键合的电镀。

“关于纳米孪晶铜在键合时，会将铜置于更活跃的状态，因而扩散得很快，”Uhrmann表示。“归根结底，具有良好的导电性并达到更稳定的电动力学方向是目标。”

产业生态系统的重要性

许多合资企业正在通过签订许可协议、合作开发新工艺和新技术，来推进混合键合产业生态的构建：

Adeia与Micron、OmniVision、Skywater、SK Hynix、Sony、UMC、YMTC等公司签订了许可协议；

应用材料公司的介电位、蚀刻、CMP、等离子体活化与应用材料公司新加坡先进技术开发中心的 Besi 芯片键合机相结合；

EVG的融合和混合键合以及集体组装/计量与奥地利EVG异构能力中心的ASM Pacific的0.2μm芯片键合机相结合；

英特尔和Leti开发了一种自组装工艺，用于使用水蒸发进行芯片到晶圆的键合；

Suss Microtec将其表面处理覆盖层测量工具与SET的芯片到晶圆键合机相结合；

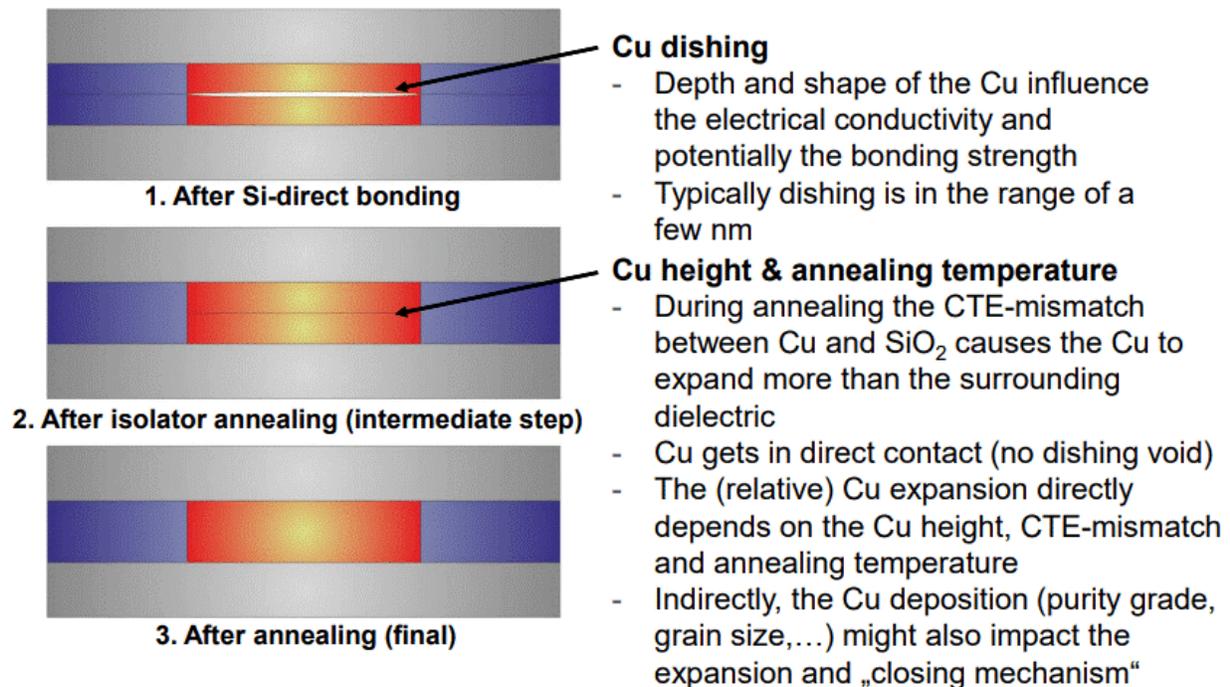
TEL与IBM共同开发了300mm模块，采用硅载体晶圆和激光释放薄型产品晶圆；

TEL和IBM Research的新型300mm模块使用硅载流子晶圆和红外激光器将薄硅器件晶圆与硅载体晶圆分离，取代了传统的玻璃载体晶圆。该公司指出，通常情况下，玻璃晶圆通过机械手段与薄硅片分离，而这一方法将会引入污染物。而硅载体方法的制造优势则包括更好的模具兼容性、更少的卡盘问题和更少的缺陷，薄晶圆的在线测试也更简单。此外，TEL还安装了晶圆到晶圆融合和混合键合工具、等离子体加工和一系列晶圆清洁系统。

工艺演进过程

晶圆到晶圆 (W2W) 混合键合是指面对面堆叠晶圆、键合、退火，然后单独堆叠，具有经过验证的成功记录，始于十多年前索尼首次将混合键合用于CMOS图像传感器。“混合键合正在一些使用晶圆对晶圆的公司生产中，但芯片对晶圆的成熟程度要低得多，并且正在评估不同的方法，”Brewer Science WLP材料执行董事Kim Yes表示。

晶圆到晶圆的工艺从晶圆加工到最终的BEOL互连级别开始。沉积合适的电介质 (SiON、SiCN或SiO₂)，然后将其蚀刻以在下面的金属上形成通孔。沉积阻隔层和种子层，然后镀铜。铜焊盘通常是方形的。然后，铜CMP抛光覆盖层，以在平面特征下方提供轻微的研磨 (几纳米)。当铜在退火时膨胀时，这个微小的间隙将被填补。接下来，晶圆清洗可去除所有污染物。然后等离子体活化步骤在电介质上产生活性位点。当两个晶圆在键合器中结合在一起并且位点形成键合时，它们被精确地对齐。在退火炉中，铜融合在一起，进行电接触。最后，晶圆边缘修整之后是背面晶圆研磨以薄晶圆，清洁和CMP抛光等。使用表面声学显微镜 (SAM) 检查粘合晶圆中的空隙。空隙将显示为白色区域，而无空隙键将产生黑色SAM图像。



图：在整个键合过程中控制物理性能 (来源：EVG)

混合键合中最大的两个问题是工艺清洁度和对准精度。“对于晶片到晶圆来说，重要的是晶圆表面真正干净，绝对没有颗粒，没有有机污染。因此，将芯片放在晶圆上的工具需要绝对干净，并且需要控制每个运动，”CEA Leti的3D集成项目经理Emilie Bourjot表示。规格适用于在300mm晶圆上小于50个尺寸为90nm的颗粒。

“晶圆表面不仅仅是铜，还有电介质，当你移动到键合时，必须是原始的。任何外来物质或任何类型的污染物，任何瑕疵或表面光洁度最终都会影响这两种晶圆之间的产量，”ClassOne Technology产品和技术副总裁John Ghekiere称。

镀铜专门针对混合键合进行了优化。“基本要求是显而易见的，用铜填充特征，没有空隙。然后，覆盖层需要非常均匀，因为这是CMP将要用来完成其工作的内容。所以你需要一个很好的统一起点，”Ghekiere表示。

。

ClassOne与Fraunhofer电纳米系统研究所一起，正在优化microLED制造的电镀和混合键合。“晶体结构是最重要的，”Ghekiere认为。“好消息是，通过化学制造商和工具供应商之间的合作伙伴关系，已经实现了许多调整，其中化学成分的配制可实现某种晶粒方向。”

泛林集团在其电镀沉积平台上提供纳米孪晶铜、细晶粒铜和标准 BEOL 工艺。有趣的是，铜类型的选择不仅影响铜的性能，还影响退火温度需要多高才能实现良好的粘合。Xperi（现为Adeia）和Fraunhofer可靠性和微集成研究所（IZM-ASSID）最近的一项研究比较了使用10μm焊盘测试车辆沉积在Lam Sabre 3D系统上的标准BEOL电镀铜、纳米孪晶铜和细晶铜，这些测试车辆的间距为40μm。

将铜抛光成混合键合所需的轮廓。在室温键合后，在不同时间和温度下退火表明，纳米铜膜和细晶粒铜膜的热预算可分别降低20°C和30°C。“所以20或30度可能看起来不是很多。但实际上，如果你想将热预算降低到175°C，这是许多存储器制造商的目标，你可以通过转向不同类型的铜微观结构来实现这一目标，”Mirkarimi表示。

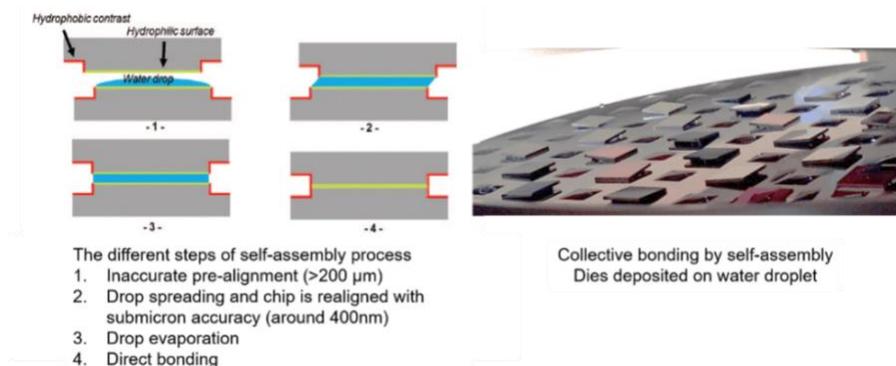
电镀后，CMP平面度至关重要。要求的变化量级不到几纳米，根据Onto Innovation应用工程经理Woo Young Han的说法，在CMP和清洁之后，使用等离子体工艺激活表面。根据应用材料公司的说法，一个关键指标是等离子体活化和键合之间的延迟时间。

“活化和键合之间的任何延迟都会削弱键的完整性。我们的集成解决方案使污染物远离脆弱的表面，”应用材料公司半导体产品组副总裁Sundar Ramamurthy指出。机器人、软件和自动化有助于优化工艺序列，以最大限度地减少激活和粘合之间的时间。

有三种选择可以单独切割模具，标准锯切，隐形（激光）切割和真空室中的等离子切割。标准切割产生最多的颗粒物。真空室中的隐形切割和等离子体蚀刻是更清洁的过程，但它们的拥有成本高于锯切。对于混合键合，必须仔细权衡必要的清洁度水平与驱动器，以降低加工成本。

集体键合以提高吞吐量

Bourjot指出，集体对准方案的关键优势在于能够测试和使用已知良好的芯片。Leti和英特尔最近宣布了一项集体芯片到晶圆自组装工艺的成果，该过程利用水滴的毛细管力将芯片对准目标晶圆上的芯片。Bourjot认为，至少在过去十年中的开发过程中，这一流程加快了对准速度，同时实现了前所未有的准确性。通过对疏水性和亲水界面的精心设计，使用微量移液管将水滴沉积在晶圆上，并连接一批芯片，从而产生初始粗略对准（>200μm）。然后蒸发水，水本身执行精细对准（



图：使用水滴在室温下自调裸晶片进行集体自组装，然后退火（来源：CEA Leti）

在集体对准中，晶圆上的所有芯片同时对齐，而不是单独对齐，这会将流程减慢到倒装芯片工具的速度，即1000个芯片/小时，贴装精度为1 μ m。

“在这种情况下，我们的测试对象是40个芯片，但可以想象固定器上还有更多的芯片。所有芯片同时键合，因此这里面临的挑战是填充固定器的时间，”Bourjot表示。

Bourjot估计商业吞吐量在每片晶圆上1万颗芯片的范围内。在描述研究人员实验室的集体自组装粘合工具时，Bourjot指出，低再现性手动过程控制仍然实现了500nm及以下的对齐，这显著表明专用于该过程的工业工具将提供更高的再现性、稳健性和精度。研究人员寻求工具开发和工艺改进的工业合作伙伴。

“集体芯片到晶圆的方法是最普遍的，因为您正在将组装与键合分离，并且可以在放置过程中保护芯片，”EVG的Uhrmann表示。因此，您可以保护晶圆表面免受倒装芯片键合器中发生的所有机械抓取和触摸的损伤。

计量和测试

用于混合键合的计量系统需要高灵敏度，同时适应整个晶圆、薄膜框架上的切片晶圆，以及载体上的重组晶圆。KLA的Kronos 1190检测系统结合了用于小颗粒检测的暗场通道和用于检测残留缺陷的明场通道。使用叠加标记检查对齐情况。“不同的设备在计量方面对3D集成有不同的需求。对于某些设备来说，在键合前后检查覆盖层是可以实现的。但对于许多设备来说，需要在键合前后进行电气测试，因此这并不容易，”Uhrmann表示。

结论

为满足高端处理器、HBM、microLED等领域旺盛的市场需求，混合键合工艺正越来越成熟和完善。技术的融合与协同是解决污染、工艺集成和热预算限制的关键，这些限制可使该技术变得更加易于使用，而不是仅限于高端设备制造商才能应用。重要的是，混合键合正在将前端工艺和后端工艺结合在一起，以获得弥补这一差距的合作机会。

参考文献

1.E·Beyne等，“3D SoC集成，超越2.5D Chiplet”，IEDM 2021

2.L·Mirkarimi等，“铜微架构对混合键合中热预算的影响”，IEEE ECTC，2022年5月

3.A·Bond等，“用于高对准精度和高吞吐量3D集成的集体芯片到晶圆自组装”，IEEE电子元件和技术会议，2022年5月

<https://new.qq.com/omn/20220729/20220729A017J700.html>