



Chiplet互聯的標準化，將使異質整合的道路走得更加順遂，也為先進封裝市場創造出更大的需求。

Chiplet帶動先進封裝需求 標準化有助克服量產難題

黃繼寬

關鍵字：TSMC；日月光；EV Group；異質整合

異質整合是當前半導體產業的熱門關鍵字之一，更被視為是接續「摩爾定律」之後，下一個引領半導體技術發展方向的指南針。不過，異質整合同時也為半導體產業帶來更複雜的挑戰，諸如互聯線寬該如何微縮、如何實現微米級，甚至次微米級精度的晶片對位等。而且這些技術課題都必須在兼顧生產速度、生產成本的前提下，找到解決辦法。需要整個半導體供應鏈上下游通

力合作，才能找到更好的應對策略。

異質整合是追求最佳PPA的另一條路

台積電卓越院士兼研發副總經理余振華(圖1)指出，異質整合與製程微縮，是兩條朝著共同目標前進的不同路徑。在設計SoC晶片時，設計團隊都會追求性能(Performance)、功耗(Power)與面積(Area)的最佳化，亦即

「異質整合與製程微縮，是殊途同歸的兩條路。」



圖1 台積電卓越院士兼研發副總經理余振華

業界常說的PPA。異質整合其實也有類似的追求目標，只不過是把面積代換為體積 (Volume)，希望能在最小的占用空間內，實現最高性能、最低功耗的元件設計。

因此，製程微縮跟異質整合是並行不悖，殊途同歸的兩條路。也因為異質整合仍是以微型化作為主要的追求目標，因此，線路的微縮跟密度提升還是十分重要，只是異質整合將微縮的重點放在晶片對晶片或其他元件之間的互聯，而非晶片內部的互聯線路。

要達到提高互聯密度的目標，有兩個做法，一是把互聯的線路寬度做得更細，另一個則是3D堆疊的互聯。在互聯線寬方面，台積電SoIC的接合線寬，未來會以每一代微縮70%為目標，正如同新一代SoC的製程線寬會比前一代微縮70%一樣。若能達成這個目標，在單位面積內，每一代的接合數量就可以比上一代增加一倍，進而提供多一倍的介面頻寬。

3D堆疊也是提高互聯密度的可行方法之一。藉由增加互聯的層數，在一個封裝結構中，可以整合更多晶片。這個發展方向會讓SoIC跟InFO、CoWoS這些技術有更緊

密的連結，實現在相同的封裝體積內整合更多功能的目標。

克服成本挑戰需要產業協作

雖然異質整合是半導體產業未來一個重要的技術發展方向，但不可諱言的是，目前用來實現異質整合的先進封裝技術，在成本方面還是略顯偏高。

余振華認為，異質整合存在兩個主要挑戰，一是如何做好成本控制，二則是如何提高製程控制的精準度。如果要借用IC製程中的晶圓後段技術(BEOL)，例如銅製程來做先進封裝，成本仍是一個主要挑戰。BEOL的製程控制不是問題，但是以封裝的角度來看，BEOL設備的生產速度慢，機台的生產率(Throughput)偏低，不利於成本控制。

如果要使用封裝製程的技術來做先進封裝，雖然生產速度快，但製程控制的精準度，例如線寬的控制、對位的準確性，在技術上會有挑戰存在。這兩個挑戰會需要產業鏈上下游跟整個生態系統一起努力，找到好的解決辦法。

EV Group(EVG)業務發展總監Thomas Uhrmann(圖2)表示，標準化將是推動異質



圖2 EVG業務發展總監Thomas Uhrmann

「UCIe標準的出現，對Chiplet這種設計架構的普及應用非常重要。」

整合發展的過程中，不可或缺的一環。雖然現在業界已有許多由Chiplet組成的元件處在量產階段，但這些產品是個別廠商自行開發，採用獨特設計架構的產品。大廠憑藉其開創性的努力與可觀的資源投入，才一步步走到如今可以大量生產的地步，其所需要跨越的門檻是相當高的。

透過全新UCIe標準，接點的標準化簡化了單一品粒的設計及製造，這對於Chiplet概念的普及，會產生相當大的幫助。從EVG的角度來看，統一標準對建立良好的供應鏈來說非常重要，特別是高密度互連整合的方式，如裸晶對晶圓(Die to Wafer, D2W)的混合接合，因為沒有標準化的製程，導致不同製造商有各自的製造流程，這也使得他們需要不同的設備工具。

線寬控制/精準對位為兩大技術門檻

至於在製程控制方面，最大的挑戰來自接合與對位兩個彼此緊扣的環節。接合的線寬必須越來越小，也就是一般所說的線路微縮。而線路越做越細，則會使晶片的對位要求更加嚴苛。如果線路越做越細，

晶片卻無法準確地放在正確的位置上，一切都沒有意義。

Uhrmann指出，各種不同的融合和混合式接合技術，對於未來幾代元件的分割和最佳化系統單晶片至關重要。儘管晶粒和晶圓的接合流程非常相似，但在製造流程中的應用是不同的。

在晶圓級的元件生產製造中，晶圓到晶圓接合(Wafer to Wafer, W2W)是既定的流程。然而，若要把不同功能、尺寸，甚至是來自不同晶圓廠的Chiplet整合一個封裝體內，會使用D2W接合。這兩種方式都會藉由微縮製程，以進一步縮小互連間距。現在，我們看到W2W中的互連間距可做到比D2W接合低約5倍。D2W的互連間距約為10 μm 以下，而W2W量產上的互連間距則低於2 μm ，甚至到1 μm 。

一般來說，對位的精準度必須達到互連間距的1/10。也就是說，如果互連的間距是10 μm ，對位的精準度就必須達到1 μm 。

由於D2W的混合式接合要求條件與W2W非常相似，我們透過自己的設備解決方案提供晶粒表面活化和清潔技術，該解決方案可以單獨使用，也可以與高精度D2W

「異質整合帶來巨大的市場機會，每家廠商都有適合自己的切入點。」



圖3 日月光副總經理洪志斌

接合系統整合，而我們與ASM Pacific Technology建立共同開發計畫，正是為了便於為我們的客戶提供W2W與D2W的完整接合解決方案。

此外，EVG也提供不同的檢測解決方案，以量測與控制D2W與W2W混合式接合的對位精準度。最後，我們也為我們的客戶提供一個開發育成中心，稱為異質整合技術中心。我們在異質整合技術中心(Heterogeneous Integration Competence Center)主要利用EVG的無塵室設施、製程開發和工程技術來推動和縮短整合製造流程，為我們的客戶提供各種混合式接合方案。

Chiplet是人人有機會的生意

雖然晶圓代工廠利用先進封裝切入後段業務，對專業封測廠(OSAT)構成一定程度的挑戰，也搶走了不少目光，但對於OSAT業者而言，先進封裝仍是一個大有可為的市場。先進封裝的市場夠大，需求樣態又多元，擁有不同核心技術的供應商，可以找到不同的利基。

日月光副總經理洪志斌(圖3)就指出，除了追求更高的互聯密度外，異質整合還有

一個重點，亦即把實現整個系統所需的各種元件都整合在一個封裝體內，形成所謂的系統級封裝(SiP)。SiP的概念已經發展多年，現在SiP不只可以用在晶片之間的整合，也可以把其他非晶片的主被動元件，甚至連接器都整合在單一封裝體內。

要做到如此高度的整合，不只需要封裝技術，更需要設計跟測試的配合。日月光可以提供從設計、封裝到測試的一條龍服務方案，這也是日月光最大的競爭優勢。

余振華亦認為，異質整合的多樣性，確實讓產業鏈的成員都有發揮的空間，而不是造成零和競爭的局面。同一個題目，例如高效能運算(HPC)，台積跟日月光可以從不同的角度出發，做自己擅長的事情，並且各自為半導體創造出新的價值。

事實上，在半導體產業裡，很少出現水火不容的競爭局面。即便是同業，在競爭之外，不管是在檯面上或檯面下，都有許多合作的機會。像UCIe這類產業標準之所以能誕生，就是因為產業鏈裡的業者，即便是有競爭關係的同業，也深知合作才能讓技術早日成熟，進而把餅做大，對所有人都有好處的道理。