

## The key to next-generation NAND and foundry selected by EVG, a global equipment company... 'Hybrid bonding' – February 9, 2023

글로벌장비업체EVG가 꼽는 차세대 낸드.파운드리 핵심...하이브리드 본딩

- 장경윤 기자
- 승인 2023.02.10 10:37
- 

폴 린드너 EVG 최고기술책임자(CTO) 인터뷰

"하이브리드 본딩, 첨단 메모리 및 시스템반도체에 적용 확대"  
"한국 주요 파트너와 고적층 낸드, BSPDN 분야에서 협력강화"

폴 린드너 EVG CTO(오른쪽)와 윤영식 EVG한국지사장. <사진=장경윤 기자>

최근 반도체 산업 분야의 키워드는 초미세공정과 첨단 패키징이다. 더 미세한 공정기술을 선제적으로 도입하려는 경쟁이 한쪽에서 진행 중인 동시에 다른 쪽에선 초미세공정 구현 속도가 더딘 한계를 패키징으로 해결하는 움직임도 있다.

반도체·디스플레이 후공정장비 기업인 오스트리아 EV Group(이하 EVG)은 이런 두 가지 분야에서 경쟁력을 인정받는 글로벌 기업이다.

최근방한한 폴 린드너(Paul Lindner) EVG CTO로부터 EVG의 핵심 기술과 경쟁력에 대해 들어봤다.

린드너 CTO는 "첨단 로직 및 메모리 반도체 구현을 위해서는 향후 하이브리드 본딩 기술이 필수적으로 활용될 것"이라며 "주요 반도체 기업들도 웨이퍼와 웨이퍼를 연결하는 웨이퍼-투-웨이퍼(W2W), 웨이퍼의 후면까지 활용하는 BSPDN 공정 등을 확대 적용하려고 하고 있다"고 설명했다. 그는 "EVG는 이같은 고객사의 니즈를 충족할 수 있는 다양한 장비 및 솔루션을 제공할 수 있다"고 강조했다.

오스트리아에 본사를 둔 EVG는 반도체 및 디스플레이 후공정용 장비를 전문으로 개발하는 업체다. 웨이퍼 본더 및 나노임프린트(NIL) 리소그래피 장비를 비롯해, 얼라이너, 코터, 적외선(IR) 계측 시스템 등 다양한 후공정 관련 솔루션을 전세계 주요 고객사에 공급하고 있다.

EVG가 집중 공략하고 있는 시장은 '3D IC' 분야다. 3D IC는 기판 위에 회로를 수평으로 집적하던 기존 방식과 달리, 회로를 수직으로 적층하는 첨단 패키징 기술이다. 동일한 웨이퍼 면적에 더 많은 소자를 구현할 수 있고, 트랜지스터 간 배선의 길이를 줄여 칩 성능을 높일 수 있다. 특히 반도체 회로를 미세화하는 전공정 기술이 점차 한계에 다다른 지금 3D IC는 차세대 칩 구현을 위한 핵심 요소로 떠오르고 있다.

다만 3D IC는 기술적 난이도가 매우 높다는 한계점도 지닌다. 3D IC는 기존 다이(Die) 단에서만 이뤄지던 후공정 기술을 웨이퍼의 영역까지 끌어올리기 때문에, 단순히 후공정만이 아니라 전공정 기술까지 포괄적으로 다뤄야 한다. 반도체 업계가 3D IC와 같은 첨단 패키징을 전통적인 백 엔드(Back-End)가 아닌 미들 엔드(Middle-End) 기술로 부르는 이유도 여기에 있다.

현재 EVG는 다양한 3D IC의 영역 중에서도 W2W 등의 첨단 하이브리드 본딩 시장에서 강세를 보이고 있다. W2W는 칩을 다이 단에서 적층하던 기존 D2D와 달리, 웨이퍼와 웨이퍼를 연결해 생산성을 높이는 기술이다. 시장조사업체 올 그룹에 따르면 관련 영구 본딩장비 시장 규모는 2021년 기준 3.56억 달러 수준으로, EVG가 차지하는 시장 점유율은 75%에 달한다.

지난 1988년부터 지금까지 약 35년간 EVG에서 기술 개발을 담당하고 있다. 해 온 폴 린드너 CTO는 "주요 반도체 업체들이 첨단 이미지센서와 MEMS(미세전자기계시스템), 고적층 3D 낸드플래시 등을 앞다투어 개발하면서 하이브리드 본딩 시장 역시 향후 5년~10년간 10배 정도 성장할 것으로 예상된다"며 "EVG는 고객사의 니즈를 충족시킬 수 있는 고성능, 고효율 솔루션을 제공할 수 있다"고 밝혔다.

폴 린드너 CTO가 이번 인터뷰에서 강조한 EVG의 핵심 장비는 'GEMINI FB', 'BONDSCALE' 등이다. GEMINI FB는 하이엔드급 낸드플래시용 본딩에 최적화된 장비로, 웨이퍼 층 간 정렬도를 최대 50nm 수준까지 구현한다. BONDSCALE은 EUV(극자외선) 공정의 영역일 2~3nm 수준의 최선단 파운드리 공정에서 적용될 예정인 BSPDN(Back Side Power Delivery Network) 공정을 지원하는 본딩 장비다. BSPDN은 웨이퍼 전면에 이어 후면까지 활용하는 기술로, 삼성전자 역시 2nm 공정부터 적용하겠다는 계획을 밝힌 바 있다.

EVG는 이같은 하이브리드 웨이퍼 본딩 기술 개발을 위해 세계 각국에서 공고한 협력 체계를 구축하고 있다. 폴 린드너 CTO는 "유럽 최대 규모의 반도체 연구소 IMEC, 프랑스 LETI, 대만 ITRI 등과 차세대 기술을 개발 중"이라며 "물론 한국의 주요 반도체 제조업체와도 메모리 및 비메모리 분야에서 모두 협력하고 있다"고 설명했다.

다음은 폴 린드너 CTO와의 주요 인터뷰 내용이다.

Q. W2W 시장의 선두업체다. 향후 하이브리드 본딩 시장이 얼마나 성장할 것이라고 보는가?

A. 하이브리드 본딩 기술은 메모리 및 비메모리 시장에서 모두 채택되고 있기 때문에 빠른 성장세를 나타내고 있다. 2~3nm 수준의 선단 파운드리 공정, 고적층 낸드 메모리 등이 대표적인 사례다. 중국의 한 선도적인 메모리업체는 이미 W2W 본딩을 적용한 제품을 생산했고, 다른 주요 메모리업체들도 모두 해당 본딩 기술을 개발 중이다.

하이브리드 본딩의 전체 시장 규모를 추산할 수는 없지만, 올 그룹에 따르면 W2W, D2W의 영구 본딩장비 시장 규모는 2021년 기준 3.56억 달러다. EVG는 이 시장에서 75%에 달하는 점유율을 차지하고 있다.

임시 본딩까지 합하면 시장 규모는 더 늘어날 것이며, 본딩 시장이 다루는 영역이 이미지센서, 메모리 등 주류 반도체 시장이기 때문에 성장률 역시 높을 것으로 보고 있다. 이를 종합하면 하이브리드 본딩 시장은 향후 5~10년 사이 10배가량 성장할 수 있을 것으로 예상된다.

Q. 고객사들이 하이브리드 본딩을 가장 적극적으로 적용하고자 하는 분야는?

A. 여러 분야가 있다. 비메모리 분야에서는 이미지센서가 내부의 픽셀 및 로직 영역을 밀도있게 연결하기 위해 이전부터 하이브리드 본딩을 채택해왔다. 자율주행과 같은 고성능 이미지 처리를 위한 스마트 카메라 역시 매우 높은 집적도를 필요로 하는데, 이는 하이브리드 본딩을 통해서만 구현이 가능하다.

선단 파운드리 공정의 경우 칩의 집적도를 높이기 위한 BSPDN 기술을 도입할 것이다. BSPDN은 웨이퍼 전면에 모두 배치되던 신호처리와 전력 영역을 분리해, 웨이퍼 후면에 전력 영역을 배치하는 차세대 기술이다.

메모리 시장에서는 전세계 주요 제조업체들이 낸드를 더 많이 적층하는 경쟁을 치열하게 벌이고 있다. 향후에는 1000단 이상의 낸드도 개발이 될 예정인데, 적층 수가 높아질수록 패키징 영역에서 성능 및 생산 효율성을 끌어올리고자 하는 시도가 활발해질 것이다. 중국의 주요 업체가 첨단 낸드 제품에 엑스테킹(낸드의 핵심 요소인 셀과 페리를 각각 다른 웨이퍼에서 만들어 하나로 이어 붙이는 기술)을 적용하고 있는 것이 좋은 사례다.

EVG의 선단 공정용 하이브리드 본딩 시스템인 BONDSCALE. 출처 : EVG

Q. 이러한 고객사의 수요를 충족하기 위한 EVG의 전략은?

A. 낸드의 적층 수가 높아질수록 웨이퍼에 가해지는 부담은 높아지는데, 이는 결국 보우(웨이퍼가 압력에 의해 활처럼 휘어지는 현상)와 같은 결함을 발생시킬 가능성을 야기한다. 이에 EVG는 결함을 정밀하게 제어할 수 있는 본딩 기술 개발에 초점을 맞추고 있다.

또한 메모리는 산업 특성 상 생산 효율성을 매우 중요하게 여기기 때문에, 웨이퍼와 관련한 작업에서도 높은 반복정밀도와 정확성을 요구한다. 그래서 EVG는 동일한 풋프린트에서도 더 높은 생산성을 갖춘 장비를 개발하기 위해 노력 중이다.

Q. 반도체 선폭이 미세화되고 있는 만큼, 본딩 과정에서 웨이퍼를 정확히 정렬하는 기술도 중요해질 것 같은데

A. 그렇다. 현재 EVG의 하이브리드 본딩 솔루션은 오버레이(웨이퍼 상부층과 하부층 간 회로 위치의 정렬도)에서는 100nm 이하의 정렬도를 제공할 수 있다. 또한 얼라인(각 웨이퍼 층의 회로가 지닌 X,Y 값이 일치하는 정도)는 50nm 이하 수준까지 만족할 수 있다. 향후에는 요구되는 오버레이 정렬도 50nm 이하까지 낮춰질 것으로 예상되기 때문에, 이에 대응할 수 있는 장비를 개발하는 것이 EVG의 로드맵이다.

또 다른 주요 요구사항은 웨이퍼 왜곡의 최소화다. 일부 반도체는 본딩 및 씨닝(웨이퍼 두께를 얇게 하는 공정) 등을 거쳐 리소그래피 공정을 다시 거치게 되는데, 이 때 웨이퍼에 굴곡이 생기게 되면 리소그래피가 제대로 되지 않는다. 특히 10nm 이하의 미세 공정을 다루는 고객사에서 이 같은 문제에 더 민감하기 때문에 이 웨이퍼 왜곡 현상을 최소화해야 한다. 즉 본딩 과정에서 웨이퍼에 손상을 주지 않는 기술이 필요하다고 할 수 있다.

Q. 기술 개발을 위한 협력 관계는 어떻게 구축하고 있나?

A. 반도체와 관련해 새로운 트랜지스터 기술과 물질이 활발히 개발되고 있다. 이에 EVG는 세계적인 반도체 연구기관인 IMEC, 프랑스 LETI, 독일 프라운호퍼, 대만 ITRI 등과 협력해왔다. 이들 기관과의 협업은 본딩 및 리소그래피 분야에서 폭넓게 이뤄지고 있다.

Q. 이번에 한국을 방문한 목적은?

A. EVG는 전세계의 최상위 반도체 기업들과 모두 전략적 파트너가 되고 싶다. 차세대 제품을 개발하려는 우리의 로드맵을 실현하기 위해서는 선단 공정을 개발하는 고객사들의 니즈를 파악해야 한다. 이러한 관점에서, 한국은 첨단 파운드리 공정과 메모리가 모두 양산되고 있는 매우 중요한 시장이다.

구체적인 협업 프로그램에 대해 언급할 수는 없지만, 첨단 메모리 구현 및 첨단 공정의 BSPDN 도입을 위한 하이브리드 본딩이라는 두 주제에 초점을 두고 한국의 파트너들과 협력하고자 한다.

Q. 하이브리드 본딩 외에도 주력 솔루션이 있다면

A. EVG는 사업 영역을 다변화하는 측면에서 폭넓은 솔루션을 개발하고 있다. 대표적으로는 나노임프린트 리소그래피, 마스크리스 리소그래피 설비 등이다. 나노임프린트는 PR(포토레지스트)이 도포된 웨이퍼 위에 찍어 회로를 형성하는 기술로 DNA 염기서열분석, 차량용 (MLA)마이크로렌즈어레이 등에 필요한 기술이다.

마스크리스 리소그래피는 실제 마스크를 활용하는 대신 마스크 데이터를 실시간으로 전송해 노광을 진행하는 기술이다. 현재 EVG의 설비로는 최소 2마이크로미터의 분해능을 구현할 수 있다. 해당 기술은 PCB(인쇄회로기판) 및 첨단 후공정 분야에서 적용이 확대될 것이라고 생각한다.

Q. 시장 규모 및 고객사 수요 확대에 대비하기 위한 EVG의 설비 투자 전략은 무엇인가?

A. EVG는 매우 집중화된 설비투자를 진행하고 있다. 오스트리아 소재의 본사를 중심으로 양산 라인을 지속 늘려나가고 있고, 향후 추가적인 생산능력 확대를 고려해 인근 부지를 확보한 상태다. 현재 양산 라인은 5,6번째 신규 라인을 건설하고 있다.

디일렉=장경윤 기자 jkyoon@thelec.kr

《반도체·디스플레이·배터리·전자부품 분야 전문미디어 디일렉》

Tag##EVG##본딩##패키징##후공정##W2W##BSPDN

저작권자 © 전자부품 전문 미디어 디일렉 무단전재 및 재배포 금지

장경윤 기자

다른기사 보기

출처 : 전자부품 전문 미디어 디일렉(<http://www.thelec.kr>)

<https://www.thelec.kr/news/articleView.html?idxno=19690>