

## Die-to-Wafer-Bonding rückt ins Rampenlicht – February 7, 2023

### Heterogene Integration

#### Die-to-Wafer-Bonding rückt ins Rampenlicht

8. Februar 2023, 6:50 Uhr | Von Dr. Thomas Uhrmann, Business Development Director der EV Group (EVG)

	Co-D2W	DP-D2W
Transfer Method	Collective Die Transfer by Reconstituted Carrier	Direct Placement of Activated Dies using Flip Chip Bonder
Pros	<ul style="list-style-type: none"> <li>• Proven technology</li> <li>• Die activation and cleaning equivalent to W2W hybrid bonding</li> <li>• Oxide management</li> <li>• Rework on carrier feasible</li> </ul>	<ul style="list-style-type: none"> <li>• Versatile method</li> <li>• Die thickness invariant</li> </ul>
Cons	<ul style="list-style-type: none"> <li>• Error propagation of D2W + W2W alignment</li> <li>• Cost of carrier prep, utilization and clean</li> <li>• Die thickness needs to be in narrow range</li> </ul>	<ul style="list-style-type: none"> <li>• Bonding interface needs to be touched</li> <li>• Die handling, especially for multi-die stacks such as SRAM, DRAM</li> <li>• Particle management during die placement</li> </ul>

Hybride Die-to-Wafer-Bonding-Verfahren für die heterogene Integration im Vergleich: links das Collective-Die-to-Wafer-Bonding (Co-D2W) rechts das Direct-Placement-Die-to-Wafer-Bonding (DP-D2W)

**D2W-Hybrid-Bonding ist ein Prozess, der die Einführung der 3D- und heterogenen Integration beschleunigt und neue Generationen von Devices mit hoher Bandbreite, hoher Leistung und niedrigem Stromverbrauch ermöglicht.**

Die Infrastruktur für das D2W-Hybrid-Bonding (Die to Wafer) befindet sich noch in der Entwicklung, neue Prozesse und Kooperationen über die gesamte Lieferkette hinweg sind aber bereits auf dem Vormarsch und werden eine wesentliche Rolle bei der Entwicklung von Best-Practice-Methoden für das D2W-Hybrid-Bonding spielen.

### Advanced Packaging

Die Halbleiterindustrie durchläuft derzeit den radikalsten Wandel ihrer Geschichte. Viele neue Anwendungen wie künstliche Intelligenz (KI), erweiterte/virtuelle Realität und autonomes Fahren erfordern eine enorme Rechenleistung mit speziell für die jeweilige Anwendung optimierten Prozessoren. Gleichzeitig werden die Entwicklungszyklen immer kürzer, die Kosten für neue Chipdesigns steigen

exponentiell, und die Produktionsausbeute geht in vielen Fällen zurück. All diese Aspekte können nur erfolgreich angegangen werden, wenn die Prinzipien des gesamten Halbleiterherstellungsprozesses geändert werden.

Während die Skalierung von 2D-Transistoren nach wie vor wichtig ist, haben die steigenden Kosten und die mit der Skalierung verbundene Komplexität die Halbleiterindustrie dazu veranlasst, sich der 3D-Integration und der heterogenen Integration zuzuwenden. Darunter versteht man die Herstellung, Verbindung und Verpackung mehrerer verschiedener Komponenten oder Dies mit unterschiedlichen Strukturgrößen und Materialien in einem einzigen Bauteil oder Package, um so die Leistung neuer Bauteil- bzw. Device-Generationen zu steigern.

Diese Migration hin zum Advanced Packaging als wichtiger Innovationstreiber begann mit dem Übergang von monolithischen Systemen zu Systemen auf Die-Ebene wie beispielsweise den neu auf den Markt gebrachten Smartphone-Anwendungsprozessoren. Diese vereinen einzelne Komponenten wie Prozessor, Speicher und KI- bzw. neurale Komponenten mithilfe fortschrittlichster Verfahren zur Chip-Verpackung. Diese Transformation wird sich in den kommenden Jahren mit der weiteren Miniaturisierung dieser Komponenten von Dies zu Chiplets nur noch weiter beschleunigen und damit eine viel präzisere und individuellere Abbildung der Kunden- und Anwendungsanforderungen ermöglichen.

**Matchmaker+** Anbieter zum Thema



[zu Matchmaker+](#)

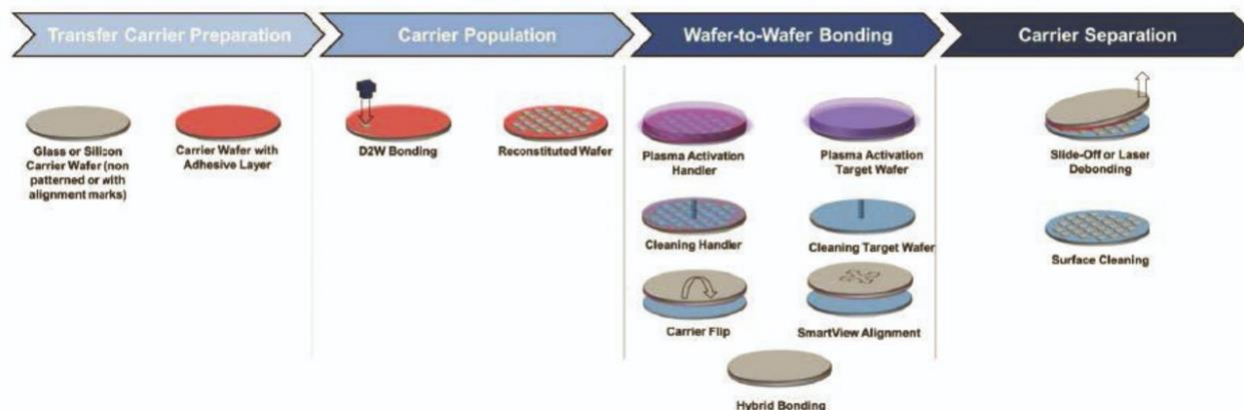


Bild 1: So funktioniert das Collective Die-to-Wafer-Bonden (Co-D2W).

### Chiplets und Hybrid Bonding

Die Möglichkeit, große Chips, die mehrere hundert Quadratmillimeter groß sind, in kleinere Teile zu zerlegen, kann zu einer besseren Ausbeute und damit zu Kosteneinsparungen führen. Außerdem müssen nur die Chips, für deren Herstellung die neuesten Lithografiemasken bzw. Strukturgrößen erforderlich sind, mit dieser Technologie hergestellt werden, während die übrigen Chips mit Lithografieverfahren einer älteren Generation und damit weniger kostspielig gefertigt werden können. Die Komplexität und die Innovationen der Halbleiterfertigung verlagern sich also immer mehr in den Bereich des Advanced Packaging, was wiederum flexible Hybrid-Bonding-Technologien immer wichtiger werden lässt.

Das Wafer-to-Wafer(W2W)-Hybridbonden, bei dem Wafer aus verschiedenen Produktionslinien gestapelt und elektrisch verbunden werden, ist ein zentraler Prozess bei der heterogenen Integration, der sich bei CMOS-Bildsensoren und verschiedenen Speicher- und Logiktechnologien bewährt hat. Weil jedoch viele Chipllets nicht unbedingt die gleiche Größe haben, kann ein hybrides Die-to-Wafer(D2W)-Bonding eine praktikablere Option sein.

Für die heterogene Integration werden verschiedene D2W-Bonding-Ansätze in Betracht gezogen, die jeweils unterschiedliche Vor- und Nachteile aufweisen (siehe Tabelle). Welcher Ansatz für eine bestimmte Anwendung am besten geeignet ist, hängt von mehreren Faktoren ab, z. B. von der Die-Größe, der Die-Dicke und der Gesamthöhe des Stapels sowie von Schnittstellenüberlegungen wie Kontaktdesign und Dichte.

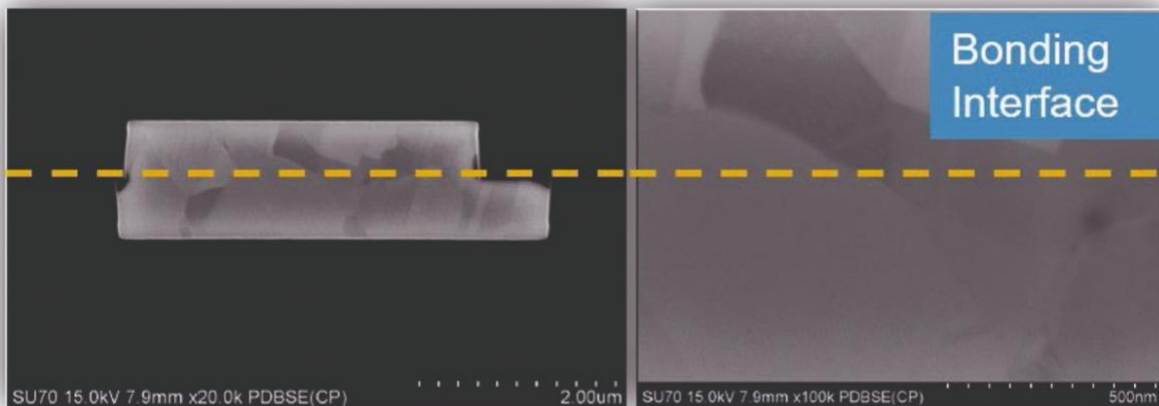


Bild 2: Über das Transmission-Electron-Microscopy-Verfahren (TEM) erstellte Querschnittsbilder der übertragenen Dies nach dem Hybridbonden

### **Collective Die-to-Wafer-Bonding**

Ein hybrides D2W-Bonding-Verfahren, das bereits seit einigen Jahren in der Massenproduktion für Anwendungen wie Silicon-Photonics eingesetzt wird, ist Collective Die-to-Wafer-Bonding (Co-D2W). Beim Co-D2W-Bonding werden vereinzelt Dies über einen Trägerwafer auf den endgültigen Wafer übertragen und in einem einzigen Prozessschritt gemeinsam gebondet. Der Fertigungsablauf für das Co-D2W-Bonding ist in Bild 1 dargestellt und besteht aus vier Hauptabschnitten: Trägervorbereitung, Trägerbestückung, Wafer-Bonding (temporär und permanent) und Trägerabtrennung.

Vor dem ersten Dicing-Prozess wird der Wafer mit einer Schutzschicht überzogen, um die Qualität der Bondschnittstelle während des Dicing- und Pick-and-Place-Prozesses zu erhalten, weil die Bondschnittstelle mit der Oberseite nach oben auf dem Dicing-Tape ausgerichtet ist. Bei dem Material der Schutzschicht kann es sich um einen handelsüblichen, positiven Fotoresist und/oder eine beliebige andere Schutzschicht handeln, die die Spezifikation des verwendeten Dicing-Verfahrens erfüllt und anschließend mit einem Reinigungsverfahren auf Lösungsmittel- oder Wasserbasis vollständig entfernt

werden kann. Die Schleuderbelackung der Schutzschicht auf Wafern mit geringer Topografie kann mit einem automatischen Belackungssystem wie dem EVG150 durchgeführt werden. Für Wafer mit einer Topografie von mehr als 5 µm kann mit der gleichen Anlage eine Sprühbelackung durchgeführt werden.

Um die Chips mithilfe eines Pick-and-Place-D2W-Bonders vorübergehend auf dem gemeinsamen Chipträger zu platzieren und während des Reinigungs-, Die-Vorbereitungs- und -Transferprozesses in ihrer Position zu fixieren, wird der Trägerwafer mit einem handelsüblichen temporären Bondmaterial beschichtet. Welche Art von temporärem Bond-Kleber, der beispielsweise mit einem temporären Wafer-Bonder wie dem EVG850TB auf die Trägersubstrate aufgebracht werden kann, im Einzelfall verwendet wird, hängt von den Nachbearbeitungsschritten ab. Während der Vorbereitung des Trägers können verschiedene Messsysteme eingesetzt werden, etwa das EVG40NT zur Messung der Die-Positionierungsgenauigkeit und das EVG50 zur Bewertung der Höhenabweichung des eingehenden Die, der Planarität der Die-Oberflächen und der Klebstoffdicke.

Seite 1 von 2

1. **Die-to-Wafer-Bonding rückt ins Rampenlicht**
2. ["Gesamtausrichtungsgenauigkeit von deutlich unter 1 µm wird in Zukunft erreicht werden können"](#)

<https://www.elektroniknet.de/elektronikfertigung/fertigungstechnik/die-to-wafer-bonding-rueckt-ins-rampenlicht.201894.html>