

Chiplet goes mainstream, the industry meets new challenges – February 19, 2023

Chiplet走向主流，产业迎接新挑战

发布人：[旺材芯片](#) 时间：2023-02-20 来源：工程师

半导体行业正在构建一个全面的小芯片生态系统，以利用这些设备相对于传统单片系统级芯片 (SoC) 的优势，例如改进的性能、更低的功耗和更大的设计灵活性。随着异构集成 (HI) 提出重大挑战，协作以发挥小芯片的潜力变得更加重要。

行业专家聚集在 SEMICON Taiwan 2022 的异构集成峰会上，就不断发展的小芯片生态系统如何克服这些不利因素发表看法。

日月光集团企业研发中心副总裁兼 SEMICON 台湾封测委员会联席主席 CP Hung 在大会上表示：“从大局来看，半导体的发展实际上就是系统集成的高效完成。”“系统集成可分为两种类型的 HI——同构集成和异构集成。在深入HI技术的同时，我们必须继续加强和促进产业链成员之间的合作，以克服沿途可能出现的各种挑战。”

小芯片势头强劲

专门研究微电子封装和组装技术趋势的市场研究领导者 TechSearch 的总裁 Jan Vardaman 指出，IC 设计人员发现用小芯片制造他们想要的芯片更容易、更灵活。小芯片还可以通过使用最具成本效益的工艺生产不同的功能电路来降低芯片制造成本，而不必依赖最先进的技术。

随着 chiplet 能够实现更大的灵活性和更好的成本结构，市场上已经推出了更多基于 chiplet 的设备。然而，由于它们是由不同制造商独立开发的，因此 chiplet 产品通常无法互操作和兼容，从而导致 chiplet 生态系统碎片化。这就是为什么旨在打破壁垒的 UCle 标准的推出是 chiplet 发展过程中的一个重要里程碑。

AMD 高级封装公司副总裁 Raja Swaminathan 认为，市场需求是推动半导体行业向异构集成过渡的关键因素之一。高性能计算 (HPC) 市场对更高处理器性能的推动不再仅通过制程扩展来满足。作为处理器供应商，AMD 必须找到满足客户需求的新方法，而小芯片是最有效的解决方案之一。chiplets 使 AMD 能够克服成本和规模挑战，并推出产品以更好地满足市场需求。

“进一步推动 chiplet 生态系统发展的关键在于如何将行业的研究成果转移到教育系统中，”HIR 主席、日月光集团院士 William Chen 表示。“从设计方法到技术的一切都掌握在行业手中，因为它更关注小芯片。然而，在学校学习小芯片设计的学生很少。众所周知，人才对半导体的发展至关重要。只有将 chiplet 带给更多学校学生，我们才能看到更多基于 chiplet 的技术在未来发生。”

Cadence 研发副总裁 LogoDon Chan 表示，小芯片推动了 IC 设计领域的范式转变。通过将 SoC 的各种芯片功能分解为小芯片，并通过先进的封装将它们组装到单个设备中，IC 设计人员找到了一条摆脱功率性能区 (PPA) 的新途径，这是他们开发的工艺技术的三个主要组成部分一直在努力平衡。然而，这一趋势也带来了新的挑战，例如如何拆分最初集成在 SoC 中的功能，设计 chiplet 互连架构 plet，以及克服芯片堆叠带来的散热挑战——这些都是最难解决的问题。设计流程、方法和工具需要不断发展以克服这些障碍。

“对于 IC 设计师来说，小芯片最有趣和最有价值的方面是他们将 IC 设计变成混合鸡尾酒，”联发科制造运营和供应链管理副总裁 HW Kao 说。“人们可以通过混合不同的材料来创造独特的产品。芯片分割——将客户所需的功能分成多个芯片——已经成为唯一的出路。”

在实践中，联发科发现分片有助于降低成本，一些功能可以用更成熟、更具成本效益的制造工艺来制作。单个芯片的面积越来越小，使得更好的生产良品率成为可能。

散热：浸入式冷却潜力巨大

随着先进封装成为可能的小芯片正在推动半导体制造中的重要技术浪潮，设备过热 - 长期以来的重大挑战 - 只会随着封装的进步而变得更加复杂。

Wiwynn Corp 总裁 Sunlai Chang 表示，需要上下游整个产业链共同努力，以更有效的方式改善散热。

Wiwynn 近年来一直在开发浸没式冷却解决方案，因为芯片产生的热量已无法再仅靠风扇去除接近极限的液体冷却技术。Chang 表示，将整个主板与电子元件冷却液一起浸泡将是散热的未来。

“目前用于半导体器件的封装技术尚未针对浸入式冷却进行优化设计，”Chang 表示，他渴望与封装行业的合作伙伴合作开发新的解决方案。

负责数据传输的 I/O 单元也是一个重要的热源，计算性能的不不断提升和 I/O 带宽的增加，降低 I/O 功耗将变得更具挑战性，思科系统方面认为：“互联网数据量的增长是没有限制的，对网通芯片的 I/O 带宽要求也越来越高。但事实是，传统的传输介质无法再以可接受的功耗水平承载如此大量的数据。由硅光子学等共封装光学 (CPO) 技术支持的网通 ASIC 正在成为主流趋势。”

CPO 是一种典型的 HI，它通过先进的封装技术将采用 CMOS 工艺的逻辑单元和采用特殊工艺制成的光电和光学元件集成在一起，使芯片开发商不仅可以获得更多的通信带宽，还可以大幅降低数据传输中的功耗。

全球最大的半导体芯片合约制造商台积电分享了其 CoWoS 技术的最新进展。台积电 APTS/NTM 总监 Shin-Puu Jeng 表示，公司多年前就开始开发 CoWoS 先进封装技术以满足 HPC 客户的需求，如今提供了 CoWoS 产品系列。

Jeng 表示台积电的 CoWoS 客户有不同的要求。有些重视性能，而另一些则需要高密度布线或更高的成本效益。例如 CoWoS，最初使用的是硅中介层，后来升级为 CoWoS-R，用有机中介层代替了硅中介层，响应速度和能耗更好，低阻抗线。通过组装去耦电容无源元件，芯片的集成度更上一层楼，使 CoWoS-R 成为大功率系统集成的完美选择。

Applied Materials、Brewer Science、EUV、Lam Research 和 SPI 等主要半导体行业公司也出席了异构集成峰会，讨论了用于 chiplet 集成、设备、材料及其解决方案的先进封装技术。

Hybrid bonding是去年展会的一个特别热门的话题，几乎所有先进封装厂商都利用该工艺尽可能地缩小片上互连和键合，以满足先进封装对互连密度的极端要求。虽然现在可以在大规模生产中使用混合键合，但仍有许多技术问题需要解决。

混合键合技术挑战解决方案的开发人员将从市场机遇中获益匪浅。半导体制造各个阶段（从设备和材料到测试和测量）

*博客内容为网友个人发布，仅代表博主个人观点，如有侵权请联系工作人员删除。

<http://www.eepw.com.cn/zhuannlan/285355.html>