



(China)

电子行业深度报告：拐点已至，存储先起

2023年08月28日 09:44

1 产业复苏愈演愈烈

1.1 全球半导体市场逐步回暖

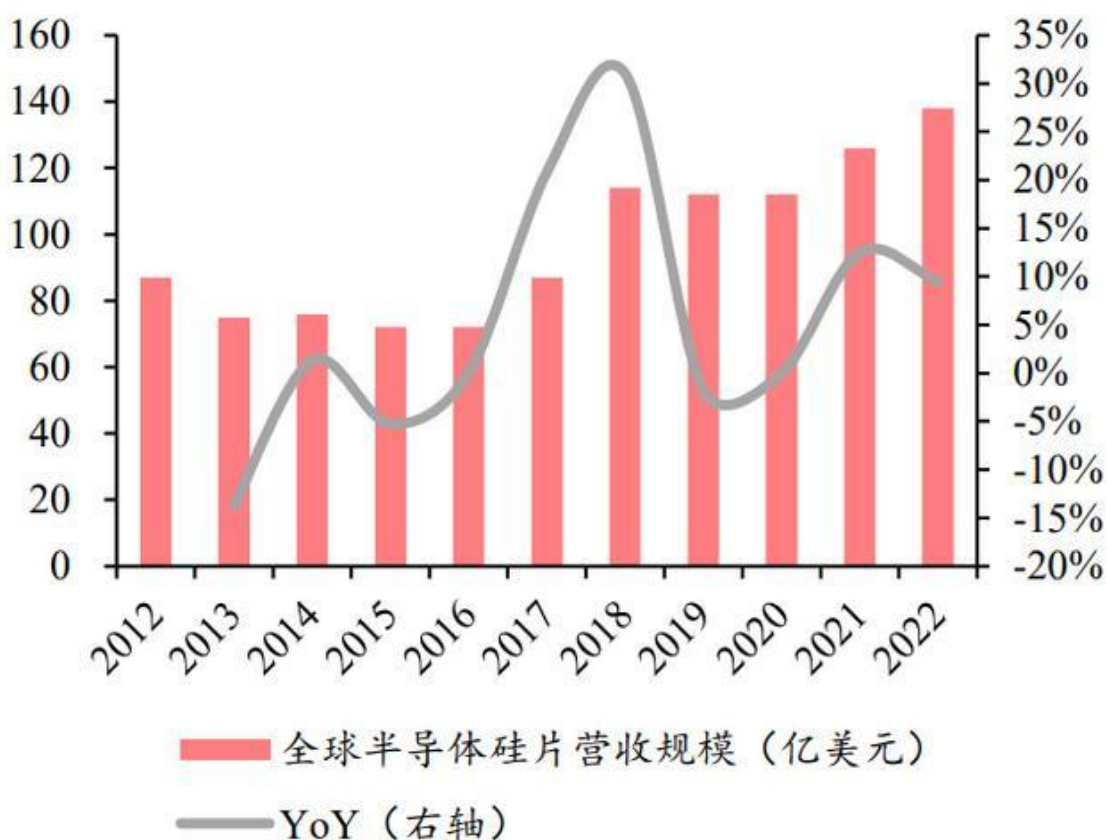
全球半导体销售额连续四个月环比向上。根据美国半导体工业协会（SIA）数据，2023Q2 全球半导体销售额共计约 1245 亿美金，相较于 2022Q2 同比下降 17.3%，相较于 2023Q1 环比增长 4.7%。其中 2023 年 6 月全球半导体销售额约 415 亿美金，相较于 5 月 407 亿美金环比增长约 1.9%，同时根据 SIA 统计数据我们发现：自 2023 年 3 月起，全球半导体销售额环比连续 4 个月为正，且环比增长幅度也由 3 月 0.3% 提升至 6 月 1.9%。我们认为，通过目前数据反映出自 2023 年二季度起全球半导体行情开始呈现复苏态势，且整体复苏呈现出逐步加速态势，后续伴随下游需求市场回暖以及部分半导体企业去库存进入尾声，全球半导体行业或将延续加速复苏态势。

中国半导体市场回暖速度快于全球。中国市场方面，根据 SIA 数据，中国市场 2023Q2 半导体销售额约 356 亿美金，同比下降约 28.4%，环比提升 5.6%。其中 2023 年 6 月，中国半导体销售额约 123 亿美金，同比下降 24.4%，环比提升 3.2%。对比同机构测算的全球数据，2023Q2 中国半导体市场销售额环比增速 5.6% 高于全球环比增速 4.7%，截止 2023 年 6 月中国半导体销售额连续 4 个月环比为正，且环比增速均高于全球市场。我们认为相较于全球而言，中国市场下游新兴领域发展较快以及部分需求表现亮眼，未来中国半导体市场有望延续加速回暖态势。

2022 年全球半导体硅片出货面积及营收续创新高，2023Q2 数据有所回暖。根据 SEMI 统计，2022 年全球半导体硅片出货面积达到 147.13 亿平方英寸，总营收为 138 亿美元，均创新高，分别同比增长 3.9%、9.5%。细分来看，全球硅片出货面积已经从 2012 年的 90.31 亿平方英寸增长至 2022 年的 147.13 亿平方英寸，CAGR 达到 5.0%，同比增速仅在 2019 年有小幅下滑；硅片营收规模也从 2012 年的 87 亿美元提升至 2022 年的 138 亿美元，CAGR 达到 4.7%。此外，硅片 ASP 也在 2022 年提高至 0.94 美元/平方英寸。SEMI 最新数据显示，2023Q2 的全球半导体硅片出货面积达到 33.31 亿平方英寸，虽然同比仍有 10.1% 的回落，但环比增速已转正至 2.0%。SEMI 表示，在汽车、工业、物联网以及 5G 建设等领域对半导体器件强劲需求的驱动下

，全球 8 英寸及 12 英寸硅片需求同步增长，我们认为 AI 引领的新一轮半导体上行周期将在未来几年持续驱动硅片需求的增长。

图表3:全球半导体硅片营收规模



中国台湾 8 寸及 12 寸硅片月度进口数据环比改善明显。中国台湾作为全球半导体产业的重要基地，其硅片进口数据同样值得关注。根据中国台湾海关公开数据，其 8 寸硅片在 2023 年 7 月的最新进口数量达到 106.46 万片，环比增长 9.7%，扭转了今年 3 月以来连续 4 个月环比下滑的趋势，进口金额也达到 4563 万美元，环比增长 8.0%；12 寸方面，2023 年 7 月进口数量达到 245.07 万片，环比大幅增长 17.7%，进口金额约 2 亿美元，环比增速也达到 11.1%。我们看到，中国台湾 8 寸和 12 寸硅片的月度进口数据明显回暖，表明半导体行业景气度正在复苏。

1.2 核心半导体企业业绩环比改善，回购潮彰显信心

全球核心半导体企业业绩环比向好。根据 Semiconductor Intelligence 的数据，在对终端用户销售产品的全球前 15 大半导体企业中 2023Q2 仅出现 2 家环比下滑（高通环比下滑 10%，英飞

凌环比下滑 0.7%)，同时根据最新指引情况，2023 年三 季度该趋势或将得到延续，截止目前 15 家企业中 9 家企业 2023Q3 收入将呈现环 比向上，环比增幅由 0.4%到 6.4%不等。我们认为，目前多数全球半导体公司呈 现业绩逐渐向好态势，未来伴随去库存进入尾声以及下游需求回暖，半导 体市场 有望延续环比向好态势。

国内众多上市公司大手笔推进股票回购，彰显长期发展信心。市场方面，我们注 意到自年初以 来，SW 电子板块中已有 63 家公司处于股票回购的进程中，其主要 目的基本都是用于实施股权激励或者员工持股计划。具体来看，其中韦尔股份在 今年 2 月 3 号和 8 月 18 号两次发表公告，分 别预计回购 706 万股和 1000 万股， 占总股本比例分别为 0.6%、0.85%，其中 2 月的回购进度 已达到 48.7%，8 月的回 购进度也来到 13.6%，预计花费 5 至 10 亿元的回购资金。此外，紫光 国微在 6 月 也公告预计回购 462 万股，但最新的回购数量已经超过预计值来到 528 万股，已 回购金额约 5 亿元，翱捷科技的已回购金额也达到 5.3 亿元。与此同时，TCL 科 技、寒武纪、鼎龙 股份、纳芯微等公司均在大手笔推进回购，我们认为此举充分 彰显了上市公司对于未来长期发展的 坚定信心。

1.3 英伟达业绩大超预期，AI 需求持续强劲

FY24Q2(CY23Q2)业绩：收入 135.1 亿美元，超出 FY24Q2 指引 (107.8-112.2 亿美元) ，yoy+101%， qoq+88%，超出彭博一致预期 (110.4 亿美元)； GAAP 净利润 61.9 亿美元， yoy+843%， qoq+203%； Non-GAAP 净利润 67.4 亿 美元，yoy+422%， qoq+148% GAAP： 每股摊薄收益 2.48 美元，yoy+854%， qoq+202%；毛利率 70.1%，超出 FY24Q2 指引 (68.1%-69.1%) ，yoy+26.6pcts， qoq+5.5pcts，与彭博一致预期持平；运营费用 26.6 亿美元， 略低于 FY24Q2 指引运营费用 (27.1 亿美 元) ，yoy+10%， qoq+6%。 Non-GAAP：每股摊薄 收益 2.70 美元，yoy+429%， qoq+148%；毛利率 71.2%，超出 FY24Q2 指引 (69.5%-70.5%) ，yoy+25.3pcts， qoq+4.4pts；运营费用 18.4 亿美元，低于 FY24Q2 指引运营费用 19.0 亿 美元，yoy+5%， qoq+5%。

FY24Q2(CY23Q2)分业务业绩：数据中心：收入为 103.2 亿美元，yoy+171%， qoq+141% ，占比为 76%，超出 彭博一致预期 (80 亿美元)； 游戏：收入为 24.9 亿美元，yoy+22%， qoq+11%，占比为 18%，超出彭博一致 预期 (24 亿美元)； 专业可视化：收入为 3.79 亿美元 ，yoy-24%， qoq+28%，占比为 2%，超出彭 博一致预期 (3 亿美元)； 汽车与自动驾驶：收入 为 2.53 亿美元，yoy+15%， qoq-15%，占比为 2%，略 低于彭博一致预期 (3 亿美元)； OEM&其他：收入 0.66 亿美元，yoy-53%,qoq-14%，占比为 0.5%，低于彭博一 致预期 (1 亿美 元)。

分业务亮点：

数据中心： 1) 英伟达宣布应用于 AI 和 HPC 的 NVIDIA® GH200 Grace™ Hopper™ 超 级芯片于本季度出货，采用 HBM3e 内存的第二代版本于 2024 年第二季度出货。 2) 推出

NVIDIA L40S GPU，是一款通用数据中心处理器，旨在加速计算最密集的应用程序。3) 将于本季度推出 NVIDIA MGX™，配合系统制造商高效地为 AI、HPC 等应用程序构建 100 多种服务器变体。4) 宣布推出 NVIDIA Spectrum-X™，系网络加速平台，旨在提高基于以太网 AI 云的性能和效率。5) 与全球系统制造商联合推出全新 NVIDIA RTX™ 工作站。6) 与 Amazon Web Services、Microsoft Azure 和区域云服务供应商共同推出基于 NVIDIA H100 Tensor Core GPU 的云实例。7) 发布 NVIDIA AI Workbench，为一种工具包，供开发人员在 PC 或工作站上快速创建、测试和预训练的生成式 AI 模型。

游戏：1) 开始发售 GeForce RTX™ 4060 系列 GPU，起售价 299 美元。2) 宣布推出适用于游戏的 NVIDIA Avatar Cloud Engine (ACE)，这是一项定制 AI 模型铸造服务，使用 AI 驱动的自然语言交互，通过为非可玩角色赋予人工智能来定制化游戏体验。3) 添加了 35 款 DLSS 游戏，包括《Diablo IV》、《Ratchet & Clank: Rift Apart》、《Baldur's Gate 3》和《F1 23》，以及《Portal: Prelude RTX》。

专业可视化：1) 推出三款基于 Ada Lovelace 架构的全新桌面工作站 RTX GPU (NVIDIA RTX 5000、RTX 4500 和 RTX 4000)，以提供最新的 AI、图形和实时渲染功能，这些产品将于本季度出货 2) 发布 NVIDIA Omniverse 平台的重要版本，为开发人员和工业企业提供新的基础应用程序和服务 3) 与 Pixar、Adobe、Apple 和 Autodesk 联合组建 OpenUSD 联盟，以促进通用场景描述技术的标准化、开发、演进。

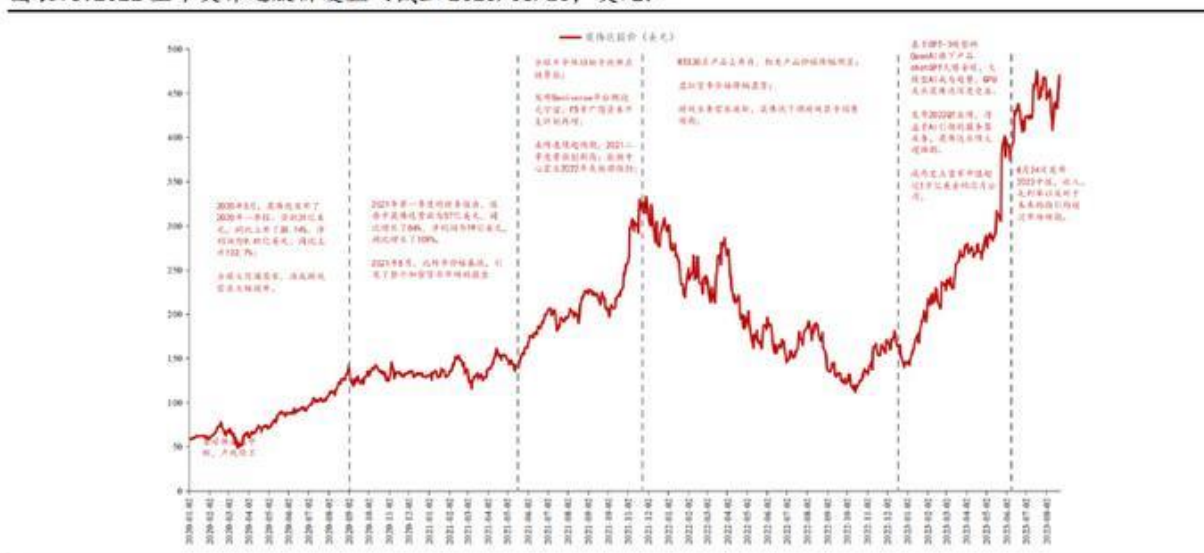
汽车与自动驾驶：1) 宣布 NVIDIA DRIVE Orin™为新款小鹏 G6 Coupe SUV 的智能高级驾驶辅助系统提供动力 2) 与联发科合作，为全球 OEM 厂商开发主流汽车芯片系统，该系统集成了用于 AI 和图形的全新 NVIDIA GPU 芯片 IP。

FY24Q3(CY23Q3)业绩指引：收入指引区间为 (156.8-163.2 亿美元)，中值 160 亿美元，yoy+171.2%，qoq+45.5%。GAAP 毛利率指引区间为 (71.0%-72.0%)；Non-GAAP 毛利率指引区间为 (72.0%-73.0%)。GAAP 运营费用预计约为 29.5 亿美元；Non-GAAP 运营费用预计约为 20.0 亿美元。GAAP 和 Non-GAAP 税率指引区间为 (13.5%-15.5%)，

见证万亿芯片公司，回顾英伟达近三年发展历程：2020：供应链中断，居家游戏需求提升。进入 2020 年，全球供应链中断、产线停止等不可预测事件对英伟达造成了重大影响，导致 2020 年一季度公司收入和利润同比出现负增长。随后，在 2020 年 9 月，英伟达首次宣布拟以 400 亿美元收购 Arm，这将成为该公司历史上规模最大的收购交易。2021：全球半导体短缺，拥抱元宇宙。进入 2021 年，全球半导体行业出现短缺状态，但英伟达的业绩表现强劲。同时，他们发布了 Omniverse 平台以迎接元宇宙的挑战，这使得公司股价出现显著增长。2022：加密货币需求下滑，游戏业务去库存。然而，进入 2022 年，加密货币价格暴跌导致相关 GPU 需求几乎消失，同时公司的主要游戏业务需求未达预期，库存去化带来的毛利率和业绩双双下滑，公司股价出现回落。

2023: AI 需求缔造万亿神话。2023 年初，基于 OpenAI 发布的大 GPT-3.5 架构的大型语言模型引起了广泛关注，人工智能领域获得了广泛关注。由于大型模型整体发展趋势，GPU 产品的强大计算能力备受瞩目，这使得英伟达公司有望在人工智能发展中获得深远影响，公司股价也出现了明显的增长。2023 年 5 月，英伟达发布 2023 年一季报，其中服务器相关业务表现旺盛，英伟达成为全球首家突破一万亿美金市值的芯片公司。在随后 2023 年 8 月公布的 2023 半年报中，英伟达业绩再超预期，2023Q2 单季度营业收入实现 135.1 亿美金，超出上季度指引（107.8~112.2 亿美金），单季度毛利率达到 70.1%，超出上季度指引（69.5%~70.5%）。

图表16:2022 至今英伟达股价复盘（截止 2023/08/23，美元）



2 存储：减产&控价成效显著，Nand Flash 价格上涨趋势持续巩固

2.1 本周存储价格行情

Nand Flash：大宗商品大容量价格持续上扬，中低容量稳中有升。大宗商品以 TLC 为例，低容量 3D TLC (256GB) 现货均价自 6 月初 (6.1) 以来维持相对稳定，本周现货均价维持 2.10 美元不变，中等容量 3D TLC (512GB) 现货均价自 7 月初 (7.3) 以来微幅上涨 0.43%，本周现货均价维持 4.43 美元。大容量 3D TLC (1TB) 现货均价自 7 月初 (7.7) 以来涨幅 1.98%，本周 (8.14-8.18) 收盘现货均价 10.30 美元，较上周收盘同比增加 0.1 美元，涨幅 0.48%。

Nand Flash：利基低容量产品价格跌幅仍在，大容量产品跌幅相对少。利基产品以 SLC Nand 为例，本周各容量现货均价小幅下跌，其中 4Gb 产品跌幅较为明显，较上周下跌 0.01 美元，跌幅 1.10%；16Gb 产品收盘价 7.49 美元，较上周持平。自 7 月初 (7.3) 以来 SLC Nand

1GB/2GB/4GB/8GB/16GB 的价格跌幅 依次为 5.0%/4.5%/3.6%/2.5%/1.2%，大容量 SLC Nand 产品价格相对更加稳定。

SSD 品牌渠道跟踪较价格微跌，减产加控价成效将现。从近半个月跟踪产品的涨 跌幅来看，多数产品价格相对稳定，三星大容量 PCIE 3.0:970EVO+:1024 GB:M.2 产品跌幅相对较多，达 6.6%。其他产品近半个月跌幅均控制在 4%以内。部分 SSD 产品价格已有反弹，其中金士顿 SATA 3:A400:240GB:2.5 inch 产品近半月涨幅 3.6%。我们预计随着原厂持续减产以及模组厂陆 续限价，SSD 产品价格下跌动能 已近枯竭。而随着 2023Q3 笔电等产品的需求复苏叠加渠道库存 的持续去化，SSD 产品价格有望陆续迎来反弹。

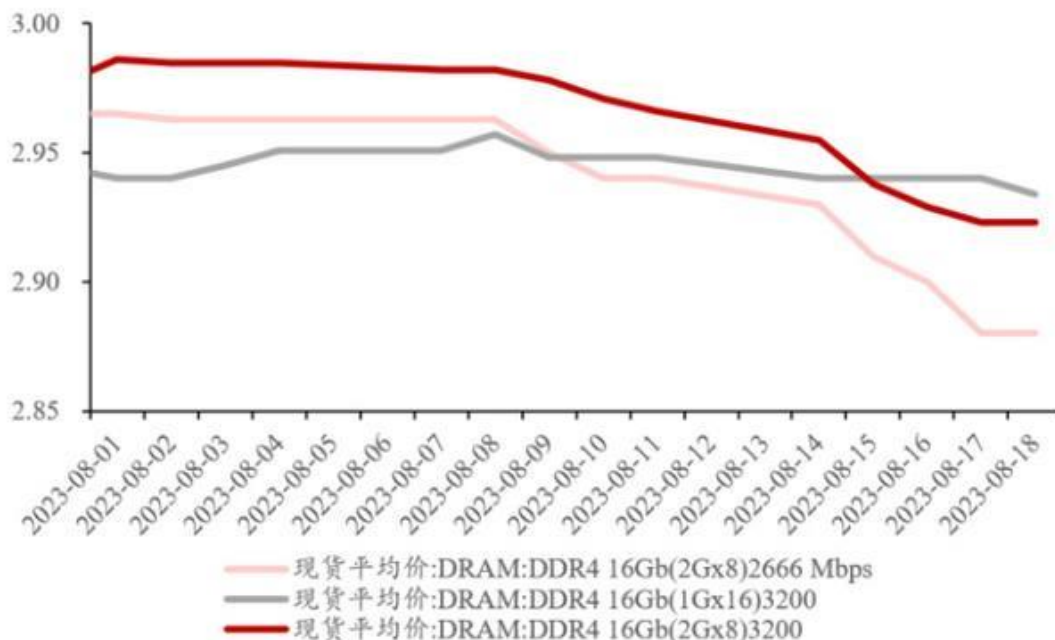
eMMC 及 UFS 产品价格早已稳定，大容量 eMMC 本周价格已有上涨。eMMC 本周低容 量（8Gb、16Gb、32Gb）产品价格维持不变，中高容量产品中，64Gb 及 128Gb 本 周价格均有 0.05 美元的上涨。UFS 跟踪产品自 2023 年 6 月 20 日起价格均已稳 定，其中 128Gb 产品价格为 4.70 美元，256Gb 产品价格为 9.0 美元。2023H2 新 机陆续发布有望带动 UFS4.0 进一步渗透 ，UFS 产品行情上涨可期。

DRAM：利基产品价格已稳定，大容量产品跌幅已收敛，内存条部分产品价格急升。DDR 颗 粒本周（8.14-8.18）现货涨跌不一，其中 DDR3 4Gb 512Mx8 eTT 产品涨幅 靠前，较上周收盘 均价涨幅 0.8%；DDR5 16G(2Gx8)4800/5600 产品跌幅靠前，较 上周收盘价跌幅 2.6%。内存条 产品价格涨势已现，其中金士顿 DDR4 8GB 3200 型 号产品现货均价较上周收盘均价上涨 6 美元 ，涨幅达 5.8%。我们认为内存条价格 上涨的主要原因在于模组厂商提高报价以及市场低价库存已 尽枯竭，部分产品急 单导致的价格上涨。

DDR3：现货价格已企稳，合约价格跌幅明显收敛。利基产品以 DDR3 4GB 为例，现货均价 自 8 月初（8.1）以来基本维持不变，其中 DDR3 4Gb 512Mx8 1600MHz 价格维持 0.97 美元不 变，DDR3 4Gb 512Mx8 eTT 及 256Mx16 1600/1866 较月初有 0.01 美元的下跌。合约均价以 DDR3/4GB/256Mx16 产品为例，2023 年 1-6 月份跌幅分别为 10.97%/5.80%/7.69%/7.50%/2.70%/2.78%，跌幅已明显收敛。

DDR4 中低容量产品现价跌幅已收敛，大容量产品现价仍有下跌。（1）大容量 DDR4 产品现 价本周均有不同程度的跌幅，以 DDR4 16GB（2GBx8）2666Mbps 产品为例，8 月 18 日较 8 月 14 日下跌 0.05 美元，周内跌幅达 1.7%，较月初（8.1）下跌 0.09 美元，跌幅 2.87%。合约 价 DDR 颗粒和内存条自 4 月份 显著下跌之后，5 月和 6 月跌幅已显著收敛。以 DDR4 16Gb 2Gbx8 产品为例，合 约均价 4-6 月跌幅分别为 19.20%/3.30%/2.73%。（2）中低容量 DDR4 产品现价已基本企稳，以 8Gb(1Gx8)2666 Mbps 产品为例，本周收盘价 1.46 美元较上周收盘 价持平，较月初（8.1）下跌 0.01 美元，跌幅 0.75%。合约均价 DDR 颗粒和内存条自 4 月份显著 下跌之后，5 月和 6 月跌幅已显 著收敛。以 DDR4 8Gb 1Gbx8 产 品为例，合约均价 4-6 月 跌幅分 别为 19.89%/3.45%/2.86%。DDR4 中低容量产品现价已基本企稳。

图表26:DDR4 16GB 现货均价（美元）



DDR5 价格将随着原厂产能缩减及低价 DDR4 库存清理逐步企稳回升。DDR5 16GB 现货均价本周同样延续下跌，以 DDR5 16G(2Gx8)4800/5600 产品为例，本周收盘价较上周收盘下跌 0.07 美元，跌幅 2.61%。近 3 个月现货均价下跌 0.37 美元，跌幅 8.64%。合约价 DDR5 内存条自 4 月份显著下跌之后，5 月和 6 月跌幅已显著收敛，以 DDR5 8GB U-DIMM 内存条为例，合约均价 4-6 月跌幅分别为 17.60%/2.94%/2.24%。

由于 2023 年北美大型云服务商削减资本开支，以及国内运营商招标延期并下调数量，导致今年服务器需求不达预期，DRAM 减产并未完全缓解价格压力，部分现货 DDR 颗粒供应过剩，也导致部分 DDR 颗粒和内存条报价的小幅下调。随着原厂不断收缩产能以及部分低价 DDR4 库存消耗殆尽，DDR5 产品后续价格将逐步企稳。

部分 GDDR 产品价格率先上涨，LPDDR 价格已企稳，2023Q3 上涨可期。GDDR 本周价格涨跌不一，其中 GDDR5 8Gb 现货均价较上周微涨 0.03 美元，本周 GDDR6 8Gb 和 16Gb 分别下跌 0.01 美元/0.01 美元。从近 3 个月现货均价来看，以 GDDR5 8Gb 为例，现货均价上涨 0.33 美元，涨幅达 10.77%。LPDDR 产品自 7 月多数产品现货均价已稳定不变，从跟踪产品的数据来看，LPDDR4X 32Gb 本周与上周持平为 6.10 美元。

部分品牌内存条部分产品价格持续回升，服务器市场传统产品仍旧低迷。本周内存条产品价格涨跌不一，但从跟踪产品来看，部分产品延续价格急涨态势。其中金士顿 DDR4 8GB 3200 产品较上周（8.11）收盘价上涨 5.8%，自八月初(8.1)低点价格 103 元已上涨 6.8%。金士顿 DDR4 16GB 3200 产品亦有 2.1%的价格上涨。自八月初(8.1)低点价格 192 元已上涨 3.13%。服务器市场内存条价格持续低迷，8 月 7 日收盘价较 7 月 31 日下跌 0.8 美元，跌幅 2.17%，较 2022 年同期下跌 35 美元,跌幅达 49.3%。

2.2 本周存储行业动态

台湾省存储产业 2023Q2 环比显著改善。台湾省存储进出口值 2023Q2 环比提升明显，其中 7 月份台湾省 DRAM 出口额 322.93 亿新台币，创 2023 年新高，环比+12.85%。从产值角度来看 2023Q2 台湾省存储器制造产值达 428 亿元，环比+5.40%，实现自 2021Q4 以来的首次正增长；同比-37.30%，跌幅较 2023Q1 明显收窄。

原厂减产配合控价，2023H2 Nand Flash 拐点已至。根据闪存市场，近期各大原厂 NAND Flash wafer 全面报涨，部分 wafer 官价上扬 10%。一方面，由于存储原厂亏损仍严重，三星电子、SK 海力士及美光均释出继续扩大减产的规划，其中三星自 2023Q3 起，已停止向华城 16 产线供应 NAND 晶圆，平泽和西安工厂也将降低平均晶圆投入量，预计从每月投入 22 万~23 万片晶圆降低至 20 万片，为两年多来最低水准。另一方面，根据台湾省《工商时报》，三星已暂停存储第六代 V-NAND 成熟制程报价，低于 1.6 美元全面停止出货。同时国内存储模组大厂近日向客户宣布暂停低价接单。全球模组领先厂商金士顿也表示由于价格便宜，从 8 月起拒绝客户降价，并且会重建部分 NAND 库存。供给端的加速收缩以及限制低价供应进一步巩固 NAND Flash Wafer 价格的上涨趋势。我们预计随着 2023H2 国内手机品牌开始陆续推出新品、PC 需求复苏以及 iPhone15 即将发布，原厂出货压力将逐步缓解，NAND Flash 调整周期尾声将至。

三星计划在 300+层 NAND 上采用双层堆栈（double-stack）技术，以追求成本优势。根据闪存市场，三星预计 2024 年量产堆叠 300 层以上、第九代 3D Nand。三星从第七代 176 层 3D Nand 开始采用双层堆栈技术。双层堆栈架构指在 300mm 晶圆上生产一个 3D Nand 堆栈，然后在第一个堆栈的基础上建立另一个堆栈。三星即将生产的超 300 层第 9 代 V-Nand 将提高单片晶圆上生产的存储密度，有利于降低固态硬盘成本。在 2022 年 10 月举行的“2022 三星科技日”上，三星提出 Nand 层数长期规划：2030 年将 Nand 层数提升至 1000 层。此前，SK 海力士宣布计划 2025 年量产堆叠 321 层 3D Nand，SK 海力士预计采用三层堆栈（triple-stack），即分别制造堆叠 120 层、110 层及 91 层的 3D Nand，再组合成单颗芯片。三次堆栈方案将增加生产步骤和原材料的用量，目的在于最大限度提高产量。

SK 海力士已供货 24GB LPDDR5X。根据闪存市场，SK 海力士宣布已向客户提供应用于智能手机等移动产品的高性能 DRAM LPDDR5X 24GB 产品。公司于 2022 年 11 月成功量产 LPDDR5X，此次首次开发出容量提升至 24GB 的移动 DRAM 封装，并开始供货于一加 Ace2Pro

智能手机。SK 海力士将 HKMG(High-K Metal Gate)工艺引入 LPDDR5X 24GB 封装产品中，可同时提供业界最高水平的能效和性能。

英飞凌扩展 F-RAM 存储产品，瞄准汽车 EDR 市场。英飞凌进一步扩展 EXCELON F-RAM 存储产品，推出两款分别具有 1Mbit 和 4Mbit 储存容量的新型 F-RAM 存储。全新 1Mbit EXCELON F-RAM 是业界首款车规级串行 F-RAM 存储。两款新品均具有快速且高可靠的读写性能，在 SPI 模式和 Quad SPI (QSPI) 模式下的读写性能分别达 50MHz 和 108MHz。该产品同时具备超低功耗特性，工作电压范围为 1.8V 至 3.6V，并采用标准的 8 引脚 SOIC 封装。除了耐用性出色之外，英飞凌 F-RAM 产品还可在断电后保存数据超过 100 年。

3 封测：环比改善，先进封装贡献动能

3.1 板块景气度逐季回升

台股封测板块月度营收连续 3 月环比改善。我们选取了台股封测板块的日月光、 研邦科技、京元电子、南茂科技等 10 家公司，2023 年 7 月板块总营收 666.05 亿 新台币，MoM+3.2%。2023 年 5-6 月营收环比为+5.8%， +1.5%，已经连续三个月环比改善，封测板块底部有望确立，率先迎来复苏。

图表40:台股封测板块月度营收及增速（亿新台币）



三季度有望逐季回升，毛利率持续改善。我们梳理了四家台股封测厂的 23Q2 经营情况及法说会交流，四家公司 23Q2 营收和毛利率均有环比改善。展望三季度，日月光、南茂和力成预计营收仍有望逐季回升。封测作为重资产的公司，随着稼动率的回升，毛利率也将持续改善。

3.2 先进封装市场高速增长

先进封测市场占比迅速增加。先进封装市场规模将从 2021 年的 321 亿美元增长到 2027 年的 572 亿美元，CAGR 达 10.11%。根据市场调研机构 Yole，2022 年先进封装占全球封装市场的份额约为 47.20%，预计 2025 年占比将接近于 50%。中国市场中先进封装占比低于全球水平，2022 年为 38%，自 2014 年以来与全球市场的差距正在逐步缩小。

倒装为目前主流，2.5D/3D 封装高速增长。2021 年 FCBGA 和 FCCSP 占比分别为 33.69% 和 19.76%，合计占比超 50%。其次为 2.5D/3D 封装，2021 年占比为 20.57%，主要由台积电供应。在各封装形式中，2.5D/3D 封装的增速最快，2021-2027 年 CAGR 达 14.34%，增量主要由 AI、HPC、HBM 等应用驱动。

先进封装市场主要由 HPC、网络 and 消费应用驱动。HPC 和网络应用的大部分增长来自 AI 芯片、边缘计算和网络芯片，它们需要扇外型封装以提供小尺寸和节约成本。2022 年只有不到 20% 的数据中心使用 2.5D 封装，但在 2027 年这一比例将有望超过 50%。3D 封装将加速在 HBM、CPU、GPU 中的渗透。消费电子应用领域的重要客户是苹果，其应用处理器、图形芯片、5G/6G 调制解调器芯片均使用扇出封装。

先进封装市场马太效应明显。2021 年 ASE 市占率居首，份额为 26%。台积电和安靠并列第二，长电科技位列第四，市占率为 10%。2021 年 CR5 为 76%，而 2016 年 CR5 为 48%，5 年间提升了 28%，份额前五名中仅长电和日月光仍位列其中。

Fab/IDM 厂和 OSAT 错位竞争：Fab/IDM 厂商涉足 3D 堆叠，OSAT 主攻倒装、扇出和晶圆级封装。Fab/IDM 厂基于前道制造优势和硅加工经验，聚焦产品性能，多开发基于 Si-interposer 的 2.5D 或 3D 封装技术。从头部厂商的封装类型来看，三星的 3D 堆叠产品最高，达 67%，主要系其存储产品占比较高所致。其次为台积电，3D 堆叠占比为 46%；凭借其 InFO 在苹果产品中的渗透，台积电扇外型封装占比也达到了 33%。OSAT 厂商则聚焦于载板技术，成本为先，产品结构中倒装仍是主力，FCBGA 和 FCCSP 占比在 ASE 中为 38%和 29%，在安靠中为 28%和 33%，在长电中为 28%和 31%。

内资封测企业中甬矽电子、通富微电先进封装占比领先。甬矽电子目前封装技术以 SiP 为主，先进封装产品占比达 100%。通富微电、长电科技、华天科技技术布局最为广泛，且均已具备 2.5D/3D 的技术储备，未来先进封装占比有望继续提升。

凸点间距 (Bump Pitch) 越小, 封装集成度越高, 难度越大。从 Bump Pitch 来看, 台积电 3D Fabric 技术平台下的 3D SoIC、InFO、CoWoS 均居于前列, 其中 3D SoIC 的 bump Pitch 最小可达 6um, 居于所有封装技术首位。Bump Pitch 间距最小的 3D SoIC 和 Foveros Direct 仍在研发中, 尚未量产。目前已经量产的封装技术中, bump pitch 最小的为台积电的 InFO_LSI

图表50: 头部厂商封装技术 bump pitch 对比 (单位: um)



4 台积电 CoWoS 供不应求, 重视先进封装关键环节供应链机遇

为 HPC 而生, CoWoS 成最主流封装方案。台积电的 CoWoS 平台包含 CoWoS-S/R/L, 为高性能计算应用提供最佳性能和最高集成密度, 提供了广泛的硅中介层尺寸、HBM 数量和封装尺寸。英伟达、博通、谷歌、亚马逊、NEC、AMD、赛灵思、Habana 等公司已广泛采用 CoWoS 技术, 2020 年基于 CoWoS-S 的系统的总计算能力占所有 500 强系统总计算能力的 50% 以上。

台积电 CoWoS 产能紧缺, 扩产 2X。HPC 行业大趋势的支撑下, 计算需求的结构性大幅增长继续推动对性能和节能计算的更大需求。AI 需要更高的计算能力和互连带宽, 推动半导体含量增加。无论是使用 CPU、GPU 还是 AI 加速器和相关 ASIC, 对于机器学习的人工智能来说, 共

同点是需要使用领先的技术和强大的代工设计生态系统。台积电最新法说会表示，服务器 AI 处理器需求目前约占公司总收入的 6%，预计未来五年内这一数字将以接近 50% 的速度增长，占收入的百分比达到十几个点。当前先进封装产能供不应求，公司预计 CoWoS 供需紧张持续至 2024 年底，CoWoS 将扩产至目前的两倍。台积电 3DFabric 技术平台引领先进封装。台积电于 2011 年开始布局先进封装，目前其 3DFabric 包含前端 SoIC 技术和后端 CoWoS、InFO 封装技术。SoIC 的特点是在不使用后段集成中的凸块情况下，将芯片堆叠在一起，与 CoWoS 和 InFO 技术相比，SoIC 可以提供更高的封装密度和更小的键合间隔。InFO 使用 polyamide film 代替 CoWoS 中的硅中介层，因此成本和封装高度相对 CoWoS 更低，主要用于移动端，CoWoS 则在 AI/HPC 等领域应用更广泛。

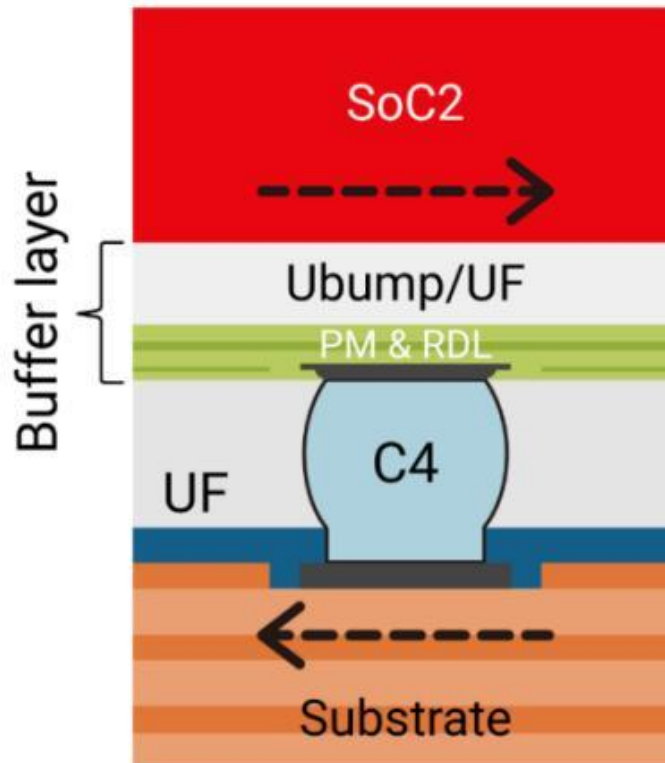
CoWoS 工艺流程分为前段 CoW 和后段 oS 工艺。CoW 包括 TSV、Si interposer 的制作，在裸芯 (Die) 上制备微凸点 (ubump)，其次进行与晶圆的键合，并进行晶圆级封装。oS 工艺包括减薄、临时键合、植入 C4、解键合、划片，最后实现与载板之间的连接。CoWoS 工艺结束后再进行成品测试 (FT)。目前 CoW 供应商主要为台积电，其次为联电。oS 工艺则台积电、矽品、安靠、日月光皆可提供。

CoWoS 升级迭代，供不应求。台积电的 CoWoS 平台涵盖 CoWoS-S、CoWoS-R 和 CoWoSL 三种技术。旨在为高性能计算应用提供卓越的性能和高集成密度，并且提供多种硅中介层尺寸、HBM 数量以及封装尺寸选择。CoWoS-S 采用硅中介层，为高性能计算应用提供最佳性能和最高晶体管密度。CoWoS-R 使用 InFO 技术，借助 RDL 中介层进行互连，更专注于小芯片之间的连接。CoWoS-L 则融合了 CoWoS-S 和 InFO 技术的优点，通过夹层与 LSI (局部硅互连) 芯片进行互连，利用 RDL 层进行电源和信号传输，提供了最灵活的集成方案。英伟达、博通、谷歌、亚马逊、NEC、AMD、赛灵思等多家公司已广泛采用 CoWoS 技术。

十年 5 次迭代中介层尺寸不断扩展，6 代今年量产在即。第一代 CoWoS 主要用于大型 FPGA。CoWoS-1 的内插器裸片面积高达 $\sim 800\text{mm}^2$ ，非常接近光罩极限。第二代 CoWoS 通过掩模拼接显著增加了中介层尺寸。最初符合 1200mm^2 要求的 TSMC 已将中介层尺寸增加到 $1,700\text{mm}^2$ ，这些大封装被称为 CoWoS-XL2。第五代 CoWoS-S 已经可以支持 HBM3，可以通过将中介层尺寸扩展到 3 倍光罩 (2500mm^2)，在单个中介层上集成三个或更多逻辑芯片/小芯片和八个 HBM。与上一代 CoWoS 相比，更大的尺寸与先进的节点顶层裸片相结合，可以集成近 20 倍的晶体管和 2 倍的存储器堆栈。预计第六代 CoWoS-S 将于 2023 年量产。

CoWoS-R 是利用 InFO 技术和 RDL 中介层，以实现小芯片之间的互连，特别是在 HBM (高带宽内存) 和 SoC 异构集成中。CoWoS-R 和 CoWoS-S 之间的主要区别在于硅中介层被有机中介层取代。CoWoS-R 中的关键组件包括再分布层 (RDL) 和无 TSV 的垂直互连 RDL 中介层。RDL 中介层包含多达 6 层铜线用于最小 $4\mu\text{m}$ 间 ($2\mu\text{m}$ 线宽 / 间距) 的布线，以提供良好的信号和电气性能。

图表59:RDL 和 C4/UF 之间缓冲效果良好



CoWoS-L 作为 CoWoS 平台中最新的芯片封装技术，结合了 CoWoS-S 和 InFO 技术的优点，使用带有 LSI(本地硅互连)芯片的中介层提供最灵活的集成，用于 die-to-die 的芯片互联，用于电源和信号传输的芯片互连和 RDL 层。该产品从具有 1xSoC+4xHBM 立方体的 1.5X 光罩中介层尺寸开始，并将进一步扩展到更大尺寸以集成更多芯片。

重视先进封装关键环节供应链机遇。梳理先进封装工艺流程，我们看到 RDL（Redistributed layer，重布线层）、TSV（Through Silicon Via，硅通孔）、Bumping（凸点）和 Wafer（晶圆）是先进封装重要的四个环节。RDL 起到 XY 平面电气延伸的作用，TSV 起到 Z 轴电气延伸的作用，Bumping 起到界面互联和应力缓冲的作用，Wafer 则是集成电路的载体以及 RDL 和 TSV 的介质和载体。我们认为围绕这些环节的设备、材料供应链有望受益先进封装市场增长带来的增量需求。

4.1 RDL

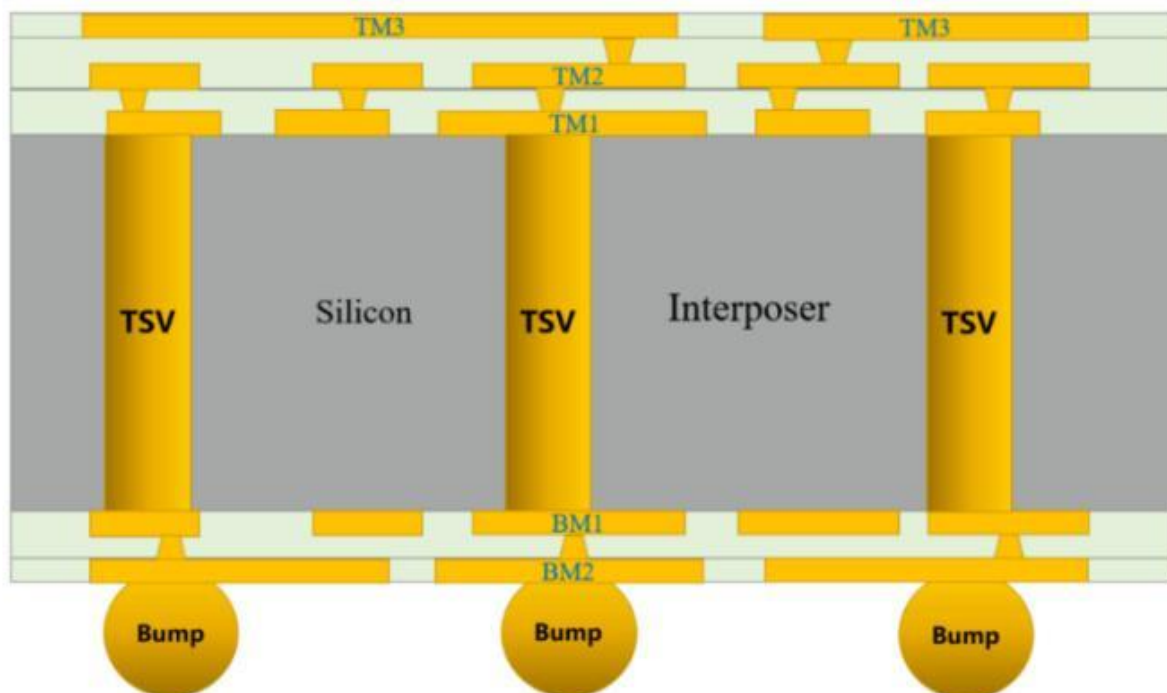
RDL 是晶圆级封装中最为关键的技术。其在晶圆表面利用金属层与介质层形成相应的金属布线图形，将原来设计的芯片线路焊盘重新布线到新的、间距更宽的位置，使芯片能适用于更有效的封装互连形式。RDL 通过改变线路 I/O 端口原有的设计，加大 I/O 端口间距，提供较大的凸块焊接面积，同时减小基板与元器件间的应力，提高元器件的可靠性。此外封装工艺 RDL 可取代部分芯片线路，从而缩短芯片开发时间。

2.5D/3D 封装中 RDL 不可或缺。在 2.5D IC 集成中，以台积电 CoWoS-S 为例，其在中间层上下都布有宽间距的 RDL 层，通过 TIV (Through interposer Via) 进行信号和电气传递，在高速传输中提供低损耗的高频信号。在 3D 封装中，如果上下是不同类型的芯片进行堆叠，则需要通过 RDL 重布线层将上下层芯片的 IO 进行对准，从而完成电气互联。随着工艺技术的发展，RDL 金属布线的线宽和线间距越来越小，从而提供更高的互联密度。封测厂主要用电镀法制作 RDL，大马士革法满足低 L/S 需求。RDL 的制作方式包括电镀法、大马士革、金属蒸镀+金属剥离等，由于电镀法成本低，被封测厂广泛应用，而利用前道晶圆制造中的大马士革原理的 RDL 工艺可以满足低线宽/间距 (Line/Space, L/S) 的需求。

4.2 TSV

TSV 技术是 2.5D/3D 封装的关键工艺之一。中介层是 2.5D 封装关键特点之一，其作用是连接多个芯片，目前主要采用硅基材料制造。通过在 DRAM、CPU、SoC 等芯片之间引入硅中介层，可以实现高速运算和数据交流，同时降低功耗，提高效率。在常见的 2.5D 封装技术中，硅中介层集成了 TSV，芯片通常通过 MicroBump (微凸块) 与中介层相连接。中介层通过 Bump 与基板连接。而 TSV 则是连接中介层上下表面电气信号的通道。TSV 在 3D 结构中同样必不可少。

图表69: 硅转接板 3+2 结构



依据 TSV 通孔生成的阶段 TSV 工艺可以分为：1) Via-First; 2) Via-Middle; 3) Via-Last。1) Via-First 指的是 TSVs 在 FEOL 工艺（例如晶体管）之前制造。Via-First 由于是在器件制造之前进行通孔工艺，因此可以使用高温工艺来制造绝缘层，其劣势在于填充通孔的材料受限，由于后续晶体管制造过程中会有高温的环节，此时如果填充材料为铜的时候，铜会很容易扩散到硅材料中。2) Via-Middle 指的是 TSVs 在 FEOL 之后，BEOL（例如金属层）之前制备，这种工艺由于晶圆厂在设备能力方面具备优势，晶圆厂通常也会制造，但也有部分 OSAT 厂商可以完成这一工艺。Via-Middle 的优势在于可以实现较小的 TSV 结构间距，再布线层通道阻塞小以及 TSV 结构电阻也会较小，其劣势主要在于它必须适合产品器件性能要求这样才不会干扰器件，并且也不会干扰相邻的布线层。3) Via-Last 指的是 TSVs 在 FEOL，MOL 和 BEOL 工艺之后制造 TSV，Via-Last（从晶圆正面）的方式由于在刻蚀的时候除了刻蚀硅之外，还需刻蚀整个电介质层，以及会阻塞布线通道，因此较少被使用。Backside Via-Last 从晶圆背面进行通孔，可以简化工艺流程，背面后通孔工艺被广泛用于图像传感器和 MEMS 器件。

4.3 临时键合/解键合

晶圆减薄：在 via first 和 via middle 工艺中，晶圆表面平坦化后，还需要进行晶圆背面的减薄使 TSV 露出，via last 工艺中，晶圆在进行 Bosch 刻蚀工艺前就会进行减薄。晶圆减薄的目的

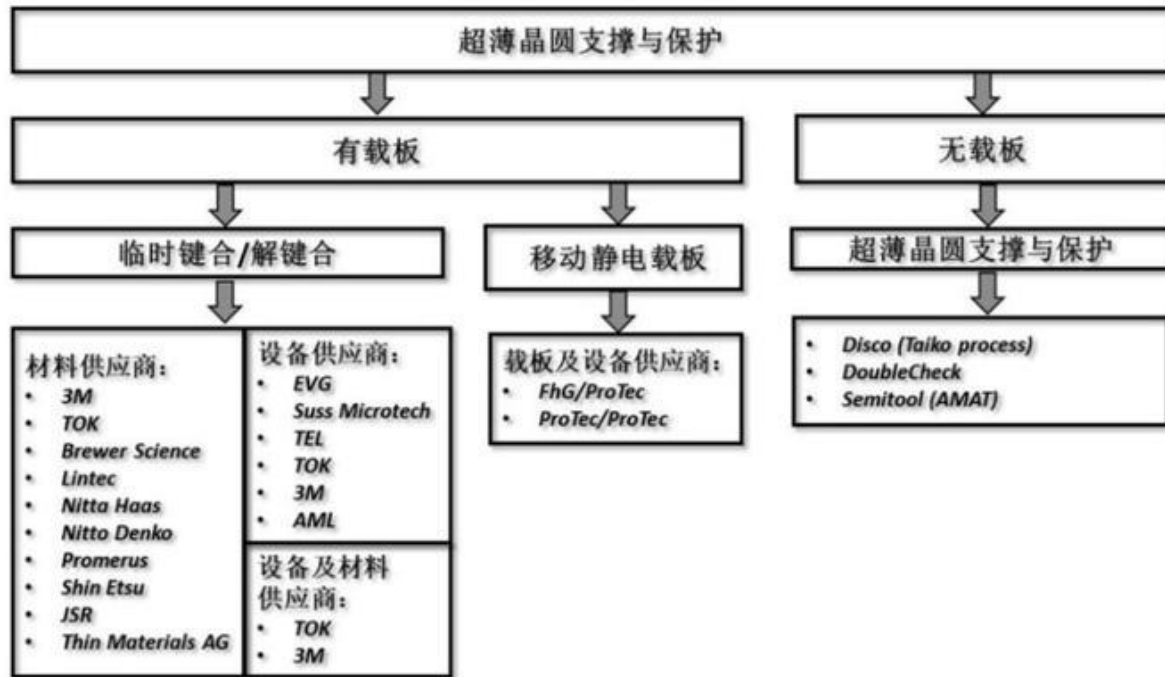
是使 TSV 露出，在晶圆级多层堆叠技术中，需要将多片晶圆进行堆叠键合，同时总厚度还必须满足封装设备的要求。目前较为先进的多层堆叠使用的芯片厚度均低于 100 μm 。未来如果叠加层数增加，芯片的厚度需减薄至 25 μm 甚至更薄。传统的晶圆减薄技术包括机械磨削、CMP 和湿法腐蚀等。由于晶圆经过减薄后容易产生变形或翘曲，目前业界主流的解决方案是采用一体机的思路，将晶圆的磨削、抛光、保护膜去除和划片膜粘贴等工序集合在一台设备内。晶圆从始至终都被吸在真空吸盘上，始终保持平整状态，从而防止了晶圆在工序间搬运时产生变形或翘曲。

临时键合工艺：由于超薄晶圆柔性较差且易碎，易产生翘曲，需要一套支撑系统来防止这些损伤。通常在封装前使用某种特定的中间层材料，将超薄晶圆临时键合到一个晶圆载板上，这种工艺称为临时键合工艺（Temporary Bonding）。键合工艺主要有热/机械滑移式临时键合与解键合、热/机械滑移式临时键合与解键合、激光式临时键合与解键合三种工艺。激光临时键合与解键合工艺最大工艺温度高，抗化学性好，是最新一代临时键合/解键合技术方案。临时键合/解键合常见工艺流程：在临时载板或功能晶圆上通过压合、粘贴或旋涂等方法制造一层键合黏接剂，然后翻转功能晶圆，使其正面与临时载板对准，将二者转移至键合腔进行键合，临时键合完成后，对功能晶圆进行一系列工艺形成 RDL 等结构。最后采用不同方式的解键合工艺将功能晶圆与临时载板分离，对二者分别进行清洗后，将功能晶圆转移到划片膜或其他支撑系统中，进行下一步工艺。临时载板可以马上进行再次利用。在这一工艺流程中，仅增加临时键合机与解键合机两台设备，其他步骤均可采用与标准晶圆制造相同的设备与工艺完成。目前全球临时键合设备主要供应商有 EV Group、SUSS MicroTec 等公司。国内芯源微临时键合机、解键合机产品进展顺利，已陆续实现了多家下游客户的导入。

临时键合胶：是将功能晶圆和临时载板黏接在一起的中间层材料。热稳定性、化学稳定性、粘接强度、机械稳定性、均一性等是临时键合胶的关键选择因素。临时键合胶的材料性能主要是由基础黏料的性质决定的，因此基础黏料的选择至关重要。可用作基础黏料的高分子聚合物材料包括热塑性树脂、热固性树脂、光刻胶等。目前全球临时键合胶产品主要有海外供应商垄断，主要有 Brewer Sciences 的 WaferBond 和 ZoneBond 系列产品、3M 的 LTHC 系列产品、DuPont 的 HD-3000 系列产品、Thin Materials 的 T-MAT 系列产品、Dow Corning 的 WL 系列产品、东京应化工业株式会社（TOK）的 Zero Newton 系列产品和 Dow Chemical 的 Cyclotene 系列产品。

。

图表77:超薄晶圆支撑与保护技术



4.4 Bumping、底部填充及混合键合

倒装芯片的组装主要有两种方式，间接键合和直接键合。通过回流焊凸点焊球或者 TCB 热压键合的属于间接键合，特点是芯片与基板之间有中间材料。通过混合键合，铜与铜扩散键合，中间没有其他材料的方式是直接键合。铜柱凸点是高密度、窄节距集成电路封装市场主流方式。随着先进封装对凸点间距要求越来越小，为了避免桥接现象的发生，实现更高 I/O 密度，IBM 公司于 21 世纪初首次提出了铜柱凸点。在焊料互连过程中，铜柱凸点能够保持一定的高度，可以防止焊料的桥接现象发生，同时可以掌控堆叠层芯片的间距高度，铜柱凸点的高径比不再受到阵列间距的限制，在相同的凸点间距下，可以提供更大的支撑高度，显著改善了底部填充胶的流动性。

C4 锡球/C2 铜柱凸点回流焊：回流焊被用于倒装芯片的组装超过 50 年，组装过程相对简单，（1）使用上视和下视相机识别芯片上的凸点位置以及基板上的焊盘位置；（2）在 C4 凸点、基板上或两者上都涂敷助焊剂；以及（3）将带有 C4 凸点的芯片取出并放置在基板上，然后在一定温度下进行回流焊。通常来说，C4 凸点间距最小可以做到 50 微米。C2（带有焊帽的铜柱）凸点芯片回流焊主要用于高引脚数和细间距的倒装芯片组装。组装过程与 C4 凸点相同，但自对准特性远不如 C4 凸点，因此很少被使用。一般来讲，C2 回流焊凸点间距可以小到 25 微米。C2 TCB：在高密度和超细间距倒装芯片组装中运用热压键合 C2 的方式主要有低压应力和高压应力两种方式。低压应力 C2 TCB 通常情况下可以做到小至 8 微米的铜柱间距。高压应力 C2 TCB 则必须结

合 NCP 或者 NCP 底部填充技术。TCB 的缺点在于设备成本高，当前全球做 TCB 设备的厂商主要是 ASM Pacific、库力索法（K&S）以及 Besi 等。

底部填充工艺作用在于 1) 将芯片凸点位置的集中应力分散到底部填充体和塑封料中；2) 可阻止焊料蠕变，并增加倒装芯片连接的强度与刚度；3) 保护芯片免受环境的影响，如湿气、离子污染等；4) 使芯片抗机械振动与冲击；5) 极大改善焊点的热疲劳可靠性。底部填充材料主要包括毛细作用底部填充（Capillary Underfill, CUF）、塑封底部填充（Molded Underfill, MUF）、非导电胶热压型（Non-Conductive Paste, NCP）底部填充和非导电膜热压型（Non-Conductive Film, NCF）底部填充。传统毛细管底部填充料在高密度封装中的流动能力受限，可靠性降低。因此芯片间的互连方式从使用“毛细管底部填充料+回流”向使用“NCP/NCF 材料+热压工艺”转变，后者更加适应紧凑空间条件下封装保护的要求。

凸点尺寸进一步缩小受限，Hybrid Bonding 赋能 3D 堆叠。当凸点尺寸缩小到小于 10~20um 时，就开始需要用到 Hybrid Bonding 工艺，解决 bump 间距小于 10 微米芯片间的键合问题，从而实现更高的互连密度。由于 Hybrid Bonding 信号丢失率几乎可以忽略不计，在高吞吐量，高性能计算领域优势显著。混合键合（Hybrid Bonding）也称 DBI（Direct Bond Interconnect，直接键合连接），Sony 于 2016 年最早在 CIS 中运用了混合键合技术，用于 Samsung Galaxy S7 的背照式 CIS（BI-CIS）中，大幅提高了镜头分辨率。台积电的 SoIC 也使用了混合键合。高频率下混合键合的插入损耗表现大幅优于传统 FC 键合方式，且凸点密度大幅提升。

https://k.sina.com.cn/article_7426890874_1baad5c7a001015sbw.html