



(China)

**Samsung plans to use BSPDN back power supply technology in 1.4nm process in 2027 – August 15, 2023**

大家好，我是Echo！

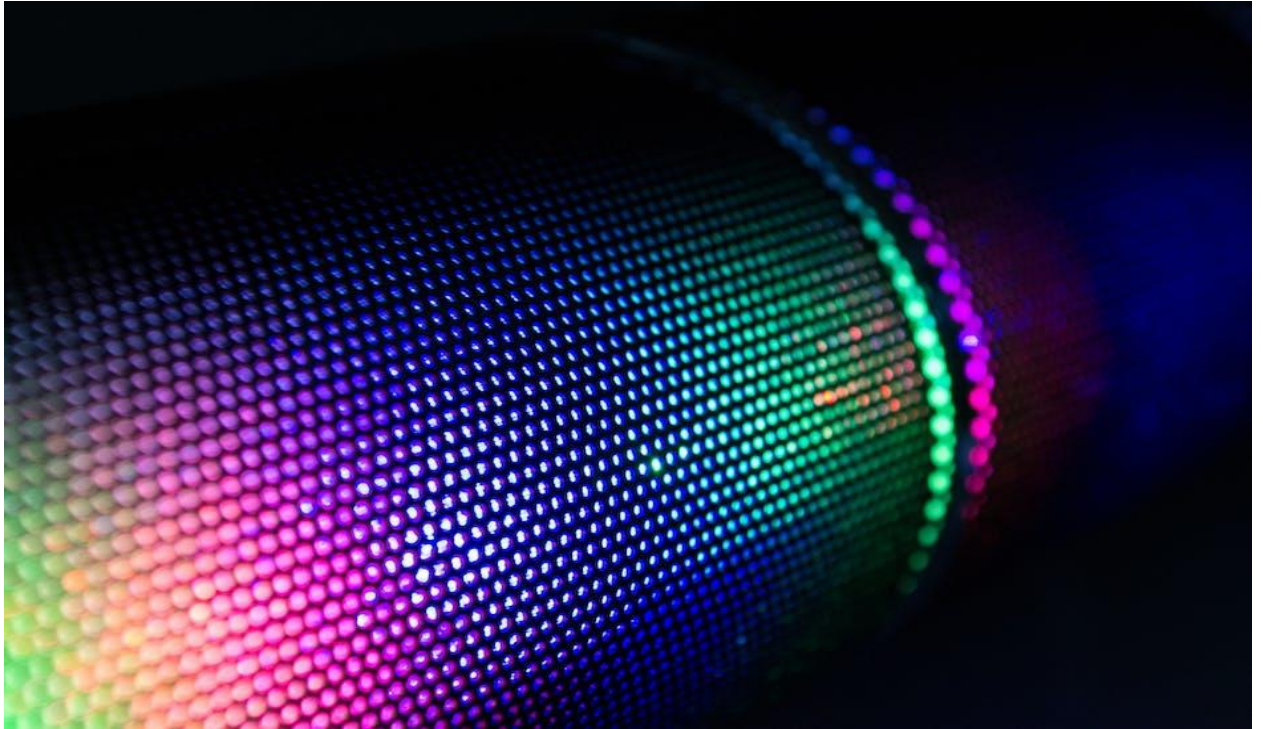
- 普罗旺斯
- 自由职业
- 写了252,874,853字

[IT之家](#) 8月15日消息，据 ETNews，三星电子代工部门首席技术官 Jung Ki-tae Jung 在最近举办的论坛上宣布“我们计划在 2027 年将 BSPDN 应用于 1.4 nm 工艺”。

背部供电（BSPDN）技术是一项应用于先进半导体的创新技术，旨在更好地挖掘晶圆背面空间的潜力，但至今仍未在全球范围内实施。这也是三星电子首次披露其 BSPDN 开发进程。

虽然目前半导体行业已不再使用栅极长度和金属半节距来为技术节点进行系统命名，但毫无疑问目前的工艺技术也是数字越小越先进。

随着半导体工艺微缩路线不断地向前发展，集成电路内电路与电路间的距离也不断缩窄，从而对彼此产生干扰，而 BSPDN 技术则可以克服这一限制，这是因为我们可以利用晶圆背面来构建供电路线，以分隔电路和电源空间。



图源 Pexels

不仅是三星电子，台积电和英特尔等厂商也在积极寻求技术突破，而且目前日本东京电子（TEL）和奥地利 EV Group（EVG）正在提供 BSPDN 实施设备。

目前来看，英特尔的背面供电技术名为 PowerVia，旨在降低功耗、提升效率和性能，而接下来的 Intel 20A 将是英特尔首个采用 PowerVia 技术及 RibbonFET 全环绕栅极晶体管的节点，预计将于 2024 年上半年准备就绪，并将应用于未来量产的 Arrow Lake 平台（IT之家注：有概率延期），目前正在晶圆厂启动步进（First Stepping）。

除此之外，台积电也计划在 2nm 以下工艺中应用类似技术，目标预计在 2026 年之前实现。

三星电子 BSPDN 技术目标是在 2027 年应用于 1.4nm 工艺，但根据市场需求可能会延后。

三星电子相关人士表示：“采用背面供电技术的半导体的量产时间可能会根据客户的日程安排而改变。

”三星电子目标是在 2025 年量产 2nm 工艺，先于 1.4nm 工艺。据称，三星目前正在对背面供电技术的应用进行客户需求调查。

相关阅读：

《[英特尔介绍最新 PowerVia 背面供电技术：降低功耗、提升效率和性能](#)》

《[三星将 BSPDN 技术用于 2nm 芯片，进一步提高 44% 性能及 30% 效率](#)》

广告声明：文内含有的对外跳转链接（包括不限于超链接、二维码、口令等形式），用于传递更多信息，节省甄选时间，结果仅供参考，IT之家所有文章均包含本声明。

本文由LinkNemo爬虫[Echo]采集自[\[https://www.ithome.com/0/712/572.htm\]](https://www.ithome.com/0/712/572.htm)

<https://www.link-nemo.com/u/10000/post/1615734>