



(China)

TSV process technology integration analysis – August 8, 2021

## TSV製程技术整合分析

[过的更好](#)

[收藏赞分享](#)

作者：詹印丰、颜锡鸿、许明哲 / 弘塑科技公司日期：2010/5/6来源：半导体科技

International SEMATECH (ISMT)于公元2005年开始，将三维导线互连技术(3D Interconnects)列为首要挑战性技术之排名榜上。发展TSV技术之主要驱动力在于导线长度之缩短，以提升讯号与电力之传输速度，在晶片微缩趋势下，这些都是最具关键性之性能因素。TSV製程技术可将晶片或晶圆进行垂直堆叠，使导线连接长度缩短到等于晶片厚度，目前导线连接长度已减低到70 $\mu$ m。而且可将异质元件进行整合(Heterogeneous Integration of Different ICs)，例如将记忆体堆叠于处理器上方，由于TSV垂直导线连接可减低寄生效应(Parasitic) (例如：杂散电容、藕合电感或电阻洩露等)，可提供高速与低损耗之记忆体与处理器界面。如果搭配面积矩阵(Area Array)之构装方式，则可提高垂直导线之连接密度。本文将根据最近所发表之相关文献[1~16]，针对TSV主要关键製程技术进行系统性探讨，内容包括：导孔的形成(Via Formation)、导孔的填充(Via Filling)、晶圆接合(Wafer Bonding)、及各种TSV整合技术(Via First, Via Last)等。

### 导孔的形成(Via Formation)

TSV导孔的形成可使用Bosch深反应性离子蚀刻(Bosch Deep Reactive Ion Etching; Bosch DRIE)、低温型深反应性离子蚀刻(Cryogenic DRIE)、雷射钻孔(Laser Drilling)，或各种湿式蚀刻(等向性及非等向性蚀刻)技术。在导孔形成製程上特别要求其轮廓尺寸之一致性，以及导孔不能有残渣存在，并且导孔的形成必须能够达到相当高的速度需求。导孔(Via)规格则根据应用领域的不同而定，其直径范围为5~100 $\mu$ m，深度范围为10~100 $\mu$ m，导孔密度为102到105 Vias / Chip。

#### ■ 雷射钻孔(Laser Drill)

雷射钻孔技术起源于1980年代中期，由于雷射钻孔对于硅会有溶解现象，所以会产生飞溅的硅残渣。使用雷射钻孔来形成TSV导孔时，两个主动元件(Active Devices)之间最小必须保持2 $\mu$ m的距离，以防止元件特性受到影响。针对直径小于25 $\mu$ m的导孔，则很难采用雷射钻孔来形成TSV导孔。一般雷射钻孔所形成导孔侧壁(Sidewall)的斜率为1.3°到1.6°。

#### ■ Bosch深反应性离子蚀刻(Bosch DRIE)

使用Bosch DRIE会快速转换SF<sub>6</sub>电浆蚀刻与聚合物气体(C<sub>4</sub>F<sub>8</sub>)表面钝化两道步骤，在聚合物沉积与低RF Bias电压条件下，其蚀刻对于光阻的选择比很高，在一些情况下蚀刻选择比甚至可高达100 : 1。Bosch DRIE所形成TSV的导孔侧壁(Via Sidewall)非常平直，由于交替变换蚀刻(Etching)和钝化(Passivation)两道

步骤，所以可确保导孔侧壁几乎呈平直状态，图1为Bosch DRIE製程步骤与其所形成TSV导孔之SEM照片。

图一： Bosch DRIE製程步骤及其所形成TSV导孔之SEM照片。

#### ■低温型深反应性离子蚀刻(Cryogenic DRIE)

低温型深反应性离子蚀刻(Cryogenic DRIE)与一般DRIE相似，主要不同点是Cryogenic DRIE将晶圆冷却到极低的温度(-110°C)，使离子在尚未撞击到晶圆表面时，先大大降低其离子的迁移率。如此可避免离子蚀刻到导孔的侧壁(Sidewall)。此外，Cryogenic DRIE之非等向蚀刻(Anisotropic Etching)特性与温度有关，所以在执行上需要一套强而有力的冷却系统(Cooling System)，通常会进行许多冷却步骤，以确保能够消除蚀刻製程所产生的热量，而不致影响到非等向蚀刻之性质。

#### 导孔的填充(Via Filling)

当TSV导孔形成后，接着进行绝缘层(Insulation Layer)沉积，以作为硅和导体间的绝缘材料。沉积绝缘层的方式，包括：热化学气相沉积(Thermal CVD)法、使用Silane和Tetra-Ethoxysilane (TEOS)氧化物之电浆辅助化学气相沉积(PE-CVD)法，以及使用低压化学气相沉积(LP-CVD)法来沉积氮化物层(Nitride Layer)。

一旦形成绝缘层后，紧接着进行金属化沉积，TSV导孔填充的导电材料，则包括：铜(Cu)、钨(W)和多晶硅(Polysilicon)等。其中，铜具有优良导电率，电镀铜(Copper Electroplating)可作为TSV导孔之充填。如果TSV导孔深度较浅时，电镀铜可完全充填导孔。然而，当TSV导孔之深度较深时，由于硅热膨胀系数(3 ppm /°C)与铜热膨胀系数(16 ppm /°C)相差极大，使用电镀铜作导孔完全充填时，会产生热机械应力(Thermo-Mechanical Stress)，进而导致内部介电层(Internal Dielectric Layer)与硅基材产生裂缝(Crack)。此外，在TSV导孔侧壁(Sidewall)沉积绝缘层薄膜会有高电容产生，进而影响电性。针对大直径TSV导孔，由于使用电镀作充填之速度太慢，图二为比利时IMEC改采用厚度为2~5µm聚合物(Polymer)绝缘层来填补电镀铜充填导孔所剩下的体积。由于厚度较厚之聚合物绝缘层为低介电材料，可以解决一般绝缘层薄膜之高电容问题。使用聚合物绝缘层可减少导孔内铜的比例，进而降低硅与铜因热膨胀系数差距大所产生的热机械应力，而且此聚合物薄膜製程与晶圆后段导线製程，彼此具有相容性[3]。

图二： IMEC采用厚度为2~5µm聚合物绝缘层，来填补电镀铜充填导孔所剩下的体积[3]。

钨(W)与钼(Mo)也可用来充填TSV导孔，虽然在导电性能上不如铜，但两者之热膨胀系数都低于铜(W: 4.5 ppm /°C; Mo: 4.8 ppm /°C; Cu: 16 ppm /°C)，而且与硅(Si: 3 ppm /°C)较接近。所以使用钨(W)与钼(Mo)金属来进行导孔充填，可减少热机械应力。图三为导孔充填这些金属的各种方法[4]，其中物理气相沉积(Physical Vapor Deposition; PVD)或溅镀(Sputtering)可用于较小直径导孔之填充，但是PVD缺点就是沉积速度慢且覆盖性不良。

雷射辅助化学气相沉积(Laser-Assisted Chemical Vapor Deposition)，可快速沉积钨(W)与钼(Mo)金属于深导孔内。此外，还有许多不同的金属-陶瓷複合材料，由于具备较低热膨胀系数，亦可应用于导孔填充，但针对深宽比大于5之深盲孔，则不易进行导孔充填，必须使用特殊製程以充填此种导孔。

图三： 导孔充填金属的各种方法[4]。

#### 晶圆接合(Wafer Bonding)

晶圆接合有晶片到晶圆(Die to Wafer)、晶片到晶片(Die to Die)、或晶圆到晶圆(Wafer to Wafer)等三种型式。至于晶圆接合方法，包括：(1)氧化物熔融接合(Oxide Fusion Bonding)、(2)金属-金属接合(Metal-Metal

Bonding)、(3)聚合物黏着接合(Polymer Adhesive Bonding)。其中, 金属-金属接合又可分为: 金属熔融接合(Metal Fusion Bonding)和金属共晶接合 (Metal Eutectic Bonding), 例如: 铜锡共晶(Cu-Sn Eutectic)等。以下将针对各种接合方法进行详细探讨。

#### ■ 氧化物接合(Oxide Bonding)

目前已开发出氧化物接合方法, 例如: 林肯实验室已开发出氧化物接合技术。首先将预先处理好具有主动元件(Active Device)、第一层级(First-Level)或多层级晶片连接线路(Multilevel on-Chip Interconnections)之晶圆, 使用二氧化硅作对准及接合。在欲接合晶圆上使用低压化学气相沉积法(LP-CVD), 沉积低温氧化物层。然后将表面抛光到粗糙度 $Ra < 0.4\text{nm}$ , 而且两接合面要具备高密度氢氧族(Hydroxyl Groups), 以形成良好接合面。将晶圆浸入双氧水( $\text{H}_2\text{O}_2$ )中, 以去除污染物, 然后在晶圆表面镀上氢氧族。接着用水洗净以及在氮气环境下作晶圆快速旋乾, 最后将晶圆中心对准及接合于上层晶圆。一般在较高温度之製程下, 其接合界面会形成共价键(Covalent Bond), 可进而提高结合强度。晶圆接合必需具备原子级平滑界面, 以得到较佳结合强度。IBM将氧化物接合应用于3D整合平台上[6], 而且此技术可进一步与晶圆导线连接製程具备相容性。

#### ■ 金属-金属接合(Metal-Metal Bonding)

铜-锡共晶接合(Cu-Sn Eutectic Bonding):

使用低熔点锡金属, 经由扩散(Diffusion)或焊接熔合(Solder Fusion)方式, 以应用于硅晶圆之三维整合製程。藉由铜-锡之间的扩散作用来进行铜导孔之垂直连接, 如此可省去晶片背面製作凸块之额外步骤[7]。

ASET已发展出高深宽比节距(Pitch)小于 $50\mu\text{m}$ 的铜导孔(Cu Via), 以锡作为接合之基础材料。此外, IBM结合铜垫(Cu Pad)及无铅焊锡电镀(Lead-Free Solder Plating)技术, 亦发展出节距(Pitch)为 $50\mu\text{m}$ , 而且具备高可靠度之接合技术[5]。

直接铜-铜结合(Direct Cu-Cu Bonding):

此法可省去製作锡或金凸块等步骤, 以及排除其他与凸块或金属间化合物相关之电性和机械可靠度问题, 此技术使得3D整合技术与标准晶圆製程更加具有相容性。Reif等人[8]在早期有提出铜热压接合的基本研究。根据TEM微结构照片可以观察在不同晶圆接合及退火步骤下, 其界面形态(Interface Morphology)的变化情形。在刚开始进行接合时会引起一些内部扩散作用, 但不会完成溶解及晶粒成长。所以在接合后必须进行退火步骤, 如此可以促进铜-铜的内部扩散(Inter-diffusion)、晶粒成长(Grain Growth)、再结晶(Recrystallization)等完整反应步骤, 以进而完成整体结晶过程。

根据IBM陈等人之最近研究报告[9], 发现晶圆结合时以缓慢温度梯度上升( $6^\circ\text{C}/\text{min}$ ), 会比那些以快速温度梯度上升( $32^\circ\text{C}/\text{min}$ )的晶圆, 具有更佳接合品质。同时, 他们的研究也表示, 在温度上升之前施以小接合力量, 或在接合期间施以向下高接合力量(High Bonding Down-Force), 皆可以提高接合强度。增加互连时之接合密度(Interconnect Pattern Density), 亦可促进界面接合品质, 但与铜接合之尺寸无直接关系。一般而言, 如果有少量的铜氧化物存在, 就会直接影响到铜对铜的接合品质。当表面先以稀释的柠檬酸(Dilute Citric Acid)作前处理时, 则可得到最高剪力强度, IMEC亦延伸此种接合製程于Pitch只有 $10\mu\text{m}$ 之超薄硅TSV技术应用上。

#### ■ 聚合物接合(Polymer Bonding)

聚合物之晶圆接合不需要特殊表面处理，例如：平坦化与过度清洗(Excessive Cleaning)步骤。聚合物接合对于晶圆表面之颗粒污染物较不敏感，一般常使用于晶圆接合的聚合物，则包括：热塑性聚合物(Thermoplastic Polymers)及热固性聚合物(Thermosetting Polymers)两种。欲接合之两片晶圆表面，首先旋转涂布液态聚合物，然后进行加热以去除溶剂，以及形成聚合物交链作用(Cross-Linking)。然后将两片晶圆于真空压力下小心进行对准及接合。接着在真空环境下烘烤，以形成强而可靠的接合界面。聚合物晶圆接合种类，包括：负光阻[10~11]、BCB(Benzocyclobutene) [2, 12~14]、Parylene[6]及Polyimide[7, 15]等，其中BCB具有杰出的晶圆接合能力、抗化学腐蚀性、以及具备良好接合强度。

晶圆接合前进行部份烘烤(Partially Curing)，可减少BCB之迴焊(Reflow)，并且促进BCB层均匀性，进而避免接合所导致的对位不良[13]。负光阻与Polyimide皆可使用氧电浆(Oxygen Plasma)进行蚀刻，所以非常适合于牺牲性接合层(Sacrificial Bonding)，或3D整合平台(例如MEMS应用)之暂时性接合应用上。图四为使用BCB聚合物，将具有铜-氧化物互连结构之晶圆与玻璃进行接合，然后经由研磨、抛光、湿式蚀刻等步骤，以去除硅基板之照片。使用聚合物接合之优点，包括：(1)聚合物接合与IC製程相容、(2)接合温度低、(3)接合强度较不容易受内层颗粒所影响。然而，在接合与烘烤製程上则容易产生对位不准问题，这是聚合物接合尚待克服之技术瓶颈。

图四：使用聚合物进行接合之照片[2]。

发展3D系统整合之各种TSV技术

使用TSV技术来发展3D系统整合的方法有许多种，如果以导孔的形成顺序来区分，可分为先导孔(Via First)与后导孔(Via Last)两种製程。其中先导孔(Via First)是指在晶圆后段导线製作(Back End of the Line; BEOL)之前，进行TSV导孔的製作；后导孔(Via Last)是指在晶圆后段导线製作之后，才进行TSV导孔的製作，表一为两种製程之比较表。以上只是大体上之区分，根据不同公司、组织、研究单位之发展，这些製程仍有一变化，如表二所示为各家公司之TSV技术的製作流程。

表一：两种TSV製程比较表[1]。

步骤

Via First

Via Last

1

製作TSV导孔

製作晶圆后段之导线连接(BEOL)

2

沉积介电层

晶圆黏上晶圆载具进行薄化

3

沉积钝化层与导孔之导电层充填

晶圆背面製作TSV导孔

4

製作晶圆后段之导线连接(BEOL)

沉积介电层

5

晶圆薄化与TSV接点製作

沉积钝化层与导孔之导电层充填

6

晶圆背面之导线连接

晶圆背面之导线连接

表二：各公司TSV技术之製程流程[1]。

Step No

Via First

Process 1

Via First

Process 2

Via Last Process 1

Via Last

Process 2

Via Last

Process 3

1

Via drilling

Via drilling

Bonding

Thinning

Thinning

2

Via filling

Via filling

Thinning

Bonding

Via drilling

3

Bonding

Thinning

Via drilling

Via drilling

Via filling

4

Thinning

Bonding

Via filling

Via filling

Bonding

Examples

Tessaron

IMEC, ASET, Fraunhofer

RPI

RTI

Infineon

#### ■ TSV製程範例

以下将以Tessaron之先导孔(Via First)製程为例子(图5), 进而说明TSV技术之应用发展状况[16]。首先将两片晶圆以面对面方式(Face to Face)进行堆叠, 採用铜对铜(Copper to Copper)接合作导线垂直互连, 此法又称为超导孔技术(Super Via Technology)。製程中除了使用EVG对準机(Aligner)和接合机(Bonder)之外, 大部份製程皆使用传统微机电(MEMS)製造设备, 详细製程说明如下:

步骤1: 首先在晶圆上製作IC元件(Devices)。

步骤2: 使用化学机械研磨(CMP)製程, 将氧化物(Oxide)进行平坦化。

步骤3: 蚀刻介电堆积层(Dielectric Stack)。

步骤4: 将硅蚀刻达深度4~9 $\mu\text{m}$ 。

步骤5: 沉积氧化物(Oxide)和氮化物(SiN)层, 以作为阻障层(Barrier Layer)及钝化层(Passivation Layer)。

步骤6及7: 製作沟渠(Trench)和导孔(Via), 以作为晶圆间之接合(Bonding)使用。

步骤8及9: 沉积Ta或TaN阻障层(Barrier Layer), 铜晶种层(Copper Seed Layer), 接着进行电镀铜以填充导孔(Via Filling), 使用化学机械研磨(CMP)製程, 去除多余之Ta层及铜, 此时以完成晶圆后段导线製程(Backend of the Line; BEOL), 包括结合铝与铜导线层。

步骤10: 在铜垫上沉积无电镀金属层(Electroless Metal Deposition), 或去除介电层(Dielectric Layer), 以形成晶圆对晶圆(Wafer to Wafer)之接合垫。

步骤11: 製作铜对铜(Copper to Copper)之热扩散接合(Thermal Diffusion Bonding)。

步骤12: 使用化学机械研磨(CMP)及研磨(Grinding)方式, 将上层晶圆进行薄化(Thinning), 并以化学蚀刻法(Chemical Etching)去除12 $\mu\text{m}$ 厚度的硅。

步骤13: 使用PE-CVD沉积氧化物于薄化晶圆之背面, 如此可防止上层晶圆因进行整合堆叠另一片晶圆时, 所造成硅之污染。

步骤14: 进行氧化层蚀刻, 以形成沟渠(Trench), 接着沉积铜, 以作为导线连接之使用。

步骤15: 形成铜垫(Copper Pad), 以作为上层晶圆进行晶圆堆叠之接合点。

图五: Tessaron 使用3D TSV整合技术製程之流程图[16]。

## 结论

全球正积极研发TSV技术，微电子封装将朝向3D系统整合。本文已针对TSV製程技术进行介绍，TSV製程虽然具有多种变化，但其关键技术可简单归纳为：导孔的形成(Via Formation)、导孔的填充(Via Filling)、晶圆接合(Wafer Bonding)及晶圆薄化(Wafer Thinning)等四大步骤。在TSV技术发展上，目前仍有许多挑战有待克服，并且这是一项需要整合各种专业领域的技术。

## 作者

许明哲 (David Hsu): 弘塑科技公司(Grand Plastic Technology Corporation; GPTC ) 专案经理，毕业于成功大学材料所。E-mail:david\_hsu@gptc.com.tw。

连络地址：新竹县新竹工业区大同路13号。Tel:+886-3-597-2353。

公司网址:<http://www.gptc.com.tw>。

詹印丰(Jesse Chan): 弘塑科技公司总经理，从台湾工业技术学院电子系获得学士学位，并在美国密苏里州立大学哥伦比亚校区获得MSEE。

颜锡鸿(Clyde Yen )：弘塑科技公司副总经理，具备半导体设备与材料之市场营销规划多年经验。

## 参考文献：

1. Rao R. Tummala, Madhavan Swaminathan, "Introduction to System-On-Package (SOP)", 2008, pp.127~137.
2. Through Silicon Technologies, "Through-silicon-vias" available on the website:<http://www.trusi.com/frames.asp?5> (Access date: Dec. 4, 2007).
3. B. Swinnen and E. Beyne, "Introduction to IMEC's research programs on 3D-technology," available on [www.emc3d.org/documenta/library/technical/IMEC%20Review\\_3D\\_introduction.pdf](http://www.emc3d.org/documenta/library/technical/IMEC%20Review_3D_introduction.pdf)(Access date: Dec. 4, 2007).
4. A. Klumpp, P. Ramm, R. Wieland, and R. Merkel, "Integration Technologies for 3D Systems" FEE 2006, May 17-20, 2006, Perugia, Italy. Available on [www.mppmu.mpg.de/~sct/welcomeaux/activities/pixel/3DSystemIntegration\\_FEE2006pdf](http://www.mppmu.mpg.de/~sct/welcomeaux/activities/pixel/3DSystemIntegration_FEE2006pdf) (Access date: Dec. 4, 2007).
5. J. U. Knickerbocker et al., "Development of the next generation system on package (SOP) technology based on silicon carriers with fine pitch chip connection," IBM J. Research and Development, vol. 49, no. 4/5, 2005, pp. 725~753.
6. H. Noh, Kyoung-sik Moon, A. Cannon P. J. Hesketh, and C. P. Wang, Proc. IEEE Electronic Components and Technology Conference, vol. 1, 2004, pp. 924~930.
7. K. W. Guarini, A.W. Topol et al, Proc. IEDM, 2002, pp. 943~945.
8. K. N. Chen, A. Fan, and R. Reif, "Microstructure examination of copper wafer bonding ", Journal of Electronic Materials," vol. 30, 2001, pp. 331~335.
9. K. N. Chen et al, "Structure, design and process control for Cu bonded interconnects in 3D integrated circuits, "IEEE IEDM, 2007, pp. 13.5.1~13.5.3.

10. F. Niklaus, S. Haasl, and G. Stemme, "Array of monocrystalline silicon micro-mirrors fabricated using CMOS compatible transfer bonding," *IEEE Journal of Microelectromechanical System*, vol. 12, no 4, 2003, pp. 465~469.
11. F. Niklaus et al, "Characterization of transfer-bonded silicon bolometer arrays," *Proc. SPIE*, vol. 5406, 2004, pp. 521~540.
12. J.-Q. Liu, A. Jindal, et al, "Wafer-level assembly of heterogeneous technologies," *The International Conference on Compound Semiconductor Manufacturing Technology*, 2003, available on <http://www.gaasmantech.org/Digests/2003/index.htm>(Access date: Dec. 4, 2007).
13. C. Christensen, P. Kersten, S.Henke, and S. Bouwstra, "Wafer through-hole interconnects with high vertical wiring densities," *IEEE Trans. Components, Packaging and Manufacturing Technology, A*, vol. 19, 1996, p.516.
14. J. Gobet et al, "IC compatible fabrication of through wafer conductive vias," *Proc. SPIE-The International Society for Optical Engineering*, vol. 3323, 1997, pp. 17~25.
15. M. Despont, U. Drechsler, R. Yu, H. B. Pogge, and P. Vettiger, *Journal of Microelectromechanical System*, vol. 13, no.6, 2004, pp.895~901.
16. S. Gupta, M. Hilbert, S. Hong, and R. Patti, "Techniques for producing 3DICs with high-density interconnect," *Proc. 21st International VLSI Multilevel Interconnection Conference*, Waikoloa Beach, HI, 2004, pp. 93~97.