



(China)

Trouble with 3D chips! – April 30, 2023

当前位置：[EEChina首页](#) > [电工杂谈](#) > [杂谈](#)

### 3D芯片的麻烦！

发布时间：2023-5-1 10:33 发布者：eechina

关键词：[3D芯片](#)

来源：[半导体行业观察](#)

将一个逻辑器件放在一个逻辑器件上面，这看起来是一个相对简单的操作。但要实现这个，有不少问题需要克服。

真正的3D需要以高度集成的方式将晶圆堆叠在一起。这与2.5D集成非常不同，在2.5D集成中，逻辑并排布局，由中介器连接起来，将大量内存堆叠在逻辑上，例如HBM堆栈。

第一个真正的3D-IC即将问世。[Cadence](#) 数字与签核部产品管理部总监 Vinay Patwardhan 表示：“今年下半年将推出一些涉及3D芯片。”“到明年年中，我们可以期待一些现实的logic-on-logic芯片，特别是具有多个 AI 内核的芯片。这些公司在单个芯片上许多设计都接近十字线尺寸限制，超过 600 或 700 平方毫米。他们拼命地尝试为下一代设计采用全 3D 堆栈，因为它不需要切割和堆叠它们是一种物理变化。”

3D的其他目标可能更远，比如堆叠异构芯片的能力。[Synopsys](#)研究员 Rob Aitken表示：“这需要一个真正的3D布局器和布线器。你必须知道，要构建任何穿过裸片的逻辑路径，你需要两个独立的库。它们很可能是两个不同的技术节点，但是现有的工具和流程假设是非常深入的。可以修改工具来处理这个问题，这不是不可想象的。但对工具的一些基本假设需要改变。”

#### 物理问题

从2.5D集成中得到的一个关键教训是，两个裸片的连接处存在重大的机械问题。[电动汽车](#)集团EV Group业务发展总监 Thomas 表示：“将两个芯片集成在一起，就会产生压力。”“如果你看看中介层的问题，大部分断裂点都在连接处，这会产生可靠性问题。您带来的复杂性。在芯片中间，您可能会有底部填充。当您解决它时，它会缩小。这会产生压力，即使它稳定了连接。有了 3D，您增加了另一个维度。”

在这一点上，这些问题已经相当好地理解了。“当你开始混合不同的材料时，会出现更多有趣的异质堆叠问题，”[Synopsys](#)的 Thomas 表示：“当您在 CMOS 上堆叠在 CMOS 上时，即使它是一个不同的节点，它也可能以一种有意义的机械方式表现出来。如果你决定在硅上堆叠一个氮化硅层，你可以做很多很酷的事情。但你会开始遇到一些有趣的机械问题，需要大量思考。”

另一个物理问题是热量。西门子EDA高级封装解决方案总监Tony Mastroianni表示：“散热可能是当今最大的挑战。”“虽然HBM这是一个非常不同的问题，因为它是内存，你一次只能启用其中一个堆栈。他们不是同时开火的。他们不需要担心热管理。die，即使这样也将是一个挑战。”

但这也不全是坏消息。“3D堆叠通过降低动态功耗提供了一点帮助，”Cadence的Patwardhan说。“对于2.5D，信号必须穿层上传到另一个芯片，导致导线长度变长。当您有堆叠芯片时，您可以沿Z方向布线，从而减少线长。因此动态功耗，即降低了。如果堆叠正确，两个芯片上的开关元件不会同时开关，您可以有效地使用3D堆叠来降低功率或热足迹。如果两层同时烟囱效应就会发挥作用。”

这是3D技术的一个应用。“如果你相信暗硅效应的概念，即并非所有设备都需要一直处于开启状态，那么你可以在概念上构建你能够管理热的方式，这样电力和热量就不是问题了。”“你可以将之前作为大型2D对象执行的内容转换为较小的3D对象。”

无论如何，都需要及早分析。Cadence定制IC和PCB事业部产品管理总监John Park表示：“在布局布线之前，您必须尽你需要能够输入描述每个小芯片功耗的参数数据，要使用的模原料，参数化地描述你期望的潜在散热器的样子，它正在进行系统的自然部分，有助于散发热量，甚至PCB的尺寸也有进一步的帮助。在原型设计阶段，你开始考虑什么东西可以堆叠，它们之间的距离有多近，基于早期设计知识，哪种类型的芯片或小芯片最适合堆叠。”

## 芯片间连接

当芯片之间，甚至芯片内部通过中介层进行通信时，高速通信需要复杂的PHY、SerDes和通信协议来确保数据的可靠传输中的高速接口，因为你要驱动高达两毫米，”西门子的Mastroianni说。“你必须担心定时和同步以及处理信号完整性问题。但辑在纳米或微米之外，您可以只使用常规门，常规标准单元。他们确实有内置了一点ESD的特殊电池，但基本上您不需要那些逻辑接口通过常规逻辑进行对话。你必须为时钟做一些同步，但这是正常的STA逻辑类型的东西和时序优化。”

这会产生一些不同的问题。Aitken说：“你有机会在堆栈之间建立更多的互连，而布局数万个PHY是行不通的。”“但你确实sign-off。你到底要开什么车？你会有一个逆变器驱动一块金属并连接到另一侧的匹配缓冲器吗？或者你打算放入某种MUX你会尝试联系他们以获得晶圆探针，还是你会忘记整个事情并且在构建它之前不进行测试？”

设计界正试图回答这些问题。“OSAT通常会执行键合前和键合后测试，”Patwardhan说。“使用今天的测试技术可能无法直接微凸块。许多测试通过跨两个芯片定义的测试路径进行。他们插入可以运行开路测试的可编程电子保险丝。我们必须确保无EDA的角度来看，我们都遵循新兴的IEEE 1838标准，并确保所有这些检查都可以通过完整的EDA流程进行。随着这些混合将会发展。”

## 模型和自动化

3D-IC将需要对现有EDA工具和流程进行一些重大升级。

“我们称它们为三个M，”Ansys产品营销总监Marc Swinnen说。“这是多物理（multi-physics）、多规模（multi-scale）和新的挑战：

在热、机电、机械和电磁等方面存在多物理场挑战。这些是传统上芯片设计人员不必担心太多的问题，除了RF人员。

当您从芯片上的纳米级到封装上的毫米级再到3D-IC中介层上的厘米级时，会遇到多尺度挑战。那是您涵盖的六个数量级的工具处理。对于3D-IC，这些都需要整合为一个。

它已成为一个多组织的问题。行业中确实存在这方面的技能，但它们有时分散在不同的团队、不同的公司中。对于3D-IC构建他们的组织架构，以汇集一个团队来囊括解决此问题所需的所有专业知识。你不能把它扔到某个偏远的团队，然后再扔给后再返回给设计团队。”

许多问题是对目前使用的问题的扩展，可能会分阶段引入。“第一阶段可能会支持同质裸片，”Mastroianni说。“所有裸片都将变得更容易一些，但最终要真正利用这项技术，您希望能够利用不同的工艺技术、不同的节点。这将需要通用数据模型才能

有设备不在同一个芯片上时，您不能假设它们都快或慢。你必须处理那个。片上变化是一种统计技术，您可以在其中对设计。它基本上是您在设计中构建的开销余量。但是如果你有不同的芯片是在不同的运行中制造的，你不能假设任何相关性，你必须做更极端的角优化分析。”

不仅布局和布线工具必须针对 Z 维度重新设计，它们还必须具有更多的热感知能力。“我们已经有了活动感知的 2D 设计工具和其他工具能够获取 VCD 文件，代表最坏的情况活动。您可以从模拟中聚合它，然后以热点分散的方式布局单元格。这可以进行布局，进行裁剪，然后在时钟树综合之后，我们可以使用一些活动数据来优化布局。这是基于功率密度的流量。这可以扩展并有一些早期的原型，我们可以在其中获取活动信息，然后使用早期的热分析，基于您的静态电流或全动态活动，并基于增强了 2D 布局引擎，我们必须扩展它以采用 Z 维度，它是一个多目标布局器。热效应可以直接建模为布局器的目标。”

在早期工具中可能会看到的另一个简化是限制在何处进行 Z 维度分区。如果宏单元或 IP 块保留在单个裸片上，则可以在裸片上等待整个堆栈在逻辑上组装完毕。

“有人在谈论取消这一限制，”帕克说。“他们称之为macro-folding。在模拟世界中，他们称之为circuit folding。如果在平面意义上，但它们有一些垂直空间，有人在谈论折叠宏在彼此之上。我不知道实际生产中的任何设计，但肯定有一些我们的客户在谈论可以使它在平面意义上缩小一半，在垂直意义上稍微厚一点。”

## 结论

当从一个技术节点迁移到另一个技术节点时，总是需要注意新的影响，并设置新的限制或局限性以确保轻松签核。从 2.5D 到 3D-IC 迁移看起来很简单。但 3D-IC 正在颠覆工具、模型、流程甚至组织的方方面面，这些问题还需要行业的共同努力。

本文地址：<https://www.eechina.com/thread-820377-1-1.html> 【打印本页】

本站部分文章为转载或网友发布，目的在于传递和分享信息，并不代表本网赞同其观点和对其真实性负责；文章版权归原作者及原出处所有，如涉及作品内容、版权和其它问题，我们将根据著作权人的要求，第一时间更正或删除。

<https://www.eechina.com/thread-820377-1-1.html>