

Manufacturing process and principle of TSV and TGV technology for advanced packaging – April 12, 2023

先进封装之TSV、TGV技术制作工艺和原理

[jh18616091022](#)·来源: AIOT大数据· 2023-04-13 09:57 · 1143次阅读 · 0个评论

技术前沿: 先进封装之硅通孔TSV和玻璃通孔TGV

随着晶圆代工制程不断缩小, 摩尔定律逼近极限, 先进封装是后摩尔时代的必然选择。其中, 利用高端封装融合[最新](#)和成熟节点, 采用系统封装(SiP)和基于小[芯片](#)的方法, 设计和制造最新的SoC产品已经成为主要的技术路径。2.5D/3D封装正在加速3D互连密度的技术突破, TSV及TGV的技术作为2.5D/3D封装的核心技术, 越来越受到重视。

一、先进封装技术越来越重要

摩尔定律指引[集成电路](#)不断发展。摩尔定律指出: “集成电路芯片上所集成的电路的数目, 每隔18-24个月就翻一倍; 微处理器的性能提高一倍, 或价格下降一半。”根据摩尔定律, 制程节点以0.7倍(实际为根号2的倒数)递减逼近物理极限, 从1 μ m、0.8 μ m、0.5 μ m、0.35 μ m、0.25 μ m、0.18 μ m、0.13 μ m、90nm、65nm、45nm、32nm、22nm、16nm、10nm、7nm, 一直发展到未来的5nm、3nm, 事实上90nm节点以前特征尺寸完全对应栅极长度, 自65nm开始各厂商节点名称的定义越来越模糊, 已不能完全对应器件的物理尺寸。目前14nm、10nm的节点名称大致对应栅极长度的一半。

遵循摩尔定律, 缩小[晶体管](#)尺寸, 依旧可以提升产品性能。但是高昂的开发费用和资本支出导致单个晶体管成本不像之前随着性能的提升而下降, 开发更先进的制程已经不再经济。另一方面摩尔定律已经接近极限。2017年10nm制程已经发展到量产的阶段, 非常接近FinFET工艺物理极限5nm。

在这种情况下, 集成电路产业将走向何方, 产业界和学术界给出了比摩尔定律更为多元化的答案: MoreMoore (深度摩尔)、MorethanMoore (超越摩尔)、BeyondCMOS将是未来的发展方向。

深度摩尔是在现有硅基CMOS基础上, 在器件结构、沟道材料、连接导线、高介质金属栅、架构系统、制造工艺等方面进行创新研发, 沿着摩尔定律进行升级, 延续摩尔定律(18个月左右晶体管数

量翻番)的生命。同时更加注重功耗的降低。FinFET技术、EUV光刻是典型代表。业界认为5nm将会是硅基CMOS技术的物理极限。

超越摩尔侧重于根据应用场景来实现芯片功能的多样化。这可以通过三条路径来实现：优化[算法](#)和[电路设计](#)；多个功能模块封装于一个芯片中；开发新功能芯片。因此封装将会发挥越来越重要的作用。

BeyondCMOS是指打破硅基晶体管结构和材料限制，研发全新的晶体管来取代硅基CMOS。新的器件要具有高性能、低功耗、可接受的制造成本、足够稳定以及适合于大规模制造等特性。潜在的技术主要有：隧穿FET (TunnelingFET, TFET)、Nano-electromechanicalSwitch(NEMS)、单电子晶体管 (SingleElectronTransistor, SET)、量子元胞自动机 (QuantumCellularAutomata, QCA)、AtomicSwitch、自旋FET (SpinFET)、石墨烯FET (GrapheneFET)、碳纳米管FET (CarbonNanotubeFET)、纳米线FET (NanowireFET) 等。

此外，[半导体](#)产业也将逐渐从技术驱动转变为应用驱动。目前移动产品仍是半导体产业主要的推动力，其朝小尺寸、多功能、高速化发展，带动先进封装技术导入。未来[物联网](#)、[5G](#)、[人工智能](#)、[汽车电子](#)、[AR/VR](#)、[云计算](#)等将会兴起，市场驱动力将多元化，对产品多样化也提出了需求。先进封装是满足不同应用需求的重要手段。随着晶圆代工制程不断缩小，摩尔定律逼近极限，先进封装是后摩尔时代的必然选择，包括倒装、晶圆级封装、扇外型封装、3D封装、系统级封装等。

二、封测技术及发展方向

半导体的生产过程可分为[晶圆制造](#)工序 (WaferFabrication)、封装工序 (Packaging)、测试工序 (Test) 等几个步骤。其中晶圆制造工序为前道 (FrontEnd) 工序，而封装工序、测试工序为后道 (BackEnd) 工序。封装是指将生产加工后的晶圆进行切割、焊线塑封，使电路与外部器件实现连接，并为半导体产品提供[机械](#)保护，使其免受物理、化学等环境因素损失的工艺。测试是指利用专业设备，对产品进行功能和性能测试，测试主要分为中测和终测两种。

根据Yole的数据，全球封测行业市场规模保持平稳增长，预计从2019年的680亿美元增长到2025年的850亿美元，年均复合增速约4%。根据中国半导体行业协会的数据，中国封测行业市场规模从2011年的976亿元增长到了2019年的2350亿元，年均复合增速约11.6%，显著高于全球增速。

1、封测生产流程

晶圆代工厂制造完成的晶圆在出厂前会经过一道电性测试，称为晶圆可接受度测试（WaferAcceptanceTest, WAT），WAT测试通过的晶圆被送去封测厂。封测厂首先对晶圆进行中测（ChipProbe, CP）。由于工艺原因会引入各种制造缺陷，导致晶圆上的裸Die中会有一些量的残次品，CP测试的目的就是在封装前将这些残次品找出来，缩减后续封测的成本。在完成晶圆制造后，通过探针与芯片上的焊盘接触，进行芯片功能的测试，同时标记不合格芯片并在切割后进行筛选。CP测试完成后进入封装环节，封装工艺流程一般可以分为两个部分，用塑料封装之前的工艺步骤称为前段操作，在成型之后的工艺步骤称为后段操作。基本工艺流程包括晶圆减薄、晶圆切割、芯片贴装、固化、芯片互连、注塑成型、去飞边毛刺、上焊锡、切筋成型、打码等。因封装技术不同，工艺流程会有所差异，且封装过程中也会进行[检测](#)。封装完成后的产品还需要进行终测（FinalTest, FT），通过FT测试的产品才能对外出货。

2、封装技术不断演进

封装技术正逐渐从传统的引线框架、引线键合向倒装芯片、硅通孔、[嵌入式封装](#)（ED, EmbeddedDiePackage）、扇入/扇出型晶圆级封装、SiP封装、系统级封装（SoP, SystemonPackage）等先进封装技术演进。芯片的尺寸继续缩小，引脚数量不断增加，集成度持续提升。

倒装芯片与传统的引线键合技术的区别在于前者将芯片面朝下，与基板直接通过焊球连接，不再需要引线，芯片与外部电路的距离缩短。芯片I/O密度提高、尺寸缩小、[电气性能改善](#)。

晶圆级封装通常直接在晶圆上进行大部分或全部封测工艺，再切割成单颗芯片。再分布层(RDL, RedistributionLayer)与凸块(Bump)技术为其I/O布线的一般选择，由此无需使用IC载板，从而降低了厚度和成本。

晶圆级封装可以实现较小尺寸封装，如：芯片尺寸封装（CSP, ChipScalePackage）。由于引脚全部位于芯片下方，I/O数受到限制，该类型一般又称为晶圆级芯片尺寸封装（WLCSP, WaferLevelChipScalePackage）或扇入型晶圆级封装（Fan-InWLP）。目前多用于低引脚数消费类芯片。

WLP可分为扇入型晶圆级封装（Fan-InWLP）和扇外型晶圆级封装（Fan-OutWLP）两大类。扇入型直接在晶圆上进行封装，封装完成后进行切割，布线均在芯片尺寸内完成，封装大小和芯片尺寸相同；扇外型则基于晶圆重构技术，将切割后的各芯片重新布置到人工载板上，芯片间距离视需求而定，之后再行晶圆级封装，最后再切割，布线可在芯片内和芯片外，得到的封装面积一般大于芯片面积，但可提供的I/O数量增加。

随着I/O数目增加，焊球间距不断减小。持续降低焊球间距将会导致下游PCB制造成本增加。扇外型晶圆级封装（Fan-OutWLP）应运而生。

扇出（FanOut, FO）是相对扇入而言，“扇入”只能向内走线，而在扇外型封装中，既可以向内走线，也可以向外走线，从而可以实现更多的I/O，以及更薄的封装。目前量产最多的是晶圆级扇外型产品。

扇外型封装工艺主要分为Chipfirst和Chiplast两大类，其中Chipfirst又分Diedown和Dieup两种。

扇外型封装生产工艺的关键步骤包括芯片放置、包封和布线。芯片放置对速度和精度的要求很高，放置速度直接决定生产效率，从而影响制造成本；放置精度也是决定后续布线精度的关键性因素。包封需要对包封材料进行填充和加热，这一过程不仅可能导致已放置好的芯片发生移位，还有可能因包封材料与芯片的膨胀系数的不同而造成翘曲，这两者都会影响后续的布线环节。布线成功率是决定最终封装成品率的关键因素，另一方面，布线设备是整个生产设备中最昂贵的，对制造成本的影响很大。

Fan-Out是指通过再分布层将I/O凸块扩展至芯片周边，在满足I/O数增大的前提下又不至于使焊球间距过小而影响PCB工艺。Fan-Out封装是近期先进封装技术中的热门话题。台积电的InFO（IntegratedFanOut）封装技术用于iPhone处理器。

扇外型晶圆级封装的优势在于缩小芯片尺寸，降低成本（无需载板），散热、能耗及性能方面较倒装也有改善。工艺上也面临着加工过程中翘曲、裸晶在载板上的位置精度、裸晶与载板界面处的平整性、多芯片封装等问题。

硅通孔技术（TSV）是指在晶圆片上打孔，在孔中填充导电材料实现芯片之间、芯片与外部之间互联的技术，被认为是目前半导体行业最先进的技术之一。硅通孔技术具有互连距离短、集成度高的优

点，能够使芯片在三维空间堆叠密度最大，并提升芯片性能、降低功耗、缩小尺寸。该技术是实现异质集成的重要手段，未来将广泛的用于2.5D/3DIC。

3D封装又称为叠层[芯片封装](#)技术，是指在不改变封装体尺寸的前提下，在同一个封装体内于垂直方向叠放两个以上芯片的封装技术，它起源于快闪存储器(NOR/NAND)及SD[RAM](#)的叠层封装，可以实现不同类型芯片的异质集成，目前在存储芯片上已有较多应用。

3D封装可采用凸块或硅通孔技术（ThroughSiliconVia，TSV），TSV是利用垂直硅通孔完成芯片间互连的方法，由于连接距离更短、强度更高，能实现更小更薄而性能更好、密度更高、尺寸和重量明显减小的封装，而且还能用于异种芯片之间的互连。

2.5D封装是在基板和芯片之间放一个硅中间层，这个中间层通过TSV连接上下部分。

根据国际半导体路线组织（ITRS，International Technology Roadmap for Semiconductors）的定义，SiP是对不同芯片进行并排或叠加的封装方式。叠加的芯片可以是多个具有不同功能的有源[电子](#)元件与/或无源器件，也可以是[MEMS](#)或者[光学](#)器件。封装在一起之后成为可以实现一定功能的系统。

相对简单的SidebySide的多芯片模组（MCM，Multi-chipModule）技术（2DPackage）、更复杂的多芯片封装（MCP，Multi-chipPackage）技术、芯片堆叠(StackDie)技术等均可以用来构建集成多种功能的SiP系统（2.5D/3DIC）。SiP可以有效突破SoC在整合芯片过程中的限制，大幅降低设计端和制造端成本，同时具备定制化的灵活性。SiP在超越摩尔的发展路径中具有十分重要的地位。

台积电推出的InFO和CoWoS（Chip-on-Wafer-on-Substrate）属于2.5DIC封装。该技术是把不同的芯片集成在一块硅载板（siliconinterposer）上，并在载板上布线实现互连。CoWoS针对高端市场，连线数量和封装尺寸都比较大。InFO针对性价比市场，封装尺寸较小，连线数量也比较少。2.5D比3DIC封装成本更低，但是堆叠芯片的3D封装比同样的SiP系统的2.5D封装尺寸更小。此外堆叠芯片还可以带来功耗降低、传输速率提升等性能方面的改善。

SoC（系统级芯片，System-on-a-Chip）与SiP的区别在于SoC的集成是从晶圆片上制作出来，而SiP的集成是将不同的芯片或裸晶（Die）封装在一起。目前高端数字工艺（例如16nmFinFET）用

于模拟和射频模块并不适合。首先高端工艺的额定电源电压很低，导致模拟/射频模块设计非常困难。其次高端工艺的掩模制造成本非常高，而模拟/射频模块的晶体管密度远低于数字模块，使用高端工艺制造模拟/射频模块并不划算。采用SoC方式集成研制难度大、开发时间长、制造成本高。因此采用先进封装技术将高端工艺制造的数字模块，比较成熟的工艺来实现模拟/射频模块，用硅通孔等技术实现模块间互连，封装在一起形成SiP系统，可以加快开发速度，制造低成本和高集成的芯片。

3、先进封装市场规模

摩尔定律的放缓、异质集成和各种大趋势（包括5G、AI、HPC、物联网等）推动着先进封装市场强势发展。根据Yole的数据，2019年全球先进封装市场规模约290亿美元，预计2025年增长到420亿美元，年均复合增速约6.6%，高于整体封装市场4%的增速和传统封装市场1.9%的增速。

从下游应用市场来看，移动设备和消费电子对集成度要求高，是先进封装最大的细分市场，2019年占比达85%，2019-2025的CAGR为5.5%，略低于整体增速，2025年将占先进封装市场的80%。电信和基础设施是先进封装市场中增长最快的细分市场，CAGR约为13%，市场份额将从2019年的10%增至2025年的14%。汽车与运输细分市场在2019年至2025年期间将以10.6%的CAGR增长，到2025年达到约19亿美元，但其在先进封装市场中所占的份额仍将持平，约4%。

从技术分类来看，3D堆叠封装、嵌入式芯片封装、扇外型封装在2019年到2025年的增速更高，CAGR分别为21%、18%、16%。扇外型技术进入移动设备、网络和汽车领域；3D堆叠技术进入AI/ML、HPC、数据中心、CIS、MEMS/传感器领域；嵌入式芯片封装进入移动设备、汽车和基站领域。

从晶圆数来看，2019年约2900万片晶圆采用先进封装，到2025年增长为4300万片，年均复合增速为7%。其中倒装技术占比最高，3D封装增速最快。

三、硅通孔技术（TSV）

TSV互连具有缩短路径和更薄的封装尺寸等优点，被认为是三维集成的核心技术。

TSV结构如下图所示，在硅板上面有加工完成的通孔；在通孔内由内到外依次为电镀铜柱、绝缘层和阻挡层。绝缘层的作用是将硅板和填充的导电材料之间进行隔离绝缘，材料通常选用二氧化硅。由于铜原子在TSV制造工艺流程中可能会穿透二氧化硅绝缘层，导致封装器件产品性能的下降甚至失效，一般用化学稳定性较高的金属材料在电镀铜和绝缘层之间加工阻挡层。最后是由于[信号](#)导通的电镀铜。

在三维集成中TSV技术可分为三种类型：在CMOS工艺过程之前在硅片上完成通孔制作和导电材料填充的是先通孔技术；而中通孔，在CMOS制程之后和后端制程（BEOL）之前制作通孔。最后一种后通孔技术是在CMOS工艺完成后但未进行减薄处理时制作通孔。最终技术方案的选择要根据不同的生产需求。

1、TSV制造的工艺流程

TSV制造的工艺流程举例如下：

步骤1：首先在晶圆上制作IC组件(Devices)。

步骤2：使用化学机械研磨(CMP)制程，将氧化物(Oxide)进行平坦化。

步骤3：蚀刻介电堆积层(DielectricStack)。

步骤4：将硅蚀刻达深度4~9 μm 。

步骤5：沉积氧化物(Oxide)和氮化物(SiN)层，以作为阻挡层(BarrierLayer)及钝化层(PassivationLayer)。

步骤6及7：制作沟渠(Trench)和导孔(Via)，以作为晶圆间之接合(Bonding)使用。

步骤8及9：沉积Ta或Ta_N阻挡层(BarrierLayer)，铜晶种层(CopperSeedLayer)，接着进行电镀铜以填充导孔(ViaFilling)，使用化学机械研磨(CMP)制程，去除多余之Ta层及铜，此时以完成晶圆后段导线制程(BackendoftheLine;BEOL)，包括结合铝与铜导线层。

步骤10：在铜垫上沉积无电镀金属层(ElectrolessMetalDeposition)，或去除介电层(DielectricLayer)，以形成晶圆对晶圆(WafertoWafer)之接合垫。

步骤11：制作铜对铜(Copper to Copper)之热扩散接合(Thermal Diffusion Bonding)。

步骤12：使用化学机械研磨(CMP)及研磨(Grinding)方式，将上层晶圆进行薄化(Thinning)，并以化学蚀刻法(Chemical Etching)去除12 μm 厚度的硅。

步骤13：使用PE-CVD沉积氧化物于薄化晶圆之背面，如此可防止上层晶圆因进行整合堆栈另一片晶圆时，所造成硅之污染。

步骤14：进行氧化层蚀刻，以形成沟渠(Trench)，接着沉积铜，以作为导线连接之使用。步骤15：形成铜垫(Copper Pad)，以作为上层晶圆进行晶圆堆栈之接合点。

2、TSV制作流程中关键技术

2.1 TSV刻蚀

TSV刻蚀是三维集成的关键技术，并且目前深硅刻蚀首选技术为干法刻蚀或称**博世**刻蚀。博世刻蚀工艺的刻蚀速率高达5~10 $\mu\text{m}/\text{min}$ ，对光刻胶的选择性为50~100，对氧化物掩膜的刻蚀率高达200。博世工艺包括以下流程：（1）利用六氟化硫(SF_6)作为蚀刻剂进行硅刻蚀；（2）填充八氟环丁烷(C_4F_8)气体，以产生良好的钝化膜来保护刻蚀出的侧壁；（3）用定向离子进一步刻蚀六氟化硫(SF_6)等离子体中的钝化层和硅层。然后，使用 O_2 和Ar等离子体清洗钝化层。然而，这种工艺造成侧壁缺口粗糙，可能会造成接下来的步骤出现差错，引发漏电和可靠性问题。在深硅刻蚀中，侧壁粗糙度受刻蚀和钝化到两个流程的影响。侧壁粗糙会增大TSV的空隙，进而影响到绝缘层、阻挡层和铜种子层的覆盖范围。因此，随着TSV尺寸的减小，侧壁粗糙度需要控制在最小。

2.2 TSV绝缘层

TSV的金属填充需要用到绝缘层来对硅衬底进行充分的电气隔离。绝缘层的工艺要求包括良好的阶梯覆盖率，无漏电流，低应力，高击穿电压，以及不同的TSV集成引起的加工温度的限制。二氧化硅(SiO_2)或氮化硅(Si_3N_4)是常用于等离子体增强化学气相沉积(PECVD)或减压化学气相沉积(SACVD)的绝缘层。然而，当TSV直径小于3 μm 时，绝缘层更适用于原子层沉积(ALD)。ALD有几个优势，如较低的热预算，比现有流程更好的阶梯覆盖率，无需再进行表面处理，并且由于较薄的绝缘层，降低了TSV的CMP加工时间。

2.3 TSV阻挡层和种子层

接下来的过程是阻挡层沉积，目的是防止铜原子在温度400°C下的退火过程的TSV中扩散。另外，阻挡层也作为绝缘层和铜层之间的粘合层。常见的作为阻挡层的材料是Ti、Ta、TaN、TiN；根据TSV的尺寸来选择物理气相沉积（PVD）、化学气相沉积（CVD）或原子层沉积（ALD）法来实现。

金属阻挡层使用PVD沉积，如钽和钛。温度要求低是这种方法最大的特点，但是其阶梯覆盖率也低，很容易产生较高纵横比（>10:1）的TSV[6]。沉积较厚的金属阻挡层可以克服阶梯覆盖低的缺点，但会使生产成本变高。TiN或Ti阻挡层可以用化学气相沉积法沉积，具有均匀性好的优点、但需要较高的加工温度。

在下面的过程中，铜种子通常采用物理气相沉积法沉积在TSV中。在IMEC研究中，采用ALD法TiN作为阻挡层，制造了均匀性约80%，尺寸 $2 \times 30 \mu\text{m}$ 的TSV（纵横比=15）。成本和减少阻挡层和种子层过程的热预算是TSV应用中的关键挑战。

在后端工序互联之后用于设备可靠性检测的温度是一个值得关注的问题。采用低温下进行的全湿法对高纵横比的TSV的阻挡层和铜种子层实现无电镀沉积，用金纳米粒子（AuNPs）或钯纳米粒子（PdNPs）作为催化剂实现钴-钨和铜的阻挡层/种子层的无电镀沉积。一个TSV不同位置的吸附钯纳米粒子在室温下3小时后的形态，如图3所示。PdNPs沉积均匀地分布在尺寸为 $2 \times 24 \mu\text{m}$ 的TSV中，没有观察到钯结块。尽管全湿法阻挡层和种子层在较低温度下有较好的阶梯覆盖率，但它的可靠性还需要更多的实验来证明。

2.4 TSV填充

TSV填充电镀铜有三种方法：共形电镀，自下而上的密封凸点电镀，和超共形电镀。电镀方法是以各种三维集成应用为基础的。总的来说，TSV的结构是深度在10到 $200 \mu\text{m}$ 之前的典型的圆柱形孔。TSV的深度取决于芯片或晶圆键合时的所需厚度，而TSV纵横比的大小则由介电膜、阻挡层和种子层和填充过程决定的。

2.4.1 共形电镀

共形度铜与晶圆级芯片规模封装中线路镀铜相似。以CIS应用作为一个例子，它的主要过程包括硅的深反应离子刻蚀到CMOS金属层，通孔的氧化物隔离，阻挡层和种子层PVD沉积，最后对RDL共形镀铜。在抗蚀剂掩模中铜厚 $5 \sim 10 \mu\text{m}$ 。然而，由于铜种子层的不连续性，仅有纵横比为3的TSV得以应用。

2.4.2自下而上密封凸点电镀

TSV自下而上密封凸点电镀法的一个优点是能够有效避免通孔填充过程中产生空隙。此外，自下而上填充法适合后通孔工艺。它通常需要在底部的铜种子层的临时键合或粘贴技术来完成填充过程。载体晶圆的去除会带来额外的花费和可靠性问题，因此有一种新型的TSV自下而上密封凸点电镀铜填充法。该工艺流程为：

(1) TSV刻蚀，(2) 减薄，(3) 氧化隔离，(4) 种子层沉积，(5) 光刻胶标记，(6) 制造密封凸点，(7) TSV凸点电镀，(8) 最终刻蚀。扫描电镜、光学显微镜和X射线分析都能观察到，自下而上填充法不会产生缺陷。

2.4.3超共形电镀

超共形电镀铜填充的适用尺寸有较大的范围，从镶嵌尺寸到用于应用设备的较大尺寸。通过X射线观测到铜覆盖层和阻挡层用CMP去除后，TSV中没有缝隙。

此外，三步PPR[电流](#)波形法减少了铜填充时间和TSV填充的缺陷。然而，由于使用可以减少通孔侧壁铜离子的脉冲反向电流，填充高纵横比的TSV需要很长的时间。因此，三维集成中缩短TSV填充时间是很有必要的。提高充填效率的优化方法有多种，包括阳极位置优化，多级TSV填充，电镀电流密度优化。

最后，使用CMP来去除晶片表面的铜覆盖层和阻挡层。总的来说，这项技术需要两个步骤。第一步是去除通孔填充后的厚的铜凹坑或凹槽，到阻挡层停止。第二步是去除阻挡层，到绝缘层停止。选择不同的浆料来实现隔离，避免凹陷和侵蚀。

2.5TSV铜暴露

另一个关键步骤是由于铜材料和硅衬底之间热膨胀系数不匹配带来的TSV挤压或TSV凸点问题。铜的热膨胀系数为 $17.6\text{ppm}/^\circ\text{C}$ ，高于硅的 $2.6\text{ppm}/^\circ\text{C}$ ，引起电介质层开裂和分层等可靠性问题。通过对一系列不同条件下退火工艺的实验，得出了退火工艺的影响。Cu从退火温度在 350°C 开始凸起，一直到 450°C 。铜的突出现象，有两种可能的机制。第一个机制是在退火过程中垂直扩展的铜材料塑性变形。第二种机制是由于当TSV中应力分布不均匀引起的扩散蠕变。通过对电镀工艺之后的TSV进行适当的预退火处理来减少硅应力是很有必要的，然后，用CMP去除多余铜。

3、TSV制程关键工艺设备

TSV制作工艺包括以下几步：通孔制作；绝缘层、阻挡层和种子层的沉积；铜填充；通过化学机械抛光去除多余的金属；晶圆减薄；晶圆键合等。

每一步工艺都有相当的技术难度，在通孔制作步骤，保持孔的形状和控制角度非常重要，通过Bosch工艺来实现深孔刻蚀；在沉积绝缘层、阻挡层和种子层时，需要考虑各层的均匀性和粘附性；铜填充时必须避免空洞等缺陷，这样填充的铜可以在叠层器件较高的温度下保持正常的电性能；一旦完成了铜填充，则需要对晶圆进行减薄；最后是进行晶圆键合。

TSV制作流程会涉及到深刻蚀、PVD、CVD、铜填充、微凸点及RDL电镀、清洗、减薄、键合等二十余种设备，其中通孔制作、绝缘层/阻挡层/种子层的沉积、铜填充、晶圆减薄、晶圆键合等工序涉及的设备最为关键，在某种程度上直接决定了TSV的性能指标。

3.1 深硅刻蚀设备

通常情况下，制造硅通孔（经常穿透多层金属和绝缘材料）采用深反应离子刻蚀技术（DRIE），常用的深硅刻蚀技术又称为“Bosch（博氏）”工艺，有最初发明该项技术的公司命名。

如下图所示，一个标准Bosch工艺循环包括选择性刻蚀和钝化两个步骤，其中选择性刻蚀过程采用的是SF₆和O₂两种气体，钝化过程采用的是C₄F₈气体。在Bosch工艺过程中，首先利用SF₆等离子体刻蚀硅衬底，接着利用C₄F₈等离子体作为钝化物沉积在硅衬底上，在这些气体中加入O₂等离子体，能够有效控制刻蚀速率与选择性。因此，在Bosch刻蚀过程中很自然地形成了贝壳状的刻蚀侧壁。

目前深硅刻蚀设备主要由美国应用材料、泛林半导体等设备厂商控制。从国内看，近年来在国家科技重大专项支持下，中微半导体、北方微电子等厂家研制的深硅等离子刻蚀机可以投入硅通孔刻蚀的研发及量产中。尤其DSE200系列刻蚀机是北方微电子公司于2012年推出的首款深硅等离子刻蚀机，该刻蚀机能实现高达50:1的硅高深宽比刻蚀，并同时实现优良的侧壁形貌控制、稳定的均匀性、极高的刻蚀选择比。

3.2 PVD/CVD沉积设备

硅通孔形成后，通过等离子体增强化学气相沉积法（PECVD）在硅孔内表面沉积一层绝缘材料SiO₂，工艺温度低，在100~400°C进行沉积，是TSV孔绝缘的主流技术之一。近年来ICP-PECVD新

型等离子气相增强化学沉积设备被引入进行TSV孔绝缘层的填充，与常规PECVD不同之处在于，其射频功率通过电感耦合至工艺腔室，配合耦合至反应室衬底的射频源可以提高反应离子的方向性，典型的ICP-PECVD工艺腔设计下图所示。ICP-PECVD沉积SiO₂的工艺温度低至20~100℃，反应离子浓度高，有助于提高对TSV孔的填充效率。

绝缘层做好后，通过物理气相沉积法（PVD）沉积金属扩散阻挡层和种子层，为后续的铜填充做好准备。如果填充材料为多晶硅或者钨，则不需要种子层。

后续的电镀铜填充要求TSV侧壁和底部具有连续的阻挡层和种子层。种子层的连续性和均匀性被认为是TSV铜填充最重要的影响因素。根据硅通孔的形状、深宽比及沉积方法不同，种子层的特点也各有不同，种子层沉积的厚度、均匀性和粘合强度是很重要的指标。

3.3 电镀铜填充设备

很多成本模型显示，TSV填充工艺是整个工艺流程中最昂贵的步骤之一。TSV的主要成品率损耗之一是未填满的空洞。电镀铜工艺作为最合适的硅通孔填充技术受到业内的普遍关注，其关键技术在于TSV高深宽比（通常大于10:1）通孔的全填充电镀技术。

国外有诸多公司已经成功研发该项目技术并已形成成熟产品，包括NEXX、TECHNIC、Semitool等公司。尤其是美国NEXX公司是先进封装领域的专用设备供应商，其中StratusS200（4~8英寸）、S300（8~12英寸）全自动电镀设备已应用于全球各大封装厂家的12英寸及以下规格的晶圆量产生产中，可用于TSV、凸点、UBM、RDL、铜互连等制程。见图。

NEXX公司系列电镀设备销往全球，其中亚洲封测厂家占75%。据了解国内封装龙头企业长电、富士通的产线上都在使用Stratus系列设备。该系列设备采用剪切电镀方式，具有镀层均匀、结构紧凑、易于扩展等优点，为封测厂家提供了质量稳定、生产效率高、占地小的一款自动设备。

垂直剪切镀单元作为该设备的核心部分（见图），主要包括阳极、屏蔽件、晶圆夹具、剪切屏及驱动电机等。整体单元框架上分别布置以上各件的安装导槽、提高镀层均匀性的剪切屏、直流导电夹紧机构。各个部件主体均采用氟塑料材质板，单元整体为用螺栓、密封件将各个部件连接组合。

目前国内研究机构在TSV单项技术上取得一些研究结果，但是对于电镀相关工艺设备几乎并无厂家涉及，只有中国电子科技集团公司第二研究所在进行TSV铜填充工艺技术的研究，并有相关实验设备交付客户使用。

3.4 晶圆减薄设备

TSV要求晶圆减薄至50 μm 甚至更薄，要使硅孔底部的铜暴露出来，为下一步的互连做准备。目前晶圆减薄可以通过机械研磨、化学机械抛光、湿法及干法化学处理等不同的加工工序来实现，通过它们之间有机的结合，并优化这几道工序的比例关系，保证晶圆既能减薄到要求的厚度，又要有足够的强度。目前四种主要晶圆减薄方法对比见下表。

在要求 < 50 μm 这个厚度上，晶圆很难容忍减薄过程中的磨削对晶圆的损伤及内在应力，其刚性也难以使晶圆保持原有的平整状态，同时后续工艺的晶圆传递、搬送也遇到了很大的问题。目前业界的主流解决方案是采用一体机的思路，将晶圆的磨削、抛光、保护膜去除、划片膜粘贴等工序集合在一台设备内，晶圆从磨片一直到粘贴划片膜为止始终被吸在真空吸盘上，始终保持平整状态，从而解决了搬送的难题。

右图是东京精密公司的一体机PG200/300的基本配置示意图。图中PG部分是磨片和抛光的集成体。通过一个带有4个真空吸盘的大圆盘回转台360°顺时针旋转，使晶圆在不用离开真空吸盘的情况下就可以依次送到粗磨、精磨、抛光等不同的加工工位，完成整个减薄过程。

减薄好的晶圆从PG处转移到RM处，它是通过一个多孔陶瓷吸盘来完成。RM部分主要是完成保护膜的去除和划片膜的粘贴。由于保护膜的剥离需要在晶圆的正面动作，所以必须将晶圆进行反转。由于晶圆厚度很薄，翻转难度很大。东京精密公司把传统剥膜工艺的后续工艺——贴膜工艺前移，利用划片膜粘贴到框架上所具有的平整性和张力来给晶圆提供支撑，从而解决这一问题。

3.5 晶圆键合设备

晶圆键合最初是为MEMS制造工艺而开发，主要作为晶圆级覆盖技术。现在晶圆键合不仅用于覆盖MEMS晶圆，而且也用于堆叠具有不同功能的晶圆，通过TSV实现晶圆的3D堆叠。

目前晶圆键合主要有直接氧化物键合、阳极键合、粘接键合、基于焊料的键合、金属—金属直接键合、超声键合、玻璃介质键合等等。但是，因为CMOS器件热预算的缘故，与TSV互连的CMOS晶圆兼容的键合工艺仅仅局限于直接氧化物键合、金属键合（Cu-Cu或Cu-Sn-Cu）、粘接键合和这几种

方法的组合。其中Cu-Cu直接键合与其它键合方法对比有种种优点：电阻率较低、抗EM较好、互连RC延迟减少，可以同时实现机械和电学的接触界面。

不过，可靠地Cu-Cu键合对于大多数应用仅从高温、[高压](#)和长工艺时间产生，主要是因为它有形成自然氧化物的倾向，对器件可靠性有不利影响。现在，工艺温度高是Cu-Cu直接键合的主要瓶颈之一，因为它给器件可靠性及制造良率产生负面影响。另外，高温下对晶圆之间的对准精度也产生了不利影响。

基于此，领先地晶圆键合设备供应商奥地利EVG公司开发了光学对准、低温Cu-Cu热压键合工艺，对准精度达到了亚微米。

四、玻璃穿孔技术（TGV）

硅基转接板2.5D集成技术作为先进的系统集成技术，近年来得到迅猛的发展。但硅基转接板存在两个的主要问题：

1) 成本高，硅通孔（TSV）制作采用硅刻蚀工艺，随后硅通孔需要氧化绝缘层、薄晶圆的拿持等技术；

2) 电学性能差，硅材料属于半导体材料，传输线在传输信号时，信号与衬底材料有较强的电磁耦合效应，衬底中产生涡流现象，造成信号完整度较差（插损、串扰等）。作为另一种可能的替代硅基转接板材料，玻璃通孔（TGV）转接板正在成为半导体企业和科研院所的研究热点。

和TSV相对应的是，作为一种可能替代硅基转接板的材料，玻璃通孔（TGV）三维互连技术因众多优势正在成为当前的研究热点，与硅基板相比，TGV的优势主要体现在：

1) 优良的高频电学特性。玻璃材料是一种绝缘体材料，介电常数只有硅材料的1/3左右，损耗因子比硅材料低2-3个数量级，使得衬底损耗和寄生效应大大减小，保证了传输信号的完整性；

2) 大尺寸超薄玻璃衬底易于获取。Corning、Asahi以及SCHOTT等玻璃厂商可以提供超大尺寸（>2m×2m）和超薄（<50μm）的面板玻璃以及超薄柔性玻璃材料。

3) 低成本。受益于大尺寸超薄面板玻璃易于获取，以及不需要沉积绝缘层，玻璃转接板的制作成本大约只有硅基转接板的1/8；

4) 工艺流程简单。不需要在衬底表面及TGV内壁沉积绝缘层，且超薄转接板中不需要减薄；

5) 机械稳定性强。即便当转接板厚度小于100 μm 时，翘曲依然较小；

6) 应用领域广泛。除了在高频领域有良好应用前景，作为一种透明材料，还可应用于[光电](#)系统集成领域，气密性和耐腐蚀性优势使得玻璃衬底在MEMS封装领域有巨大的潜力。

近年来，国内外许多研究者致力于研发低成本、小尺寸、细间距、无损快速玻璃成孔技术的开发，如喷砂法、光敏玻璃、等离子体刻蚀、聚焦放电、激光烧蚀等。但是由于玻璃材料的易碎性和化学惰性，当前已有的方法都还存在许多问题，距离实际应用和大规模的量产，还有很长的路要走。截止目前，玻璃通孔三维互连技术发展的主要困难包括：

- 1) 现有的方法虽然可以实现TGV，但有些方法会损伤玻璃，造成表面不光滑；有些方法的加工效率低，没法大规模量产；
- 2) TGV的高质量填充技术，与TSV不同，TGV孔径相对比较大且多为通孔，电镀时间和成本将增加；
- 3) 与硅材料相比，由于玻璃表面平滑，与常用金属（如Cu）的黏附性较差，容易造成玻璃衬底与金属层之间的分层现象，导致金属层卷曲，甚至脱落等现象。

1、玻璃穿孔主要技术

1.1玻璃穿孔成孔技术

制约玻璃通孔技术发展的主要困难之一就是玻璃通孔成孔技术，需要满足高速、高精度、窄节距、侧壁光滑、垂直度好以及低成本等一系列要求。玻璃通孔成孔技术可以分为喷砂法、光敏玻璃法、聚焦发电法、等离子体刻蚀法、激光烧蚀法、电化学放电加工法、激光诱导刻蚀法。

其中，玻璃诱导刻蚀法如下：

- 1) 使用皮秒激光在玻璃上产生变性区域；
- 2) 将激光处理过的玻璃放在氢氟酸溶液中进行刻蚀。

1.2玻璃穿孔填孔技术

类似硅通孔的金属填充方案也可以应用在TGV上。

另外一个将TGV填实的方案是将金属导电胶进行TGV填实。利用金属导电胶的优点是固化后导电通孔的热膨胀系数可以调节，使其接近基材，避免了因CTE不匹配造成的失效。

除了TGV电镀填实外，TGV也可以采用通孔内电镀薄层方案实现电学连接。

1.3玻璃通孔高密度布线

线路转移（CTT）和光敏介质嵌入法，是比较常用的方式。CTT主要包括两个过程。一是精细RDL线预制，每一RDL层可以在可移动载体上单独制造一层薄导电层，并在转移到基板上之前测试或检查细线成品率。精细线路的形成采用细线光刻和电解镀铜的方法，并且以薄铜箔作为镀层的种子层。工艺流程如下：

第二步就是将RDL层集成到基板上。RDL层被制造出来后，他们再使用热压合的同时被转移到核心层的两边。步骤如下：

PTE工艺可分为两个不同的步骤，一是在光敏介质层总形成精细的沟槽；二是金属化，包括种子层沉积、电镀和表面除铜。工艺流程如下：

2、国内外研究现状

2011年，瑞士的微纳系统研究部提出了如下图所示的基于TSV技术圆片级真空封装方案。该方案由TSV封帽与器件层两部分构成，TSV封帽垂直导通柱是填充在硅通孔中的铜柱。器件层上制作有金锡电极与铜柱相连，从而把电信号从空腔内部的引到空腔外部，最后通过硅-硅直接键合实现密封。该方案气密性很好，但是TSV封帽制作工艺复杂，热应力大（铜柱与硅热失配大），且硅硅键合对键合表面要求质量很高，一般加工过的硅片很难达到此要求。

2013年，新加坡微电子学院提出如下图所示基于TSV技术的圆片级真空封装方案。该方案由TSV封帽、硅器件层组成，TSV封帽也是由硅通孔里的铜柱做垂直导通柱，硅器件层上制作有射频结构及金

属电极，最后使用AuSn焊料键合实现气密封装。此方案虽然也存在TSV封帽制作工艺复杂，热应力大的问题，但采用焊料键合方式封装，尽管牺牲一定的密封性，但大大降低对TSV键合表面质量的要求，其工业应用范围更广。

从以上两个TSV例子可以看出，TSV存在工艺复杂，热应力过大的缺点。为解决这些问题，更好实现真空封装，又提出了TGV技术。2008年，美国Michigan大学提出了一种基于常规工艺TGV技术的圆片级真空封装方案，如下图所示。该方案由封帽，器件层以及基于常规工艺TGV技术衬底三部分构成。封帽可以为硅或玻璃，制作有空腔；器件层是硅结构层。基于常规工艺TGV技术衬底是在玻璃片上制作电极和通孔，通孔表面沉积有金属层，有的通孔填充焊锡球，用以形成垂直导通柱，把电信号由密封腔中引出。最后通过阳极键合把器件层与TGV衬底键合在一起，形成密封。该方案优点是通过对阳极键合形成密封，阳极键合密封性好、热失配小、污染小且一般硅片能达到阳极键合对表面质量的要求。

2010年，挪威的SensororTechnologiesAS提出了结构如下图所示的一种基于玻璃回流TGV技术圆片级真空封装方案封装蝶翼式硅微陀螺。为减少结构应力，提高陀螺仪灵敏度，采用三层对称结构设计，上下两层均为TGV衬底，中间夹硅结构层。基于玻璃回流TGV衬底，是通过高温玻璃回流，然后双面CMP加工制成的。TGV衬底垂直导通柱即为由回流玻璃隔离出来的硅柱，衬底上不制作金属电极，直接用硅做电极。硅结构层采用Silicon-on-Insulator(SOI)材料和干法刻蚀制作而成，空腔制作在硅可动结构层上，通过硅-玻璃将三者阳极键合在一起，分别有两次，形成密封环境。该封装方案优势凸出，不仅封装应力低，而且TGV衬底工艺简单，密封性好，热适配小，寄生电容小。

2013年，韩国Dankook大学开发出结构如图所示的TGV技术圆片级真空封装方案。该方案包括玻璃封帽、CPW器件层以及TGV衬底，腔体制作在玻璃封帽上。其TGV衬底与众不同，先后采用玻璃回流工艺与电镀铜工艺制作。简而言之，为先利用玻璃回流工艺制作硅导通柱，然后去除硅导通柱，用电镀铜作导通柱。CPW器件层制作在衬底密封环范围内，最后封帽与衬底通过硅-玻璃阳极键合形成密封腔，并制作外部的金属焊盘完成引线及封装。该方案电学性能优良，但工艺复杂。

2009年，上海微系统所提出了一种结构如图所示基于TSV技术的圆片级真空封装方案。该方案由TSV封帽与硅衬底两部分组成：TSV封帽采用湿法和干法刻蚀出通孔，通孔中填充铜作为导通柱，导通

柱与硅通过隔离层隔离，腔体制作在TSV封帽上。硅衬底上制作有结构，通过Cu-Sn焊料键合与TSV封帽实现密封封装。该方案简单易行，但焊料键合用在圆片级真空封装上会显得键合密封性不够，污染过大。

2012年，北京大学提出了结构如图所示一种基于常规工艺TGV技术的圆片级真空封装方案。该方案是典型的三明治式架构，由玻璃封帽、硅可动结构层、TGV衬底三层组成。硅可动结构采用干法刻蚀出可动结构；基于常规工艺TGV衬底采用湿法腐蚀出通孔与金属沉积导通柱等工艺制作而成；空腔制作在封帽上，空腔顶部沉积有吸气剂，保持腔体真空度。最后玻璃封帽、硅可动结构层、TGV衬底通过两次硅-玻璃阳极键合封装在一起。

3、TGV技术的应用

3.1 玻璃基板的三维集成无源元件

玻璃基板具有优异的高频电学性能，因此被广泛的应用于集成无源器件（IPD）之中。2010年，乔治亚理工的封装中心率先完成了基于TGV的[滤波器](#)设计与制造，并与相同的硅基电感对比，展现了更好的电学特性。2017年，日月光集团在玻璃基板上实现了面板级的IPD制作工艺。该方案板材翘曲可控制在1mm以内，并且无明显结构剥落分层现象。

3.2 嵌入式玻璃扇出与集成[天线](#)封装

玻璃通孔还可以在玻璃上制作空腔，进而为芯片的封装提供一种嵌入式玻璃扇出（eGFO）的新方案。2017年乔治亚理工率先实现了用于高I/O密度和高频多芯片集成的玻璃面板扇出封装。该技术在70um厚、大小为300mm*300mm的玻璃面板上完成了26个芯片的扇出封装，并有效的控制芯片的偏移和翘曲。2020年云天半导体采用嵌入式玻璃扇出技术开了77GHz汽车雷达芯片的封装，并在此基础上提出了一种高性能的天线封装（AiP）方案。工艺流程如图所示：

在厚度为180um的玻璃晶片中，先采用激光诱导玻璃变性和化学腐蚀工艺形成玻璃空腔，然后将175um高的芯片放入玻璃空腔总。通过复合材料将芯片和玻璃之间的缝隙填压而不产生空隙，同时保护芯片的背面。对晶圆的顶面进行剥离，形成铜RDL，最后进行后续线路制作、球栅阵列（BGA）制作以及晶圆切片。

3.3基于玻璃通孔的MEMS封装

2013年, LEE等利用玻璃穿孔技术实现射频MEMS器件的晶圆级封装, 采用电镀方案实现通孔的完全填充, 通过该方案制作的射频MEMS器件在20GHz时具有0.197dB的低插入损耗和20.032dB的高返回损耗。2018年, LAAKSO等创造性地使用磁辅助组装的方式来填充玻璃通孔, 并用于MEMS器件的封装中。

3.4基于TGV的集成天线

厦门大学的张淼创造性的引入TGV加工波导缝隙天线。首先采用激光诱导刻蚀制备波导缝隙阵列天线玻璃衬底, 通过激光在玻璃上诱导产生连续性的变性区, 后将变性后的玻璃在稀释氢氟酸中进行刻蚀, 由于激光作用处的玻璃氢氟酸中刻蚀速率较快, 所以玻璃会成块脱落从而形成目标通孔结构。最终刻蚀后的玻璃穿孔精度为 $\pm 5\mu\text{m}$, 远远高于传统机加工的精度。其次, 采用物理气相沉积对每层波导缝隙阵列天线玻璃衬底溅射铜层, 经过氧等离子体清洗以彻底清除焊盘表面的有机物等颗粒, 并使晶圆表面产生一定的粗糙度, 为种子层的良好附着创造条件。清洗后的晶圆在烤箱 150°C 下烘烤60min彻底去除水汽。然后在磁控溅射设备中, 晶圆表面溅射一层厚度约为 $5\mu\text{m}$ 的铜层。最后, 采用技术焊料键合技术将5片晶圆键合。用刮刀以及丝网将 $10\mu\text{m}$ 厚度的锡焊料印刷到晶圆表面, 然后在键合机的真空腔室中以 240°C 的温度加热, 以40N的压力压合5min使焊料融化或相互扩散以达到键合的目的。工艺流程度如图:

3.5多层玻璃基板

2018年IWAI等使用导电胶填充玻璃通孔, 从而实现多层玻璃基板堆叠, 在回流过程中, 通过该方案制作的多层玻璃基板的翘曲比传统有机基板要小, 通过该技术可以实现高密度布线, 同时具有较高的可靠性。2019年, IWAI等在多层玻璃基板的技术基础上, 完成了一个多芯片封装的结构。其工艺流程如图:

五、目前主要厂商的先进封装进展

目前，国内外主要的代工厂和封测厂都有布局相应的先进封装产能，国外的代工厂和封测厂在技术实力上处于领先地位，在2.5D/3D先进封装的细分领域，在TSV工艺上，台积电和[英特尔](#)处于领先地位，在TGV工艺上，领先的是康宁和德国LPTK。国内的封测厂商如长电、华天、通富微都有相关技术的研究储备。半导体各细分子行业中，国内企业在封测领域与国际巨头的差距相对较小，同时，国内新建的晶圆厂逐渐进入量产阶段，产能较大幅度地提升将成为国内封测企业步入快速发展通道的有效驱动力，从国内几家领先封测企业的扩产来看，预计国内先进封测企业的高端先进封装将进一步扩大量产规模。同时，经过多年的技术和经验积累，封测行业进入门槛逐渐提升，领先企业迎发展黄金期。

1、台积电

2012年，TSMC与Xilinx一起推出了当时最大的[FPGA](#)，它由四个相同的28nmFPGA芯片并排安装在中间层上。他们还开发了硅通孔（TSV），微凸点和再分布层（re-distribution-layer: RDL），以将这些组件连接在一起。台电基于其构造，封装这种封装解决方案，称为CooS（Chip-on-Wafer-Substrate）。支持的封装技术已成为高和高功率设计的实际行业标准。

台积电于2017年推出了InFO（IntegratedFanOuttechnology）技术。它使用聚酰胺薄膜代替了CoWoS中的中间层，从而降低了单体成本和高度，这也是台积电成功应用的重要标准。货了海量用于[智能手机](#)的InFO设计。

台积电于2019年又推出了集成芯片系统（SoIC）技术。借助前端（国外工厂）设备，台积电可以非常合理的压地，然后使用大量的吸塑的铜吸附进行焊（压焊）设计，以更小的形状因数，装扮和能力。这两种技术就逐渐演成了今天的3DFabric。

台积电将他们的2.5D和3D封装产品合并为一个单一的、全面的品牌3DFabric。

其中，2.5D封装技术CoWoS可分为CoWoS和InFO系列。首先看CoWoS技术，可以分为以下几种：

1) 、 CoWoS-S

用于die到die再分布层(redistributionlayer: RDL)连接的带有硅中介层的“传统”基板上晶圆上芯片(chip-on-wafer-on-substratewithsiliconinterposer)正在庆祝其大批量制造的第10年。

2) 、 CoWoS-R

CoWoS-R选项用有机基板中介层取代了跨越2.5Die放置区域范围的（昂贵的）硅中介层。CoWoS-R的折衷是RDL互连的线间距较小——例如，与CoWoS-S的亚微米间距相比，有机上的间距为4微米。

3) 、 CoWoS-L

在硅-S和有机-R中介层选项之间，TSMCCoWoS系列包括一个更新的产品，具有用于相邻die边缘之间（超短距离）互连的“本地”硅桥。这些硅片嵌入有机基板中，提供高密度USR连接（具有紧密的L/S间距）以及有机基板上（厚）导线和平面的互连和功率分配功能。

再看2.5D封装技术InFO。

据介绍，InFO在载体上使用（单个或多个）裸片，随后将这些裸片嵌入moldingcompound的重构晶圆中。随后在晶圆上制造RDL互连和介电层，这是“chipfirst”的工艺流程。单dieInFO提供了高凸点数选项，RDL线从芯片区域向外延伸——即“扇出”拓扑。如下图所示，多dieInFO技术选项包括：

InFO-PoP: “package-on-package”

InFO-oS: “InFOassembly-on-substrate”

台积电的3D封装技术则是SoIC。据台积电介绍，公司的3D封装与SoIC平台相关联，该平台使用堆叠芯片和直接焊盘键合，面对面或面对背方向-表示为SoIC晶圆上芯片（chiponwafer）。硅通孔（TSV）通过3D堆栈中的die提供连接。SoIC开发路线图如下所示——例如，N7-on-N7芯片配置将在21年第四季度获得[认证](#)。

2、英特尔

在2D的平面多芯片封装，英特尔独有的竞争优势是嵌入式多芯片互连桥接（EMIB）技术，可以实现更好的导线密度。在硅中介层硅通孔上放不同的裸片连接到整个基板，只需在局部进行高密度布线，而不必在全部的芯片上进行高密度布线，使成本大幅降低同时性能也得到优化。

而在3D高密度微缩方面，英特尔的Foveros技术将多个单片连接到基础裸片，然后进行底层填充实现中间互连并进行注塑来保护整个芯片，使用焊接的技术已经可以做到20-30微米，而通过无焊料铜与铜的接口互连可突破20微米的瓶颈。

而在未来，封测技术相比较于现有的Foveros技术会更进一步。相比较于现有的技术，未来的凸块间距将会由50um缩小至10um，电路将更小更简洁，能耗也会更低。

Foveros技术与EMIB集成产生了Co-EMIB（通过EMIB和Foveros两个技术之间的集成把2D和3D芯片进行融合）。Co-EMIB可以把超过两个不同的裸片进行水平和垂直方向叠加，以实现更好的灵活性。

全方位互连（ODI）改变了常规叠加方式下基础裸片尺寸必须大于上面叠加所有小芯片总和的限制。ODI的架构通过传统的硅通孔技术，使顶层小芯片可以与下方的芯片互连，这样就可以通过底层封装直接对上方小芯片进行供电，并保持上、下方裸片间直接互连。AdelElsherbini介绍，通过这种并排互连形式延迟可下降2.5倍，功耗可以降低15%，带宽可以提高3倍。根据英特尔对先进封装的路线预测，在未来凸块间距将缩小至10um级别，密度将达到10000每平方毫米，能耗也会降低至0.05pj/bit。而ODI和CO-EMIB技术的应用，也会使先进封测进一步扩展应用范围。

先进封装的制程演进同先进制造工艺的制程呈现出同步趋势。在台积电等[半导体制造](#)厂制程逐渐进入5nm以下之际，先进封装的凸块间距也会逐渐进入10-20um区间。

3、康宁

康宁公司是全球顶尖材料科学创新公司之一，在逾160年间提出多项玻璃解决方案，包括用于电子应用方面的液晶显示器(LCD)基板，以及用于电视机、智慧型[手机](#)和平板[电脑](#)等消费性电子装置，极为耐用的保护玻璃。

熔融制程为康宁的专利创新技术核心。这项高度精准且自动化的熔融下拉制程，生产出表面极为纯净光滑又平坦，且尺寸稳定的玻璃基板——这刚好是3DIC基板所要求的特性。

能够利用现有晶圆和面板设备制程是非常重要的一件事，盲孔填满金属化是最适用于现行以晶圆为基础的设备，而通孔金属化则最适合用于许多以面板为基础的制程。康宁已开发出制作高品质孔洞的先进制程，能在薄型(像是100 μm)和厚型(例如700 μm)玻璃上制作通孔和盲孔(请上图)。

再者，康宁已与产业领导厂商进行密切合作，运用以晶圆与面板为基础的金属化方式来填充玻璃孔洞。TGV基板的填充方式与终端应用息息相关，成本、生产能力、导电性、密闭度等要求会影响到金属化的方式。因此康宁与产业多个单位合作，像是RTI、Atotech、i3Electronics、工研院(ITRI)、GeorgiaTech的封装研究中心等，证明出完整的金属化技术的适用性和可用性。此用来验证的玻璃基板晶片测试结果显示出，相对于矽基板，使用玻璃孔洞能达到更好的电性、热和可靠性表现(请见上图)。

利用面板相关制程来达到经济规模制造的能力，是另一项落实成本效益的重要因素。目前业界已有许多设备能被应用来制造面板形式的穿孔玻璃载板和其对应的电子元件，包括填孔步骤和微影制程。

日前康宁已与RudolphTechnologies、i3Electronics与Atotech完成合作，证明出运用现有机台设备来制造面板形式的穿孔玻璃载板和其电子元件，包括填孔步骤和微影制程。RDL(RedistributionLayers)的结果显示出，能准确将金属镀在玻璃上(请见上图)。

据麦姆斯咨询报道，CorningIncorporated (康宁) 和MenloMicro (以下简称Menlo) 近日联合宣布，Menlo革命性数字微开关 (DMS) 技术平台的开发实现了重要的里程碑，Menlo将重塑电子系统最基本的构建模块——电子开关。两家公司共同发布展示了成功整合的玻璃通孔 (TGV) 封装技术，使Menlo的高性能RF和功率产品扩展至超小型晶圆级封装。

TGV相比传统的键合封装技术，使Menlo的产品尺寸缩小了60%以上，使其更理想地适用于那些信道密度增长，同时尺寸、重量、功率和成本降低的非常重要应用。Menlo将在本周于美国费城举办的IEEEEMTT国际微波会议上展示这项技术。

此外，除了显著的尺寸减小，TGV还为Menlo的DMS产品带来的重要的性能优势。通过更短且良好控制的金属化通孔替代键合，现在Menlo得以降低75%以上的封装寄生效应。这将帮助Menlo的产品支持更高的频率，这对于先进的无线通讯系统、测试仪器以及众多的航空和国防应用，正变得越来越重要。与此同时，玻璃相比硅等传统的基板材料具有独特的性能，可实现更低的RF损耗和更高的线性度，意味着系统将获得更低的功耗和更高的整体效率。

通过利用TGV封装技术，Menlo正在开发覆盖DC~18GHz带宽的RF产品，并有能力逐步扩展至50GHz以上。其DMS平台可为RF和AC/DC产品实现数十种高价值应用，包括电池管理、家居自动化、

电气化汽车、军事和专业无线电、无线基站以及物联网等广泛市场。

4、德国LPKF

LPKF深耕激光领域多年，对于如何将激光作为工具集成为功能强大的设备有着丰富的技术经验。LPKF激光系统立足于助力高科技领域的进步。无论是移动系统、通信系统、电力以及数字娱乐等，最终目标都是加工产品的速度更快、尺寸更小、更节能。德国LPKF始终保持着在激光技术领域的领先地位。我们的激光系统在印刷电路板、微芯片、汽车零部件、太阳能电池板以及许多其他零部件的工艺制造中都起着至关重要的作用。

凭借几十年的激光加工经验，LPKF提供了前沿的技术解决方案，具有更高的精度、成品率和成本效率等系统优势，引领不断走向小型化的趋势。该产品包含许多优势：一种新型玻璃通孔（TGV）加工工艺全面开启了薄片玻璃作为封装基板的潜力。厚度介于50微米至500微米之间的薄片玻璃是一种非常适用于高密度高频应用的封装基板材料。LPKF运用激光这种非接触精密加工工具开发的创新LIDE工艺能够以无以伦比的效率和质量微加工玻璃通孔。

LPKF的最小通孔直径为10 μ m。通常，一个基板上的所有微孔都显示相同的直径。通过应用多次蚀刻运行，不同的直径是可能的。纵横比在1:10的范围内，但根据玻璃类型，它也可以高达1:50。LIDE生成的微孔侧壁光滑、无裂纹、无碎屑和无应力，可实现可靠的金属化。锥角在0.1°-30°之间。LIDE制造的微孔通常呈沙漏形状。通过将蚀刻限制为仅从先前修改过的玻璃的一侧进行，V形微孔是可能的。加工的尺寸选择如图：

5、中芯长电

长电科技是全球领先的封测厂商，聚焦关键应用领域，在5G通信类、高性能计算、消费类、汽车和工业等重要领域，业务覆盖高/中/低端全品类，已成为中国第一大和全球第三大封测企业。公司封测产能多地布局，互为补充，各具技术特色和竞争优势；公司在主要封装领域内掌握多项核心技术，在先进封装技术覆盖度上与全球第一的日月光集团旗鼓相当，具备行业领先的SiP、WL-CSP、FC、eWLB、PiP、PoP及2.5/3D等高端封装技术，并定增50亿元加码SiP、QFN、BGA等高端封装产能。公司与中芯国际战略互通，可实现代工+封测一体化协同发展。

6、华天科技

公司在产业布局方面，积极推进先进封装基地建设，近年来先后投资扩建了昆山、宝鸡、南京等基地，打通了CIS芯片、存储器、射频等多种高端产品的生产线。2020年7月18日华天科技南京基地举行了一期项目投产仪式，一期项目已竣工面积16.3万平方米，实现FC和BGA系列产品年封测量可达40亿只，今年可实现产值2亿元以上。

研发方面公司重视新产品、新技术、新工艺的研发，研发支出金额逐年增加，已自主研发出了SiP、FC、TSV、MEMS、Bumping、Fan-Out、WLP等高端封装技术和产品。自2019下半年来，国内半导体封测行业逐步回暖，未来有望随着新型应用领域和先进封测技术的发展进入新一轮增长。华天科技作为国内领先的集成电路封测企业，产品线布局丰富，技术水平行业领先，有望持续受益行业景气度及国产替代加速影响，未来发展前景广阔。

7、通富微电

通富微电为半导体封测龙头，与AMD、MTK等大客户共同成长。公司为全球第五大、国内第二大封测厂商，在封测技术上布局全面。早期公司以传统封装技术为主，2016年收购AMD苏州、槟城两大封测厂，得以深度绑定AMD供应链并占据AMD封测订单的大部分份额。同时公司凭借在高端封装领域的实力，成为MTK在中国大陆的重要封测合作方。展望未来，公司有望伴随大客户份额的提升和市场整体规模的扩大而迎来加速成长。

先进封装因5G、AI的应用迎来快速成长，公司技术领先有望充分受益。传统封测市场近年增速较为平稳，2011-2018年市场年复合增速在3%，至2018年空间达560亿美元。然而，随着摩尔定律的放缓，半导体性能的提升越来越多依赖于封装技术的进步，从而对封装技术提出更高要求。具体来看，随着5G、AI芯片的大规模应用，以及终端设备小型化趋势的演绎，全球先进封装市场有望快速成长：据Yole预计，先进封装市场至2024年有望达440亿美元，2018-2024年CAGR达8%。公司通过对AMD苏州、槟城厂的收购，增强了先进封装的技术实力，未来有望充分受益于先进封装市场的快速增长。

MiniLED玻璃背板TGV工艺现状

随着集成电路技术的发展，摩尔定律逐步放缓，半导体产业朝着延续摩尔定律和拓展摩尔定律的两个方向发展。其中，拓展摩尔定律重要的技术手段是先进封装；2.5D/3D集成技术将平面集成电路扩展到了第三维度，显著提升了空间的利用率。与传统的2D平面集成技术相比，三维集成技术通过垂直互连结构传输信号，具有集成度高、功耗低、设计灵活、易实现异质集成等优势。

在三维集成电路中，硅通孔（TSV）和玻璃通孔（TGV）是常用的两种通孔互联加工方式，具有缩短路径和更薄的封装尺寸等优点。其中，TGV技术由TSV技术演化而来，是制造三维集成电路的关键技术。所谓TGV技术，指的是通过在玻璃晶圆上加工微纳尺寸的通孔或盲孔，并向其中填充导体材料（例如Cu），从而实现芯片与芯片之间、晶圆与晶圆之间的垂直导通。硅用作垂直互联的中介层（Interposer）时，需要沉积额外的绝缘层（例如氧化硅）用于电隔离，这种绝缘层厚度通常为亚微米级，在高频信号传输中难以在TSV之间提供良好的电隔离，易引入寄生电容。玻璃材料没有自由移动的电荷，介电性能优良，热膨胀系数(CTE)与硅接近，以玻璃替代硅材料的TGV技术可以避免TSV的问题。此外，TGV技术无需制作绝缘层，降低了工艺复杂度和加工成本。TGV技术在光通信、射频、微波、[微机电系统](#)、微流体器件和三维集成领域有广泛的应用前景。

TGV和TSV

玻璃通孔(TGV)技术被认为是下一代三维集成的关键技术，该技术的核心为深孔形成工艺。感应耦合等离子体(ICP)刻蚀技术是半导体领域中深孔形成的重要手段之一。本文通过正交实验设计方法，研究ICP石英玻璃刻蚀工艺中工作压强、C4F8流量、Ar流量三个工艺参数对深孔刻蚀的影响，探索提高刻蚀速率的优化组合。实验结果表明，C4F8流量对玻璃刻蚀速率有显著影响，并且随着C4F8/Ar流量比减小，侧壁角度垂直性越好。实验为TGV技术开发和应用提供了实验依据。

随着半导体制造工艺向深亚微米及纳米级发展，传统的光刻技术逐渐接近极限，集成电路晶体管数目的增加和特征尺寸的缩小越发缓慢和困难，“摩尔定律”的延续面临巨大挑战。同时，传统封装中信号传输距离长带来的互连延迟问题日益严重，难以满足芯片高速和低功耗的要求。为克服集成电路和传统封装面临的难题，三维集成技术应运而生。其中硅通孔(ThroughSiliconVia, TSV)技术被认为是实现三维集成最有前景的技术。

TSV技术通过在芯片与芯片、晶圆与晶圆之间制作垂直通孔，实现芯片之间的直接互连。它能够使芯片在三维方向堆叠的密度最大、芯片间的互连线最短、外形尺寸最小，显著提高芯片速度，降低芯片功耗，因此成为目前电子封装技术中最引人注目的一种技术。然而，硅是一种半导体材料，TSV周围的载流子在电场或磁场作用下可以自由移动，对邻近的电路或信号产生影响，影响芯片性能。玻璃材料

没有自由移动的电荷，介电性能优良，热膨胀系数(CTE)与硅接近，以玻璃替代硅材料的玻璃通孔(ThroughGlassVia, TGV)技术可以避免TSV的问题，是理想的三维集成解决方案。此外，TGV技术无需制作绝缘层，降低了工艺复杂度和加工成本。TGV及相关技术在光通信、射频、微波、微机电系统、微流体器件和三维集成领域有广泛的应用前景。

TGV在半导体先进封装领域的应用。玻璃通孔(TGV)和硅通孔(TSV)工艺相比TGV的优势主要体现在：

1) 优良的高频电学特性。玻璃材料是一种绝缘体材料，介电常数只有硅材料的1/3左右，损耗因子比硅材料低2-3个数量级，使得衬底损耗和寄生效应大大减小，保证了传输信号的完整性；

2) 大尺寸超薄玻璃衬底易于获取。Corning、Asahi以及SCHOTT等玻璃厂商可以提供超大尺寸(>2m×2m)和超薄(<50μm)的面板玻璃以及超薄柔性玻璃材料。

3) 低成本。受益于大尺寸超薄面板玻璃易于获取，以及不需要沉积绝缘层，玻璃转接板的制作成本大约只有硅基转接板的1/8；

4) 工艺流程简单。不需要在衬底表面及TGV内壁沉积绝缘层，且超薄转接板中不需要减薄；

5) 机械稳定性强。即便当转接板厚度小于100μm时，翘曲依然较小；

6) 应用领域广泛，是一种应用于晶圆级封装领域的新兴纵向互连技术，为实现芯片-芯片之间距离最短、间距最小的互联提供了一种新型技术途径，具有优良的电学、热学、力学性能，在射频芯片、高端MEMS传感器、高密度系统集成等领域具有独特优势，是下一代5G、6G高频芯片3D封装的首选之一。

TGV的成形工艺主要包括喷砂、超声波钻孔、湿法刻蚀、深反应离子刻蚀、光敏刻蚀、激光刻蚀、激光诱导深度刻蚀以及聚焦放电成孔等。

TGV技术面临的关键问题是没有类似硅的“Bosch”深刻蚀工艺，难以快速制作高深宽比的玻璃深孔或沟槽。传统的喷砂法、湿法刻蚀法和激光钻孔法等均存在一定的局限性。感应耦合等离子体(ICP)干法刻蚀技术控制精度高，刻蚀表面平整光滑，垂直度好，常用于刻蚀高深宽比结构。近年来，国内外的研究单位在等离子体玻璃刻蚀方面进行了大量的实验研究。气体成分主要采用碳氟气体、SF₆与Ar、He等不同惰性气体的组合。文献报道的最高刻蚀速率可以达到1.7μm/min，但各向同性刻蚀严重。由

于玻璃衬底上掩膜沉积工艺的限制，在深孔刻蚀时，需要一定的刻蚀选择比。在保证侧壁垂直性与刻蚀选择比的同时提高玻璃刻蚀速率成为目前研究的难点。

ICP玻璃刻蚀基本原理

实验采用北方微电子公司的GSE200C刻蚀机台。系统有两路频率均为13.56MHz的射频功率源。射频源功率连接真空反应腔室上方的线圈来激发腔室内的刻蚀气体，射频偏压功率连接真空反应腔室内的静电卡盘来控制离子能量和方向。石英玻璃的主要成分为SiO₂，Si-O键的键强为200kcal/mol(约8eV)，大于Si-Si键80kcal/mol(约3.4eV)键强的2倍，这是SiO₂的ER慢于Si的主要原因。因此，SiO₂刻蚀以物理刻蚀为主，化学刻蚀为辅，通常采用碳氟气体，如CF₄、CHF₃、C₄F₈等，并加入一定量的惰性气体。一般来说，碳原子数与氟原子数的比越高，就能形成越多的聚合物和越高的刻蚀选择比，有利于深孔刻蚀，故本实验碳氟气体选用C₄F₈。惰性气体中He、Ar为半导体工艺常用气体，且成本较其他惰性气体有优势。而相比于He，Ar具有用于物理刻蚀的相对大的质量，有利于提高SiO₂的ER，故本实验惰性气体选用Ar。C₄F₈在等离子体放电过程中主要离解为C₂F₄，C₂F₄进一步离解为更小的CF_x自由基。在CF_x(CF, CF₂, CF₃)自由基中，CF₂含量最多。

工艺过程中主要反应为：

其中硅通孔(TSV)的Bosch工艺是指在集成电路制造中为了阻止或减弱侧向刻蚀，设法在刻蚀的侧向边壁沉积一层刻蚀薄膜的工艺。因最早由Robert Bosch提出，亦被称为Bosch工艺。

1993年，Robert Bosch提出了一种ICP刻蚀工艺技术，被称作“Bosch工艺”。

这种工艺首先采用氟基活性基团进行硅的刻蚀，然后进行侧壁钝化，刻蚀和保护两步工艺交替进行。图1说明了其工艺过程。它是通过交替转换刻蚀气体与钝化气体实现刻蚀与边壁钝化。其中刻蚀气体为SF₆，钝化气体为C₄F₈。C₄F₈在等离子体中能够形成氟化碳类高分子聚合物。它沉积在硅表面能够阻止氟离子与硅的反应。刻蚀与钝化每5~10s转换一个周期。在短时间的各向同性刻蚀之后即将刚刚刻蚀过的硅表面钝化。在深度方向由于有离子的物理溅射轰击，钝化膜可以保留下来，这样下一个周期的刻蚀就不会发生侧向刻蚀。通过这种周期性“刻蚀-钝化-刻蚀”，刻蚀只沿着深度方向进行。

反应离子深度刻蚀硅的水平可以达到在表面1%暴露刻蚀面积的情况下，刻蚀速率可以达到50 $\mu\text{m}/\text{min}$ ，在表面20%暴露刻蚀面积的情况下，刻蚀速率可以达到30 $\mu\text{m}/\text{min}$ ，硅与光刻胶的抗刻蚀比大于300:1，刻蚀的深宽比大于100:1[2]。

在Bosch工艺中由于刻蚀与钝化的互相转换，而每一步刻蚀都是各向同性的，因此造成刻蚀边壁表面的波纹效应（scalping）。图2是典型的由于Bosch工艺形成的边壁波纹。边壁波纹可形成高达100nm以上的表面粗糙度。通过缩短刻蚀与钝化的周期可以减弱这种波纹效应。通过优化Bosch刻蚀工艺可以实现70 μm 深的边壁表面波纹起伏小于20nm。这种深刻蚀的边壁足以作为光反射镜面进行光纤通信开关转换。另一种减少边壁波纹粗糙度的方法是在刻蚀后进行化学湿法抛光腐蚀，例如将刻蚀样品放入KOH+IPA混合腐蚀液中短暂时间，将表面的波纹起伏腐蚀平滑。

前面提到的低温刻蚀不会形成所谓“波纹”效应，因为低温刻蚀不需要气体转换过程。而且由于系统中不引入钝化气体，在刻蚀腔体内壁不会形成氟化碳类聚合物的沉淀。在刻蚀系统方面，低温刻蚀与Bosch刻蚀的区别仅在于一个需要低温冷却样品基板，一个需要气体转换，所以可以在同一台ICP刻蚀系统上同时实现两种刻蚀方式。

而TGVinterposer的加工流程如图2，整体方案为先玻璃基板上进行打孔，然后在侧壁及表面沉积阻挡层和种子层。阻挡层防止Cu向玻璃衬底扩散，同时增加两者的粘附性，当然在一些研究中也发现阻挡层不是必须的。然后采用电镀的方法将Cu沉积，接着退火，并采用CMP的方法将表面Cu层去掉。最后采用PVD镀膜光刻方法制备RDL重布线层，去胶后最终再形成钝化层。

图2，(a)准备晶圆，(b)形成TGV，(c) 双面电镀-沉积铜，(d) 退火及CMP化学机械抛光，去表面铜层，(e) PVD镀膜及光刻，(f) 布置RDL重布线层，(g) 去胶及Cu/Ti刻蚀，(h) 形成钝化层

或者采用精密机械加工和半导体技术进行玻璃材质的微纳孔及微纳米通道制备。

编辑：黄飞

<https://www.elecfans.com/article/89/2023/202304132056970.html>