



(China)

## 3D chip, not so simple – April 4, 2023

3D芯片，没那么简单

2023-04-05 08:31

失效分析 赵工 半导体工程师 2023-04-05 08:24 发表于北京

创建真正的 3D 设计被证明比 2.5D 复杂和困难得多，需要在技术和工具方面进行重大创新。

虽然已经有很多关于 3D 设计的讨论，但对于 3D 的含义有多种解释。然而，这不仅仅是语义，因为每个封装选项都需要不同的设计方法和技术。随着芯片进入真正的3D-IC领域，在逻辑之上堆叠逻辑或存储器，它们的设计、制造以及最终的成品率和测试变得更具挑战性。

“一开始，代工厂开始提供多芯片封装，他们开始使用 3D-IC 这个术语，”Cadence 定制 IC 和 PCB 部门产品管理组总监 John Park说。“但它指的不仅仅是硅堆叠和中介层。它还包括高密度 RDL 扇出。这是一个术语，用于对许多芯片、主要是基于代工厂的封装技术进行分组。”

已经有几次尝试来整理这个术语。“我们正在与 imec 保持一致，后者将 3D 分为四个部分，”EV Group 业务发展总监 Thomas Uhrmann 说。“真正的 3D 是晶圆以高度集成的方式堆叠在一起。第二组是 3D 片上系统 (SoC) 集成，其中您可能有一个背面配电层，或一个晶圆到晶圆的存储器堆栈。第三组包括 2.5D 和硅中介层。最后一个是 3D 系统级封装 (SiP)，其中接触间距约为 700 微米，包括扇出晶圆级封装。差异化很有趣，因为他们定义了触点间距或集成密度的差异化。”

这提供了物理差异，但差异也可以从其他方面来看。“有趣的 3D 类型要么是逻辑对逻辑，要么是显著的内存对逻辑，”Synopsys 研究员 Rob Aitken 说。“这两个都是起点，但是你可以开始堆叠其他随机的东西。我会说 HBM 是 3D 堆栈，但它们是具体 3D 堆栈。”

这些封装方法中的每一种的流程都是不同的。“多年来，2.5D 和 3D 一直被用于支持传感器应用之类的东西，”西门子 EDA 高级封装解决方案总监 Tony Mastroianni说。“但他们不使用自动布局布线流程，这就是为什么我喜欢使用‘真正的 3D’这个词。”今天的堆叠芯片技术依赖于人们手动进行规划。您正在设计每个芯片，以便它们对接在一起，但工具并没有这样做。分区和详细的引脚规划是手动过程。”

真正的 3D 需要重新考虑整个流程。“为了将 SoC 有效地实现为 2.5D 系统，例如避免良率问题或实现具有更多晶体管的更大系统，可以使用现有架构，”Fraunhofer IIS 工程高效电子部门负责人 Andy Heinig 说。“只需要实现一个芯片到芯片的接口。但只有使用新概念和架构，才能发挥真正 3D 集成的优势。”

## 为什么选择 3D

3D的最大好处之一是缩短了距离。Synopsys 的 Aitken 说：“你可以证明存在二的平方根效应。”“对于这个堆叠物体中的所有距离，它们变成了 2D 变体中的 0.7。结果，它们在布线部分消耗的功率现在是以前的 0.7 左右，因为电容减小了。”

影响可能比这更大。“信号传输过程中会产生大量热量，”EV Group 的 Uhrmann 说。“对于 CMOS，你对某些东西进行充电和放电以存储然后传递信息。缩小和堆叠 die 将使您能够使其更小，因此可以在三维空间中传递信息。但在 3D 中，它们之间可能只有一个缓冲区，而不是大型 PHY 和通信协议。”

### [展开全文](#)

声明：该文观点仅代表作者本人，搜狐号系信息发布平台，搜狐仅提供信息存储空间服务。

发布于：北京市

[https://www.sohu.com/a/663045327\\_120498874](https://www.sohu.com/a/663045327_120498874)