

将芯片集成到 3D 堆栈中，以及对该堆栈的封装，涉及多种技术，如图 1 所示。

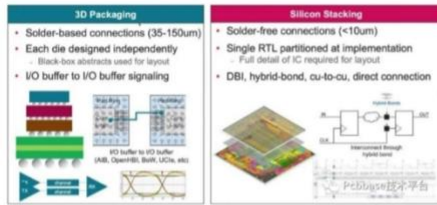


图 1: 3D 封装与硅堆叠

物理尺寸很重要。“对于最终的 3D 集成，你谈论的是 14 纳米间距，基本上就是今天的晶体管。”Uhrmann 说。“如果你谈论的是小芯片，它们是功能性 IP 块，那么你就在微米间距的范围内。晶体管堆叠和小芯片集成之间存在接近一个数量级。当您使用 3D 小芯片、高度集成的具有微米间距的裸片形成 3D 封装时，您无法将微米间距连接到外部世界，您仍然需要封装技术才能使布线越来越粗，所以您最终会在板上达到 400 微米。”

间距定义了集成过程。“当我们封装多个芯片或多个小芯片时，封装存在一些很大的差异。”Cadence 的 Park 说。“小芯片通常使用所谓的基于焊料的连接。它们与焊块和 C4 连接。我们使用通常约 45 微米或更大的连接来连接它们。这也创建了一个封装层次结构，因为我们经常使用黑盒。每个芯片或小芯片的抽象表示，而封装设计师负责将它们正确连接起来。”

这需要不同的工具。“这是一个多尺度问题，也意味着物理问题。”Ansys 产品营销总监 Marc Swinnen 说。“当你从芯片上的纳米到封装的毫米再到 3D-IC 内部路上的厘米时，你跨越了六个数量级。传统上，这些由三组不同的工具处理。现在对于 3D-IC，这些都需要整合成一个。”

团队分裂也会导致问题。“大多数公司都有 ASIC 设计的设计团队，以及独立的内部封装设计团队。”Park 补充道。“硅堆叠和 3D 封装了封装工程师的工作与芯片设计团队之间的界限。我们比以往任何时候都更多地看到，两个团队在一个房间里从早期阶段就开始规划项目。封装和芯片领域之间的协同设计有很多要求。”

在一些公司中，内插器也被视为封装内的 PCB，并由另一个团队处理。“3D 芯片将执行一些非常先进的类型功能，但您不一定能够通过堆叠芯片来构建整个系统和封装。”Mastroianni 说。“您将把它与中介层上的其他裸片结合起来。也许那里会有一个标准处理器，或者可能有多个 3D-IC 集成在一个中介层上。我认为 3D 不会取代 2.5D，它们将是互补的。一些应用程序将是真正的 3D，但最终会有一些小芯片的生态系统，您将能够混合和匹配，并在 2.5D 封装中做到这一点。”

只要存在层次结构，就可以将事物分开。只要存在覆盖边界的工具。“我们必须以层次结构形式表示事物，因为您不再设计单个芯片。”Park 说。“您正在设计一个系统，所以有一些新的东西开始发挥作用。比如系统 LVS（布局与原理图）。混合债券是否全部对齐？从顶部裸片到底部裸片，连接是否如您所愿？有一个层次结构只是因为它有一个层次结构代表芯片，您有一个层次结构代表系统级设计。设计本质上是分层的，因为它是一个系统设计，其中嵌入了芯片级设计。”

逻辑层次

层次结构在任何复杂的设计中都是必不可少的，但 3D 为其添加了一个有趣的转折。“当您为大型设计进行传统的布局布线时，您使用的是分层设计方法。”Mastroianni 说。“您将设计分解成块，这些块通过布局布线，然后您进行顶层集成。”

对于 3D，我们基本上可以使用相同的流程，但我们要添加另一个层次结构。考虑一个 90 亿门的设计，我们将其分成三个芯片。每个芯片有 30 亿门。本质上，您只需要指定哪些块将放在芯片 1 上，哪些块将放在芯片 2 上，以及哪些块将放在芯片 3 上。至少在短期内，工具无法自动找出哪个逻辑放在哪里，并在该级别进行真正的 3D 全局布局布线。

需要一些新工具来验证芯片到芯片的连接性。“我们通常会使用标准的触发器到触发器连接。”Park 说。“所以我们需要 STA 工具、时序驱动的布线、时序驱动的布局，而不是分隔设备的缓冲区。它只是一个混合键。这只是一个小的人生道发挥作用。为此，我们不能像传统封装那样在抽象层面上工作，将它们视为黑盒。我们必须在完整的细节级别表示每个芯片或小芯片——如果是模拟设计，则为完整的晶体管级别，如果是数字设计，则为标准单元级别——因为我们必须能够对所有内容进行建模。不是从 2D 角度对所有事物进行建模，而是必须通过这种新的垂直方向整合来完成。”

这可能需要妥协。“您可以对逻辑堆叠对象进行真正的 3D 建模，或者您可以直接说，我将只运行芯片之间两个反相器长度的路径。”Aitken 说。“然后无论他们在哪个角落，他们都会排成一行。我不必担心。”

人们普遍认为，高平化不是一种选择。“就数量而言，这对任何 EDA 工具来说都是一个重大挑战。”Cadence 的 Patwardhan 说。“需要一些有效的抽象技术，而层次结构定义是第一个流行且有效的东西。我们已经弄清楚，使用设计层次结构以及对设计进行分区，如何在分区设计上运行分析，可以做出哪些假设并且仍然具有与系统一样的准确性。它会发生，就像在 2D SoC 中发生的那样。较小的设计将首先建立完整的平坦运行和所需的精度水平（测量与建模）。随着我们的前进，随着更大的芯片以硅堆栈格式完成，EDA、OSAT、代工厂必须在分层方法和扁平方法之间进行验证，以保持一定的精度。如果可用，那么您可以轻松地让您的完整平坦起步看起来是一样的。这是 3D-IC 设计中非常重要的方法。它不会一成不变。”

当全 3D 布局布线成为可能时，这可能会变得更加困难。“今天最安全的回答是，我们不要分块。让我们将每个块保留在一个板上。我们将跨越板级边界与他们交谈。这样做，您仍然有一个必须解决的 3D 布局分区问题，但您的建模问题更简单，因为至少您的块建模被限制在 2D 空间内。”Aitken 说。“学术著作表明，移动方块并将它们散布在边界上可以为您的带来好处。但在大多数情况下，这些论文都忽略了诸如硅堆栈同步、芯片匹配以及当您尝试执行此类操作时会出现的其他问题。如果您把单独的块放在一个芯片上，您仍然有很多问题要解决。”

推荐专栏

- 一口气吃不成胖子 阅读量 4339 阅读 14 分钟 关注
- 码农学习 阅读量 26.3w 阅读 20 分钟 关注
- 华仔的编程精英 阅读量 11.6w 阅读 10 分钟 关注
- 小华的微信视频号人之家 阅读量 815 阅读 7 分钟 关注
- OpenHarmony开发经验 阅读量 80 阅读 2 分钟 关注

5G 技术创新研讨会

2023 第四届 5G 技术创新研讨会

2023/05/17

【嘉宾】2D/3D 封装 5G 技术创新研讨会

电子电路+红舟热成像

电子电路与热成像技术在电子设备中的应用

TAIYO YUDEN

太阳诱电车规级电子元器件

丰富多样的产品阵容，助力汽车的电子化和智能化

了解详情