

3D chip, not so simple – April 1, 2023

3D芯片，没那么简单

[Icбанк半导体行业观察](#)

最新更新时间：2023-03-24

阅读数：5823

来源：内容由半导体行业观察（ID：icbank）编译自semiengineering，谢谢。

创建真正的 3D 设计被证明比 2.5D 复杂和困难得多，需要在技术和工具方面进行重大创新。

虽然已经有很多关于 3D 设计的讨论，但对于 3D 的含义有多种解释。然而，这不仅仅是语义，因为每个封装选项都需要不同的设计方法和技术。随着芯片进入真正的3D-IC领域，在逻辑之上堆叠逻辑或存储器，它们的设计、制造以及最终的成品率和测试变得更具挑战性。

“一开始，代工厂开始提供多芯片封装，他们开始使用 3D-IC 这个术语，”Cadence 定制 IC 和 PCB 部门产品管理组总监 John Park说。“但它指的不仅仅是硅堆叠和中介层。它还包括高密度 RDL 扇出。这是一个术语，用于对许多芯片、主要是基于代工厂的封装技术进行分组。”

已经有几次尝试来整理这个术语。“我们正在与 imec 保持一致，后者将 3D 分为四个部分，”EV Group 业务发展总监 Thomas Uhrmann 说。“真正的 3D 是晶圆以高度集成的方式堆叠在一起。第二组是 3D 片上系统 (SoC) 集成，其中您可能有一个背面配电层，或一个晶圆到晶圆的存储器堆栈。第三组包括 2.5D 和硅中介层。最后一个是 3D 系统级封装 (SiP)，其中接触间距约为 700 微米，包括扇出晶圆级封装。差异化很有趣，因为他们定义了触点间距或集成密度的差异化。”

这提供了物理差异，但差异也可以从其他方面来看。“有趣的 3D 类型要么是逻辑对逻辑，要么是显著的内存对逻辑，”Synopsys 研究员 Rob Aitken 说。“这两个都是起点，但是你可以开始堆叠其他随机的东西。我会说 HBM 是 3D 堆栈，但它们是具体的 3D 堆栈。”

这些封装方法中的每一种的流程都是不同的。“多年来，2.5D 和 3D 一直被用于支持传感器应用之类的东西，”西门子 EDA 高级封装解决方案总监 Tony Mastroianni说。“但他们不使用自动布局布线流程，这就是为什么我喜欢使用‘真正的 3D’这个词。”今天的堆叠芯片技术依赖于人们手动进行规划。您正在设计每个芯片，以便它们对接在一起，但工具并没有这样做。分区和详细的引脚规划是手动过程。”

真正的 3D 需要重新考虑整个流程。“为了将 SoC 有效地实现为 2.5D 系统，例如避免良率问题或实现具有更多晶体管的更大系统，可以使用现有架构，” Fraunhofer IIS 工程高效电子部门负责人 Andy Heinig 说。“只需要实现一个芯片到芯片的接口。但只有使用新概念和架构，才能发挥真正 3D 集成的优势。”

为什么选择 3D

3D 的最大好处之一是缩短了距离。Synopsys 的 Aitken 说：“你可以证明存在二的平方根效应。”“对于这个堆叠物体中的所有距离，它们变成了 2D 变体中的 0.7。结果，它们在布线部分消耗的功率现在是以前的 0.7 左右，因为电容减小了。”

影响可能比这更大。“信号传输过程中会产生大量热量，”EV Group 的 Uhrmann 说。“对于 CMOS，你对某些东西进行充电和放电以存储然后传递信息。缩小和堆叠 die 将使您能够使其更小，因此可以在三维空间中传递信息。但在 3D 中，它们之间可能只有一个缓冲区，而不是大型 PHY 和通信协议。”

尺寸有两个优势——良率和占地面积。“假设类似数量的逻辑分布在多个芯片上，较小对象的连 V 领将高于一个较大对象的良率，”Aitken 说。“因此，您可以降低一定程度的成本。当然，你正在增加其他成本，但这些成本会随着时间的推移而下降。”

从 2D 封装的角度来看，堆叠芯片可以显著减少面积。“通过堆叠，我可以在同一区域获得三倍的逻辑数量，”西门子的 Mastroianni 说。“你最终会得到更小的足迹和更多的逻辑。所以你可以在那个区域安装更多的马力，如果你有区域限制，它可能会降低系统成本。”

异构性可能是另一个好处。“3D 集成的异构技术架构已经成熟，”Lightelligence 工程副总裁 Maurice Steinman 说。“考虑混合技术组件，例如光子 IC 及其配套电子 IC。对于其中一些集成，没有其他方法可以在不牺牲大量功率或性能的情况下提供所需的数千个芯片到芯片互连。”

混合技术仍然主要是未知领域。“如果您的设计不适合 reticle 尺寸，那么为了能够构建更多的门，您需要使用真正的 3D，而这可能会保留在相同的技术中，”Mastroianni 说。“但在某些情况下，你可能想要混合搭配。也许你有一个你真正想要的前沿技术计算引擎，但其余的东西有很多控制，你可以在一个不那么激进的制程节点上做。”

这变成了一个集成挑战。Cadence 数字与签核部产品管理组总监 Vinay Patwardhan 表示：“我们最近发现，纯逻辑内存配置适用于某些类型的客户，他们正试图解决片上内存墙问题。”“但是很多客户希望在两层都有逻辑。例如，即使顶层芯片上只有内存，内存 BiST 逻辑或与内存一起使用的测试逻辑也需要位于该芯片上。顶层裸片需要一些逻辑。”

物理层次结构

将芯片集成到 3D 堆栈中以及对该堆栈进行封装涉及多种技术，如图 1 所示。

物理尺寸很重要。“对于最终的 3D 集成，你谈论的是 14 纳米间距，基本上就是今天的晶体管，”Uhrmann 说。“如果你谈论的是小芯片，它们是功能性 IP 块，那么你就在微米间距的范围内。晶体管堆叠和小芯片集成之间存在接近一个数量级。当您使用 3D 小芯片、高度集成的具有微米间距的裸片形成 3D 封装时，您无法将微米间距连接到外部世界。你仍然需要拥有封装技术才能使布线越来越粗，所以你最终会在板级上达到 400 多微米。”

间距 (pitch) 定义了集成过程。“当我们封装多个芯片或多个小芯片时，封装存在一些很大的差异，”Cadence 的 Park 说。“小芯片通常使用所谓的基于焊料的连接。它们与微凸块和 C4 连接，我们使用通常约 45 微米或更大的连接来连接它们。这也创建了一个封装层次结构，因为我们经常使用黑盒、每个芯片或小芯片的抽象表示，而封装设计师负责将它们正确连接起来。”

这通常需要不同的工具。“这是一个多尺度问题，也意味着多物理问题，”Ansys 产品营销总监 Marc Swinnen 说。“当你从芯片上的纳米到封装上的毫米再到 3D-IC 内插器 (interposer) 上的厘米时，你跨越了六个数量级。传统上，这些由三组不同的工具处理。现在对于 3D-IC，这些都需要整合成一个。”

团队分裂也会导致问题。“大多数公司都有 ASIC 设计的设计团队，以及独立的内部封装设计团队，”Park 补充道。“硅堆叠和 3D 模糊了封装工程师负责的工作与芯片设计团队之间的界限。我们比以往任何时候都更多地看到，两个团队在一个房间里从早期阶段就开始规划项目。封装和芯片领域之间的协同设计有很多要求。”

在一些公司中，内插器也被视为封装内的 PCB，并由另一个团队处理。“3D 芯片将执行一些非常先进的类型功能，但您不一定能够通过堆叠芯片来构建整个系统和封装，”Mastroianni 说。“你将把它与中介层上的其他裸片结合起来。也许那里会有一个标准处理器，或者可能有多个 3D-IC 集成在一个中介层上。我认为 3D 不会取代 2.5D。它们将是互补的。一些应用程序将是真正的 3D，但最终会有一些小芯片的生态系统，你将能够混合和匹配，并在 2.5D 封装中做到这一点。”

只要存在层次结构，就可以将事物分开，只要存在覆盖边界的工具。“我们必须以层次结构形式表示事物，因为您不再设计单个单片芯片，”Park 说。“你正在设计一个系统，所以有一些新的东西开始发挥作用，比如系统 LVS (layout versus schematic)。hybrid bonds 是否全部对齐？从顶部裸片到底部裸片的连接是否如您所愿？有一个层次结构只是因为你有一个层次结构代表芯片，你有一个层次结构代表系统级设计。设计本质上是分层的，因为它是一个系统级设计，其中嵌入了芯片级设计。”

逻辑层次

层次结构在任何复杂的设计中都是必不可少的，但 3D 为其添加了一个有趣的转折。

“当您为大型设计进行传统的布局布线时，您使用的是分层设计方法，”Mastroianni 说。“您将设计分解成块，这些块通过布局布线，然后你进行顶层集成。对于 3D，我们基本上可以使用相同的过程，但我们要添加另一个层次结构。考虑一个 90 亿门的设计，我们将其分成三个芯片，每个芯片有 30 亿个门。本质上，您只需要指定哪些块将放在芯片 1 上，哪些块将放在芯片 2 上，以及哪些块将放在芯片 3 上。至少在短期内，工具无法自动找出将哪个逻辑放在哪里，并在该级别进行真正的 3D 全局布局布线。

需要一些新工具来验证芯片到芯片的连接性。“我们通常会使用标准的触发器到触发器连接，”Park 说。“所以我们需要 STA 工具、时序驱动的布线、时序驱动的布局，而不是分隔设备的缓冲区，它只是一个 hybrid bond。这只是一个小的寄生值发挥作用。为此，我们不能像传统封装那样在抽象层面上工作，将它们视为黑盒。我们必须在完整的细节级别表示每个芯片或小芯片——如果是模拟设计，则为完整的晶体管级别，如果是数字设计，则为标准单元宏级别——因为我们必须能够对所有内容进行建模。不是从 2D 角度对所有事物进行建模，而是必须通过这种新的垂直方向整合来完成。”

这可能需要妥协。“您可以对逻辑堆叠对象进行真正的 3D 签核，或者您可以直接说，我将只运行芯片之间两个反相器长度的路径，”Aitken 说。“然后无论他们在哪个角落，他们都会排成一行，我不必担心。”

人们普遍认为，扁平化不是一种选择。“就数据量而言，这对任何 EDA 工具来说都是一个重大挑战，”Cadence 的 Patwardhan 说。“需要一些有效的抽象技术，而层次结构定义是第一个流行且有效的东西。我们已经弄清楚，使用设计层次结构以及对设计进行分区，如何在分区设计上运行分析。可以做出哪些假设并且仍然具有与签核一样好的准确性。它会发生，就像在 2D SoC 中发生的那样。较小的设计将首先建立完整的平坦运行和所需的精度水平（测量与建模）。随着我们的前进，随着更大的芯片以硅堆栈格式完成，EDA、OSAT、代工厂必须在分层方法和扁平方法之间进行验证，以保持一定的裕度。如果可用，那么您可以轻松地说您的完整平坦跑步看起来是一样的。这是 3D-IC 设计中非常重要的方法，它不会一成不变。”

当全 3D 布局布线成为可能时，这会变得更加困难。“今天最安全的回答是，‘我们不要分块（block）。让我们将每个块保留在一个 die 上，我们将跨越 die 边界与他们交谈。这样做，你仍然有一个必须解决的 3D 布局分区问题，但你的签核问题更简单，因为至少你的块签核被限制在 2D 空间内，”Aitken 说。“学术著作表明，移动方块并将它们散布在边界上可以为您带来额外的好处。但在大多数情况下，这些论文都忽略了诸如时钟同步、芯片匹配以及当您尝试执行此类操作时会出现的其他问题。如果你把单独的块放在一个芯片上，你仍然有很多问题要解决，但与允许块在 die 上迁移相比，它的问题数量要少。

★ 点击文末 [【阅读原文】](#)，可查看本文原文链接！

<http://news.eeworld.com.cn/mp/lcbank/a162119.jspx>