

Interconnect Density Quest for Endless Melt/Hybrid Bonding is Key – April 16, 2022

Micro-Electronics **新電子** 2022年04月18日星期一

Amphenol **雙倍密度 Cool Edge 0.80 mm 連接器** 速度高達 32GT/s (56GT/s PAM4) **Digi-Key** 授權經銷商 快速送達

熱門關鍵字: Wi-Fi 6E | SiC | IloT | GaN | 5G search

- 首頁
- 追新聞
- 懂市場
- 學技術
- 查圖表
- 探商情
- 癢研討
- 找廠商
- 訂雜誌
- 白皮書
- 影音專區

首頁 > 技術頻道 > 文章內容

收藏功能: 分享至: Facebook, Line, WeChat, Email, Print, RSS

互連密度追求無止境 熔融/混合接合至為關鍵

文: Thomas Uhmenn 發布日期: 2022/04/16 關鍵字: D2W, W2W, 先進封裝, EVG

在半導體製造中, 3D垂直堆疊與異質整合(將多種不同元件與晶片製造、組裝與封裝成單一裝置或封裝), 對半導體元件的功耗、效能、面積與成本(PPAC)的優化, 是十分重要的手段。

在本系列的前三篇文章中, 我們回顧了對傳統異質整合擴展的革命性全新製程技術, 包括晶粒到晶粒(D2W)接合與光學微影, 本文將探討一種針對3D異質整合的新技術, 也就是晶圓到晶圓(W2W)的熔融與混合接合。此技術目前還在初期發展階段, 但在過去幾年來有相當快速的進展, 讓晶片製造商能夠持續擴展其先進封裝產品路線圖。

熔融與混合接合應用逐步擴展

熔融接合或直接晶圓接合, 是在兩個彼此接觸的平滑表面上, 利用原子化學接合產生的附着力, 來進行接合的技術。熔融接合在電磁場的協助下, 可以讓介電層(又稱活化劑或黏劑)在晶圓間進行接合。

這種制程包含兩個步驟。一是晶圓在溫度下接觸, 又稱預接合; 二則是在攝氏900~1,200度溫度範圍內進行熱退火, 以便在晶圓間建立共價鍵。由於退火過程的高溫, 晶圓間的氧化物介質會變得脆弱, 讓兩片晶圓接觸面的所有間隙, 進而產生連續且無任何空隙的接合介質。

利用預接合進行主動晶圓接合的一項突破, 就是電漿活化熔融接合(圖1)。在該製程中, 基板表面在接合前會塗上一層電漿, 與電漿處理的表面將發生變化, 產生更寬的粘層接合, 並縮短最終熱退火步驟的處理時間, 且溫度也較低(攝氏250~350度)。接著會塗以清洗, 以進一步進行表面處理並優化接合品質。兩片晶圓隨後會利用雷射的光學對準技術進行對準。



圖1 電漿活化熔融接合處理流程

對準後, 兩片晶圓會放置在一起的無氧室, 並在真空環境下彼此接觸, 即預接合。在最後的熱退火過程中, 低能量的電漿將會轉化成共價鍵, 並在晶圓間形成永久的連結。

熔融接合最初是應用在絕緣層上應矽(Silicon on Insulator, SOI)晶圓等工程晶圓的製程技術, 但現在已演進成利用全晶圓的介電質預接合來堆疊晶圓的技術。

鍍膜片可以與介電質平行處理, 使其在退火下對介電質進行預接合, 並在退火過程中透過金屬預接合層或電線(圖2), 讓預接合層為混合接合。

ADI助力實現 閉環迴圈經濟

ANALOG DEVICES

研討會專區

近期研討會 精彩回顧

- ▶ **【立即報名】** 6月11日最新USB高速介量技術完全剖析
- ▶ **【立即註冊參觀】** Anritsu MWC 2022 線上虛擬展場

TEXAS INSTRUMENTS

USB 2.0 高速隔離器

ISDU5B211 具低輻射干擾和小尺寸的 480-Mbps 網橋式 USB 中繼器

立即了解

Amphenol

雙倍密度 Cool Edge 0.80 mm 連接器

Digi-Key 授權經銷商

ADI 擴展 BMS 解決方案 實現連續電池監控

ANALOG DEVICES

從物聯網

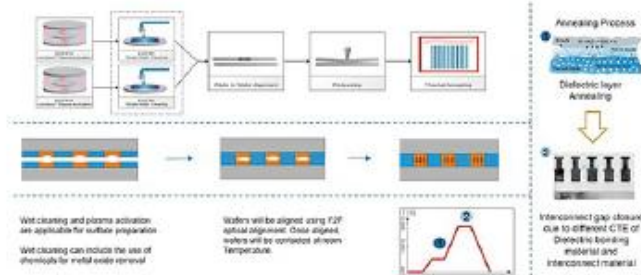


圖2 混合整合的物理製程與處理流程，處理步驟與電鍍活化相融合非常，但製程片要與介電層平行處理

將混合整合因為能夠將距離縮小到10微米以下，提供更大的互連密度與通訊頻寬，因此能取代傳統使用鍍製微凸塊 (Microbump)，作為中和和層間對齊的互連方案。混合整合的主要應用包括互補式金屬氧化物半導體(CMOS)影像感測器、3D堆疊的NAND與DRAM記憶體，以及3D系統晶片(SoC)，如表1所示。

	Backside Illuminated Image Sensor	Memory		Logic	
		3D NAND Flash	Next Gen. Memory	SoC Partitioning	
Device Stack	Photo Diode + DRAM + Logic	NAND Block + Periphery	Memory + Periphery	SoIC	SRAM + Logic
Bonding Process	W2W	W2W	W2W	W2W and/or D2W	W2W
	hybrid	hybrid	fusion & hybrid	hybrid	hybrid
Pitch	2µm → 1µm	2µm → 1µm	2µm → <1µm	5µm → 2µm	2µm
Post Bond Overlay	<100nm	<150nm	<100nm	<200nm	<200nm

混合整合更緊密的需求

日益增加的頻寬需求，是促使半導體業界將晶片整合的主因之一，而頻寬增加，互連的間距縮小，密度提高，是必然的趨勢；互連之間的間距縮小，裝置上同樣的面積可以構成更多的連接，而這也會帶來更多的資料能夠被傳送。

如圖3所示，更緊的頻寬需求帶動需要更緊密間距需求的新製程技術。從2.5D過渡到3D IC封裝，以及從3D堆疊晶片 (Stacked IC, SIC) 過渡到3D SoC封裝，可以為頻寬帶來大幅度的提升，這些新的製程技術需要更緊密的間距，相對的也會帶動對不同整合技術的需求。



圖3 未來的頻寬需求帶動需要更緊密晶片堆疊技術

另一個觀察不同晶圓整合技術在何處應用的方式是將它們與不同的裝置設計和晶片分割選項進行比較(圖4)，同樣地，隨著核心級別到邏輯單元與感測器，最後到電晶體層，互連間距變得更加緊密，所需的整合技術也不同。



圖4 不同的3D製程技術帶動不同的晶圓整合需求與技術

下載白皮書

- [【盡顯白皮書】](#) 歡迎下載！ECAD-MCAD 協同設計達成首次設計即成功的目標
- [【精選白皮書】](#) 立即下載！Embedded Analytics 一種新方法
- [【全新白皮書】](#) 立即下載！在系統晶片設計中利用硬體模擬進行功耗分析
- [【全新白皮書】](#) 歡迎下載！異效能源模組封裝的特性
- 快收藏！後疫情時代製造業轉型視窗 [【新書白皮書】](#) 歡迎下載！

在晶圓到晶圓的接合中，需要緊密的對準與晶圓間疊層的精度，以確保晶圓上互連裝置間有良好的電接觸，同時將接合介面的互連面積降至最小，使晶圓可以擠出更多空間生產裝置。隨著市場對元件I/O性能的需求不斷提升，每一代新產品對晶圓到晶圓的接合密度要求，也越來越高。

這幾年來，晶圓的技術能力已經顯著提升，代表著從30晶片堆疊的單邊與系統的發展化，已邁出最大的一步。2017年時，比利時微電子研究中心(mec)與EVG 利用EVG GEMINI FB XT混合接觸接合系統，將晶圓到晶圓接合的晶層精度縮小到180奈米，成為混合接合技術發展的一個重要里程碑，目前可量測的晶層精度已經達到100奈米，低於75奈米的技術則已在開發中(圖5)。

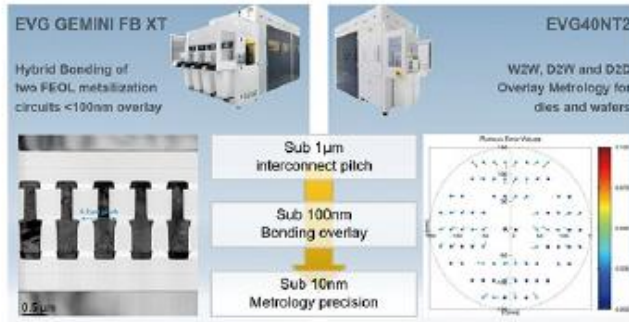


圖5 目前EVG所提供的系統，已經可以在300毫米晶圓上，達成低於75奈米的晶層精度

面對區的光學對準晶圓接合系統效能的關鍵，而EVG在20多年前即是製創此技術的先驅。如今，我們利用融合在GEMINI FB XT晶圓接合系統內的SmartView NT3對準模組，在EVG的晶圓接合機上達成對區的光學對準。

混合接合的晶圓到晶圓對準技術的進步為現今各種大量應用帶來實際效益，包括影像感測器融合與NAND Flash堆疊。就傳統式CMOS影像感測器(BSI CIS)而言，高精度的晶圓到晶圓對準可以實現讀取速度更快，支援全域快門功能的影像感測器，全域快門在汽車應用中特別有幫助，因為讀取速度不夠快的影像感測器，遇到高速移動的物件，很容易導致到模糊的影像，全域快門功能就是這個問題的解答。

混合接合同時也在影像感測器中加入更多的運算功能，針對如人臉辨識等安全性應用來說相當有幫助。對於NAND Flash堆疊，混合接合可以用來結合分層堆疊的CMOS與記憶體晶圓。透過此方式，提供電路位於記憶體上能帶來更高的位元密度。

隨著記憶體層數的數量從目前主流的128層增加到196層，記憶體晶粒的密度也隨之增加，因此，互連密度也以類似的規模增加，並推動晶圓到晶圓接合中對疊層的需求。

對準/疊層精度要有突破 異質整合之路更好走

隨著傳統的2D矽晶圓填充成本上的限制，半導體業轉而致力於包括3D晶片堆疊的異質整合，以便提升裝置的效能，晶圓到晶圓接合是實現3D/異質整合的關鍵制程，同時需要緊密的對準與晶層精度，使互連裝置間有良好的電接觸。

隨著互連密度在每一代新產品推出後越來越緊密，晶圓對準與晶層精確也須以更高的精度進行相應的擴充。晶圓到晶圓接合技術的新發展，包括搭載SmartView NT3對準模組的GEMINI FB XT混合式接觸接合系統，可以為記憶體堆疊、3D系統晶圓片(SoC)、超間式CMOS影像感測器堆疊與晶粒分割等應用帶來對準與疊層精度的提升。

(本文作者為EVG事業發展總監)